

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

Paulo Junior Silva Costa

**RETIFICADORES SEPIC MONOFÁSICOS E TRIFÁSICOS  
COM ELEVAÇÃO DO GANHO ESTÁTICO E REDUÇÃO DOS  
ESFORÇOS DE TENSÃO SOBRE OS SEMICONdutoRES**

Florianópolis  
2017



Paulo Junior Silva Costa

**RETIFICADORES SEPIC MONOFÁSICOS E TRIFÁSICOS  
COM ELEVAÇÃO DO GANHO ESTÁTICO E REDUÇÃO DOS  
ESFORÇOS DE TENSÃO SOBRE OS SEMICONDUTORES**

Tese submetida ao Programa de Pós-graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. Telles Brunelli Lazzarin.

Coorientador: Dr. Carlos Henrique Illa Font.

Florianópolis  
2017

Ficha de identificação da obra elaborada pelo autor,  
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

SILVA COSTA, PAULO JUNIOR

Retificadores SEPIC monofásicos e trifásicos com  
elevação do ganho estático e redução dos esforços de  
tensão sobre os semicondutores / PAULO JUNIOR SILVA  
COSTA ; orientador, Telles Brunelli Lazzarin,  
coorientador, Carlos Henrique Illa Font, 2017.  
288 p.

Tese (doutorado) - Universidade Federal de Santa  
Catarina, Centro Tecnológico, Programa de Pós  
Graduação em Engenharia Elétrica, Florianópolis, 2017.

Inclui referências.

1. Engenharia Elétrica. 2. Eletrônica de  
Potência. 3. Elevado Fator de Potência. 4. Reduzido  
Conteúdo Harmônico. 5. Reduzidos Esforços de Tensão.  
I. Lazzarin, Telles Brunelli. II. Illa Font, Carlos  
Henrique. III. Universidade Federal de Santa  
Catarina. Programa de Pós-Graduação em Engenharia  
Elétrica. IV. Título.



Paulo Junior Silva Costa

**RETIFICADORES SEPIC MONOFÁSICOS E TRIFÁSICOS  
COM ELEVAÇÃO DO GANHO ESTATÍCO E REDUÇÃO DOS  
ESFORÇOS DE TENSÃO SOBRE OS SEMICONDUTORES**

Esta Tese foi julgada adequada para a obtenção do Título de Doutor em Engenharia Elétrica, na área de concentração em Eletrônica de Potência e Acionamento Elétrico, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.

Florianópolis, 28 de junho de 2017.

---

Prof. Marcelo Lobo Heldwein, Dr.

Coordenador do programa de Pós Graduação em Engenharia Elétrica

---

Prof. Telles Brunelli Lazzarin, Dr.  
Orientador

---

Prof. Carlos Henrique Illa Font, Dr.  
Coorientador

**Banca Examinadora:**

---

Prof. Roger Gules, Dr.

---

Prof. Flávio Alberto Bardemaker Batista, Dr.

---

Roberto Francisco Coelho, Dr.

---

Samir Ahmad Mussa, Dr.

---

Marcelo Lobo Heldwein, Dr.



A meu amando DEUS, á minha esposa Fernanda e à meus pais e irmã.



## **AGRADECIMENTOS**

Agradeço primeiramente a DEUS por todas as graças derramadas, pela paciência, sabedoria e discernimento a mim confiados.

Agradeço a minha amada esposa Fernanda por todo amor, carinho e incentivo prestados durante toda esta caminhada.

Agradeço aos meus pais que nunca mediram esforços para que eu pudesse estudar.

Ao meu orientador Prof. Dr. Telles Brunelli Lazzarin por sua integridade profissional, pela preocupação com o meu bem estar, pelas orientações e confiança.

Ao meu coorientador Prof. Dr. Carlos Henrique Illa Font.

Aos membros da banca examinadora por suas preciosas contribuições.

Agradeço os meus colegas e amigos do INEP.

Aos Funcionários Luiz Marcelius Coelho, Antônio Luiz S. Pacheco e Diogo Duarte Luiz, pela competência e profissionalismo.

Enfim, a todos os que por algum motivo contribuíram para a realização desta pesquisa.



## RESUMO

Esta tese propõe o estudo analítico de um conjunto de retificadores PWM monofásicos e trifásicos, os quais são concebidos a partir do retificador SEPIC DCM clássico. Os novos conversores utilizam os princípios do dobrador de tensão e da inclusão de células de capacitor chaveado. Uma comparação com o retificador SEPIC convencional evidencia que, embora utilize elementos adicionais, a família de conversores proposta pode fornecer reduzidos esforços de tensão sobre seus semicondutores para um mesmo nível de tensão de saída, ou pode fornecer o dobro do ganho de tensão de saída para os mesmos esforços de tensão sobre seus semicondutores. Os referidos retificadores apresentam ainda como características: as correntes drenadas do sistema alimentador seguem naturalmente, sem demandar um sistema de controle, o formato de suas respectivas tensões; reduzido conteúdo harmônico nas correntes de entrada e elevando fator de potência. Objetivando validar os estudos teóricos desenvolvidos, são apresentados os resultados obtidos via simulação numérica e os resultados experimentais obtidos a partir dos protótipos elaborados. O conjunto de conversores tratados apresenta em potência nominal: THD inferior a 3,2%, FP em torno de 0,999 e rendimento superior a 94%.

**Palavras-chave:** Retificadores PWM monofásicos e trifásicos. Retificador SEPIC DCM clássico. Reduzidos esforços de tensão. Ganho de tensão. Reduzido conteúdo harmônico. Elevado fator de potência.





## ABSTRACT

This thesis proposes the analytical study of a family of single-phase and three-phase PWM rectifiers which are designed from the classic SEPIC-DCM rectifier. The novel converters are based on the principle of the voltage doubler and inclusion of switched capacitor cell. A comparison with the classic SEPIC rectifier demonstrates that although use additional elements the proposed converters can either provide reduced voltage stress on the semiconductors for the same output voltage level or supply double the gain of the output voltage with the same voltage stress on the semiconductors. The proposed converters have input currents that follow naturally the shape of their respective voltages without a current control; reduced harmonic distortion in input current and high power factor. In order to validate the developed theoretical study are presented the numerical simulation results and the experimental results, which were obtained from built prototypes. The set of rectifiers presents in rated power: THD less than 3.2%, FP around 0.999 and efficiency greater than 94%.

**Keywords:** Single-phase and three-phase PWM rectifiers. Classic SEPIC-DCM rectifier. Reduced voltage stresses. Voltage gain. Reduced harmonic distortion. High power factor.



## LISTA DE FIGURAS

Fig. 1-1. Topologia do retificador monofásico SEPIC DT. ....	41
Fig. 1-2. Topologia do retificador monofásico SEPIC+SC.....	41
Fig. 1-3. Topologia do retificador monofásico SEPIC DT+SC. ....	42
Fig. 1-4. Topologia do retificador trifásico SEPIC DT.....	43
Fig. 1-5. Topologia do retificador trifásico SEPIC DT+SC.....	43
Fig. 2-1. Conversor CC-CC SEPIC básico não isolado. ....	46
Fig. 2-2. Tensões e correntes convencionadas. ....	46
Fig. 2-3. Circuito equivalente referente à primeira etapa de operação.....	47
Fig. 2-4. Circuito equivalente referente à segunda etapa de operação. ....	48
Fig. 2-5. Circuito equivalente referente à terceira etapa de operação. ....	48
Fig. 2-6. Principais formas de onda de tensão do conversor SEPIC DCM. ....	49
Fig. 2-7. Principais formas de onda de corrente do conversor SEPIC DCM. ....	50
Fig. 2-8. Ganho estático do conversor SEPIC em DCM. ....	58
Fig. 2-9. Retificador SEPIC clássico.....	58
Fig. 2-10. Retificador SEPIC proposto por [8]. ....	59
Fig. 2-11. Retificador SEPIC proposto por [9]. ....	61
Fig. 2-12. Retificador SEPIC proposto por [14]. ....	62
Fig. 2-13. Retificador trifásico SEPIC abordado em [13]. ....	63
Fig. 2-14. Retificador trifásico SEPIC abordado em [44]. ....	64
Fig. 2-15. Retificador trifásico SEPIC abordado em [4]. ....	64
Fig. 2-16. (a) conversor a capacitor chaveado básico, (b) circuito equivalente referente à primeira etapa e (c) circuito equivalente a segunda etapa. ....	65
Fig. 2-17. Representação simplificada do conversor a capacitor chaveado básico. ....	66
Fig. 2-18. Curva comportamental da resistência equivalente ( $R_{eq}$ ) em função de $f_{st}$ . ....	67
Fig. 2-19. Conversor CC-CC abaixador de quatro estados. ....	68
Fig. 2-20. Conversor CC-CC elevador de dois níveis baseado na célula <i>Ladder</i> . ....	68
Fig. 2-21. Conversor CC-CC elevador de dois níveis baseado na célula <i>Ladder</i> . ....	68
Fig. 2-22. Conversor CC-CC abaixador de dois níveis baseado na célula <i>Ladder</i> . ....	69
Fig. 2-23. Retificador monofásico Boost híbrido.....	69
Fig. 2-24. Retificador monofásico Boost DT híbrido. ....	70
Fig. 2-25. Retificador trifásico Boost DT híbrido.....	70
Fig. 3-1. Topologias propostas: (a) estrutura do retificador monofásico SEPIC DT com célula de comutação genérica de três estados; (b) célula de comutação com um interruptor ativo (1S); (c) célula de comutação com dois	

interruptores ativos (2S – versão <i>bridgeless</i> ); (d) célula de comutação com quatro interruptores ativos (4S – versão <i>bridgeless</i> ) e (e) célula de comutação com um interruptor bidirecional (1B – versão <i>bridgeless</i> ).....	74
Fig. 3-2. Topologia do retificador monofásico SEPIC DT 1S.....	74
Fig. 3-3. Topologia do retificador monofásico SEPIC DT 2S.....	75
Fig. 3-4. Circuito equivalente referente à primeira etapa de operação.....	76
Fig. 3-5. Circuito equivalente referente à segunda etapa de operação.....	77
Fig. 3-6. Circuito equivalente referente à terceira etapa de operação.....	78
Fig. 3-7. Formas de onda ideais para um período da rede.....	79
Fig. 3-8. Formas de onda ideais de tensão para um período de chaveamento. ....	80
Fig. 3-9. Formas de onda ideais de corrente para um período de chaveamento.....	81
Fig. 3-10. Circuito equivalente referente à primeira etapa de operação. ....	89
Fig. 3-11. Circuito equivalente referente à segunda etapa de operação.....	90
Fig. 3-12. Circuito equivalente referente à terceira etapa de operação.....	90
Fig. 3-13. Formas de onda de corrente e tensão dos interruptores $S_1$ e $S_2$ . ..	91
Fig. 3-14. Diagrama de blocos para controle da tensão de saída.....	92
Fig. 3-15. Circuito para determinação da planta da tensão de saída válido para pequenos sinais. ....	92
Fig. 3-16. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de $v_o$ e $v_{mod}$ , (b) detalhe do regime estacionário de $v_o$ e $v_{mod}$ .....	95
Fig. 3-17. Compensador PI com filtro implementado. ....	95
Fig. 3-18. Geração dos pulsos para acionamento dos interruptores. ....	96
Fig. 3-19. Formas de onda: tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ).....	98
Fig. 3-20. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).....	98
Fig. 3-21. Formas de onda: (a) corrente do indutor $L_i$ em baixa frequência; (b) detalhe da corrente do indutor $L_i$ em alta frequência. ....	99
Fig. 3-22. Formas de onda: (a) corrente dos indutores $L_{o1}$ e $L_{o2}$ em baixa frequência; (b) detalhe da corrente dos indutores $L_{o1}$ e $L_{o2}$ em alta frequência.....	100
Fig. 3-23. Formas de onda: (a) tensão nos capacitores $C_{i1}$ e $C_{i2}$ em baixa frequência; (b) tensão nos capacitores $C_{i1}$ e $C_{i2}$ em alta frequência. ....	101
Fig. 3-24. Forma de onda da tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ . ....	101
Fig. 3-25. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída. ....	102
Fig. 3-26. Formas de onda: corrente do interruptor $S$ em baixa frequência. ....	102
Fig. 3-27. Formas de onda: corrente do interruptor $S$ em alta frequência. ....	103
Fig. 3-28. Formas de onda: (a) tensão sobre o interruptor $S$ em baixa frequência; (b) tensão do interruptor $S$ em alta frequência.....	103

Fig. 3-29. Formas de onda: (a) corrente dos diodos $D_{o1}$ e $D_{o2}$ em baixa frequência; (b) detalhe da corrente dos diodos $D_{o1}$ e $D_{o2}$ em alta frequência.	104
Fig. 3-30. Formas de onda: (a) tensão sobre os diodos $D_{o1}$ e $D_{o2}$ em baixa frequência; (b) detalhe da tensão sobre os diodos $D_{o1}$ e $D_{o2}$ em alta frequência.	105
Fig. 3-31. Resposta dinâmica do conversor para um degrau de carga de +15%.	106
Fig. 3-32. Formas de onda: corrente de $S_1$ e $S_2$ em baixa frequência.	106
Fig. 3-33. Formas de onda: corrente de $S_1$ e $S_2$ em alta frequência.	107
Fig. 3-34. Formas de onda: (a) tensão nos interruptores $S_1$ e $S_2$ em baixa frequência; (b) tensão nos interruptores $S_1$ e $S_2$ em alta frequência.	107
Fig. 3-35. Esquemático: retificador DT 1S.	110
Fig. 3-36. Foto do protótipo do retificador DT 1S.	110
Fig. 3-37. Esquemático: retificador DT 2S.	111
Fig. 3-38. Foto do protótipo do retificador DT 2S.	111
Fig. 3-39. Formas de onda: tensão de entrada $v_g$ e corrente de entrada $i_{Li}$ , 100 V/div e 5 A/div, respectivamente.	112
Fig. 3-40. Ret. DT 1S: espectro harmônico da corrente de entrada.	112
Fig. 3-41. Formas de onda: tensão de saída $v_o$ e corrente de saída $i_{Ro}$ , 50 V/div e 500 mA/div, respectivamente.	113
Fig. 3-42. Formas de onda: corrente em $L_i$ em baixa e alta frequência, 2 A/div.	113
Fig. 3-43. Forma de onda: (a) corrente em $L_{o1}$ e $L_{o2}$ em baixa frequência; (b) corrente em $L_{o1}$ e $L_{o2}$ em alta frequência, todas com 10 A/div.	114
Fig. 3-44. Formas de onda: (a) tensão em $C_{i1}$ e $C_{i2}$ em baixa frequência; (b) tensão em $C_{i1}$ e $C_{i2}$ em alta frequência, todas com 50 V/div.	115
Fig. 3-45. Formas de onda: tensão em $C_{o1}$ , $C_{o2}$ e $v_o$ , todas com 50 V/div.	116
Fig. 3-46. Formas de onda: corrente do interruptor $S$ em baixa frequência, (10 A/div).	116
Fig. 3-47. Forma de onda: corrente de $S$ em alta frequência, 10 A/div.	117
Fig. 3-48. Formas de onda: tensão sobre o interruptor $S$ em baixa frequência, 200 V/div.	117
Fig. 3-49. Formas de onda: tensão em $S$ em alta frequência, 200 V/div.	118
Fig. 3-50. Formas de onda: (a) corrente em $D_{o1}$ e $D_{o2}$ em baixa frequência; (b) corrente em $D_{o1}$ e $D_{o2}$ em alta frequência, todas com 10 A/div.	118
Fig. 3-51. Formas de onda: (a) tensão sobre $D_{o1}$ e $D_{o2}$ em baixa frequência; (b) tensão $D_{o1}$ e $D_{o2}$ em alta frequência, todas com 200 V/div.	119
Fig. 3-52. Resposta dinâmica do conversor para um degrau de carga de +15%, $v_o$ -50 V/div e $i_{Li}$ -3 A/div.	120
Fig. 3-53. Resposta dinâmica do conversor para um degrau de carga de +43%, $v_o$ -50 V/div e $i_{Li}$ -5 A/div.	120
Fig. 3-54. Formas de onda: corrente dos interruptores $S_1$ e $S_2$ em baixa frequência, todas com 10 A/div.	121

Fig. 3-55. Formas de onda: corr. em $S_1$ e $S_2$ em alta freq., todas com 10 A/div.....	121
Fig. 3-56. Formas de onda: (a) tensão em $S_1$ e $S_2$ em baixa frequência; (b) detalhe da tensão em $S_1$ e $S_2$ em alta frequência, todas com 200 V/div.....	122
Fig. 3-57. Curvas experimentais do retificador DT 1S e 2S: rendimento <i>versus</i> potência de saída. ....	123
Fig. 3-58. Curvas experimentais do retificador DT 1S e 2S: THD <i>versus</i> potência de saída. ....	123
Fig. 3-59. Curvas experimentais do retificador DT 1S e 2S: fator de potência <i>versus</i> potência de saída.....	124
Fig. 4-1. Topologias propostas: (a) estrutura do retificador SEPIC+SC com célula de comutação genérica de três estados e célula de capacitor chaveado generalizada; (b) célula de comutação com um interruptor ativo (1S); (c) célula de comutação com dois interruptores ativos (2S – versão <i>bridgeless</i> ) e (d) célula de comutação com quatro interruptores ativos (4S – versão <i>bridgeless</i> ). ....	128
Fig. 4-2. Topologia do retificador monofásico SEPIC+SC 1S.....	129
Fig. 4-3. Topologia do retificador monofásico SEPIC+SC 2S.....	129
Fig. 4-4. Circuito equivalente referente à primeira etapa de operação. ....	130
Fig. 4-5. Circuito equivalente referente à segunda etapa de operação.....	131
Fig. 4-6. Circuito equivalente referente à terceira etapa de operação.....	132
Fig. 4-7. Circuito equivalente referente à quarta etapa de operação.....	132
Fig. 4-8. Formas de onda ideais de corrente para um período de chaveamento.....	133
Fig. 4-9. Formas de onda ideais de tensão para um período de chaveamento. ....	134
Fig. 4-10. Formas de onda ideais para um período da rede elétrica. ....	134
Fig. 4-11. (a) célula de capacitor chaveado integrado ao retificador SEPIC; (b) circuito equivalente da célula de capacitor chaveado empregada ao retificador SEPIC+SC 1S e (c) resistência equivalente da célula de capacitor chaveado.....	136
Fig. 4-12. Curva comportamental da resistência equivalente ( $R_{eq}$ ) em função de $f_s \tau$ . ....	137
Fig. 4-13. Circuito equivalente referente à primeira etapa de operação. ....	140
Fig. 4-14. Circuito equivalente referente à segunda etapa de operação.....	141
Fig. 4-15. Circuito equivalente referente à terceira etapa de operação.....	141
Fig. 4-16. Circuito equivalente referente à quarta etapa de operação.....	142
Fig. 4-17. Formas de onda de corrente e tensão dos interruptores $S_1$ e $S_2$ . 142	
Fig. 4-18. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de $v_o$ e $v_{mod}$ , (b) detalhe do regime estacionário de $v_o$ e $v_{mod}$ . ....	145
Fig. 4-19. Formas de onda: tensão ( $v_g$ ) e corrente de entrada ( $iL_i$ ). ....	146
Fig. 4-20. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $iR_o$ ). ....	147
Fig. 4-21. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o2}$ e $C_s$ . ....	147

Fig. 4-22. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída. ....	148
Fig. 4-23. Formas de onda: corrente do capacitor $C_S$ em baixa frequência. ....	148
Fig. 4-24. Formas de onda: corrente do capacitor $C_S$ em alta frequência. ....	149
Fig. 4-25. Formas de onda: (a) tensão sobre o interruptor $S$ em baixa frequência; (b) tensão do interruptor $S$ em alta frequência. ....	149
Fig. 4-26. Formas de onda: (a) tensão sobre o diodo $D_{o1}$ em baixa frequência; (b) detalhe da tensão sobre o diodo $D_{o1}$ em alta frequência. ...	150
Fig. 4-27. Formas de onda: (a) tensão sobre os interruptores $S_1$ e $S_2$ em baixa frequência; (b) tensão sobre os interruptores $S_1$ e $S_2$ em alta frequência. ....	151
Fig. 4-28. Esquemático: retificador SEPIC+SC 1S. ....	154
Fig. 4-29. Foto do protótipo do retificador SEPIC+SC 1S. ....	154
Fig. 4-30. Esquemático: retificador SEPIC+SC 2S. ....	155
Fig. 4-31. Foto do protótipo do retificador SEPIC+SC 2S. ....	155
Fig. 4-32. Formas de onda: tensão de entrada $v_g$ e corrente de entrada $i_{Li}$ , 100 V/div e 5 A/div, respectivamente. ....	156
Fig. 4-33. Ret. SEPIC+SC 1S: espectro harmônico da corrente de entrada. ....	156
Fig. 4-34. Formas de onda: tensão $v_o$ (50 V/div) e corrente $i_{Ro}$ (500 mA/div). ....	157
Fig. 4-35 Forma de onda: (a) corrente em $L_i$ e $L_o$ em baixa freq., ambas com 10 A/div; (b) corrente em $L_i$ e $L_o$ em alta freq., $i_{Li}$ -1 A/div, $i_{Lo}$ -5 A/div. ...	157
Fig. 4-36. Formas de onda: tensão em $C_{o1}$ , $C_{o2}$ e $C_S$ , todas com 40 V/div. ....	158
Fig. 4-37. Formas de onda: tensão em $C_{o1}$ , $C_{o2}$ e $v_o$ , todas com 50 V/div. ....	159
Fig. 4-38. Formas de onda: ondulação de tensão ( $\Delta v_{Cs}$ ) e corrente do capacitor $C_S$ em baixa frequência, 3 V/div e 5 A/div, respectivamente. ...	159
Fig. 4-39. Formas de onda: corrente e ondulação de tensão ( $\Delta v_{Cs}$ ) do capacitor $C_S$ em alta frequência, 5 A/div e 3 V/div, respectivamente. ....	160
Fig. 4-40. Formas de onda: corrente e tensão do interruptor $S$ em baixa frequência, 10 A/div e 200 V/div, respectivamente. ....	160
Fig. 4-41. Forma de onda: corrente e tensão em $S$ em alta frequência, 10 A/div. ....	161
Fig. 4-42. Formas de onda: (a) tensão em $D_{o1}$ e $D_{o2}$ em baixa frequência; (b) tensão em $D_{o1}$ e $D_{o2}$ em alta frequência, todas com 200 V/div. ....	161
Fig. 4-43. Formas de onda: (a) tensão em $D_{e1}$ , $D_{e2}$ e $D_{e3}$ em baixa frequência; (b) tensão em $D_{e1}$ , $D_{e2}$ e $D_{e3}$ em alta frequência, todas com 100 V/div. ....	162
Fig. 4-44. Resposta dinâmica do conversor para um degrau de carga de +15%, $v_o$ -50 V/div, $i_{Li}$ -2 A/div e $i_{Ro}$ -200 mA/div. ....	163
Fig. 4-45. Resposta dinâmica do conversor para um degrau de carga de +40%, $v_o$ -50 V/div, $i_{Li}$ -3 A/div, e $i_{Ro}$ -1 A/div. ....	163

Fig. 4-46. Formas de onda: (a) corrente dos interruptores $S_1$ e $S_2$ em baixa frequência, (b) corrente nos interruptores $S_1$ e $S_2$ em alta frequência, todas com 5 A/div.....	164
Fig. 4-47. Formas de onda: (a) tensão nos interruptores $S_1$ e $S_2$ em baixa frequência; (b) detalhe da tensão nos interruptores $S_1$ e $S_2$ em alta frequência.....	165
Fig. 4-48. Curvas experimentais do retificador SEPIC+SC 1S e 2S: rendimento <i>versus</i> potência de saída.....	166
Fig. 4-49. Curvas experimentais do retificador DT 1S e 2S: THD <i>versus</i> potência de saída.....	166
Fig. 4-50. Curvas experimentais do retificador DT 1S e 2S: fator de potência <i>versus</i> potência de saída.....	167
Fig. 5-1. Topologias propostas: (a) estrutura do retificador monofásico SEPIC DT+SC com célula de comutação genérica de três estados e célula de capacitor chaveado generalizada; (b) célula de comutação com um interruptor ativo (1S); (c) célula de comutação com dois interruptores ativos (2S – versão <i>bridgeless</i> ) e (d) célula de comutação com quatro interruptores ativos (4S – versão <i>bridgeless</i> ).....	170
Fig. 5-2. Topologia do retificador monofásico SEPIC+SC 2S.....	171
Fig. 5-3. Circuito equivalente referente à primeira etapa de operação.....	172
Fig. 5-4. Circuito equivalente referente à segunda etapa de operação.....	173
Fig. 5-5. Circuito equivalente referente à terceira etapa de operação.....	174
Fig. 5-6. Circuito equivalente referente à quarta etapa de operação.....	175
Fig. 5-7. Formas de onda ideais de corrente para um período de chaveamento.....	176
Fig. 5-8. Formas de onda ideais de tensão para um período de chaveamento.....	177
Fig. 5-9. Formas de onda ideais para um período da rede elétrica.....	178
Fig. 5-10. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de $v_o$ e $v_{mod}$ , (b) detalhe do regime estacionário de $v_o$ e $v_{mod}$ .....	183
Fig. 5-11. Formas de onda: tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ).....	184
Fig. 5-12. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).....	185
Fig. 5-13. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o2}$ , $C_{o3}$ e $C_{o4}$ .....	185
Fig. 5-14. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o2}$ , $C_{o3}$ , $C_{o4}$ e tensão de saída ( $v_o$ ).....	186
Fig. 5-15. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o4}$ e $C_{S1}$ .....	186
Fig. 5-16. Formas de onda: tensão sobre os capacitores $C_{o2}$ , $C_{o3}$ e $C_{S2}$ .....	187
Fig. 5-17. Formas de onda: correntes em $C_{S1}$ e $C_{S2}$ em baixa frequência.....	187
Fig. 5-18. Formas de onda: correntes em $C_{S1}$ e $C_{S2}$ em alta frequência.....	188
Fig. 5-19. Formas de onda: (a) tensão sobre os interruptores $S_1$ e $S_2$ em baixa frequência; (b) tensão dos interruptores $S_1$ e $S_2$ em alta frequência.....	188



Fig. 5-20. Formas de onda: (a) tensão sobre os diodos $D_{o1}$ e $D_{o3}$ em baixa frequência; (b) detalhe da tensão sobre os diodos $D_{o1}$ e $D_{o3}$ em alta frequência.....	189
Fig. 5-21. Esquemático: retificador SEPIC DT+SC 2S. ....	192
Fig. 5-22. Foto do protótipo do retificador SEPIC DT+SC 2S. ....	192
Fig. 5-23. Formas de onda: tensão de entrada $v_g$ e corrente de entrada $i_{Li}$ , 100 V/div e 5 A/div, respectivamente. ....	193
Fig. 5-24. Ret. DT+SC 2S: espectro harmônico da corrente de entrada. ..	193
Fig. 5-25. Formas de onda: tensão $v_o$ (100 V/div) e corrente $i_{Ro}$ (300 mA/div). ....	194
Fig. 5-26. Formas de onda: tensão em $C_{o1}$ , $C_{o2}$ , $C_{o3}$ e $C_{o4}$ , todas com 100 V/div. ....	194
Fig. 5-27. Formas de onda: (a) tensões $v_{Co1}$ , $v_{Co4}$ , $v_{CS1}$ e $v_o$ ; (b) tensões $v_{Co2}$ , $v_{Co3}$ , $v_{CS2}$ e $v_o$ , todas com 50 V/div, exceto $v_o$ com 100 V/div. ....	195
Fig. 5-28. Formas de onda: (a) corrente em $C_{S1}$ e $C_{S2}$ em baixa frequência; (b) corrente em $C_{S1}$ e $C_{S2}$ em alta frequência, todas com 8 A/div. ....	196
Fig. 5-29. Formas de onda: (a) tensão sobre $S_1$ e $S_2$ em baixa frequência, (b) tensão sobre $S_1$ e $S_2$ em alta frequência, todas com 200 V/div. ....	197
Fig. 5-30. Formas de onda: (a) tensão sobre $D_{o1}$ e $D_{o2}$ em baixa frequência, (b) tensão sobre $D_{o1}$ e $D_{o2}$ em alta frequência, todas com 200 V/div. ....	198
Fig. 5-31. Formas de onda: (a) tensão em $D_{o3}$ e $D_{o4}$ em baixa frequência; (b) tensão em $D_{o3}$ e $D_{o4}$ em alta frequência, todas com 200 V/div. ....	199
Fig. 5-32. Formas de onda: tensão em $D_{e1}$ , $D_{e2}$ e $D_{e3}$ em baixa. freq. 100 V/div. ....	199
Fig. 5-33. Formas de onda: tensão em $D_{e1}$ , $D_{e2}$ e $D_{e3}$ em alta. freq. 100 V/div. ....	200
Fig. 5-34. Formas de onda: (a) tensão em $D_{e4}$ , $D_{e5}$ e $D_{e6}$ em baixa frequência; (b) tensão em $D_{e4}$ , $D_{e5}$ e $D_{e6}$ em alta frequência, todas com 100 V/div. ....	200
Fig. 5-35. Resposta dinâmica do conversor para um degrau de carga de +15%, $v_o$ -100 V/div e $i_{Li}$ -3 A/div. ....	201
Fig. 5-36. Resposta dinâmica do conversor para um degrau de carga de +41%, $v_o$ -100 V/div e $i_{Li}$ -5 A/div. ....	201
Fig. 5-37. Curva experimental do retificador DT+SC 2S: rendimento <i>versus</i> potência de saída. ....	202
Fig. 5-38. Curva experimental do retificador DT+SC 2S: THD <i>versus</i> potência de saída. ....	202
Fig. 5-39. Curva experimental do retificador DT+SC 2S: fator de potência <i>versus</i> potência de saída. ....	203
Fig. 6-1. Topologias propostas: (a) estrutura do retificador trifásico SEPIC DT com célula de comutação genérica de três estados; (b) célula de comutação com três interruptores ativos (3S); (c) célula de comutação com seis interruptores ativos (6S – versão <i>bridgeless</i> ); (d) célula de comutação	

com doze interruptores ativos (12S – versão <i>bridgeless</i> ) e ( <i>e</i> ) célula de comutação com três interruptores bidirecionais (3B – versão <i>bridgeless</i> ).	206
Fig. 6-2. Topologia do retificador SEPIC DT trifásico 6S.	206
Fig. 6-3. Divisão em setores das tensões trifásicas de entrada.	207
Fig. 6-4. Circuito equivalente referente à primeira etapa de operação.	207
Fig. 6-5. Circ. equivalentes: (a) 2ª etapa; (b) 3ª etapa; (c) 4ª etapa de operação.	208
Fig. 6-6. Circuito equivalente referente à quinta etapa de operação.	209
Fig. 6-7. Formas de onda ideais de tensão para um período de chaveamento.	210
Fig. 6-8. Formas de onda ideais de corrente para um período de chaveamento.	211
Fig. 6-9. Formas de onda ideais para um período da rede.	212
Fig. 6-10. Circuito elétrico simplificado referente à primeira etapa de operação do conversor SEPIC DT 6S.	213
Fig. 6-11. Modelo para determinação da planta da tensão de saída válido para pequenos sinais.	216
Fig. 6-12. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de $v_o$ e $v_{mod}$ , (b) detalhe do regime estacionário de $v_o$ e $v_{mod}$ .	217
Fig. 6-13. Formas de onda: correntes de entrada.	219
Fig. 6-14. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).	219
Fig. 6-15. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída.	220
Fig. 6-16. Formas de onda: tensão sobre os interruptores $S_1$ , $S_3$ e $S_5$ em baixa frequência.	220
Fig. 6-17. Formas de onda: tensão sobre os diodos $D_{oa1}$ , $D_{ob2}$ e $D_{oc3}$ em baixa frequência.	221
Fig. 6-18. Resposta dinâmica do conversor para um degrau de carga de +38%.	221
Fig. 6-19. Foto do protótipo do retificador trifásico SEPIC DT 6S.	223
Fig. 6-20. Esquemático: retificador SEPIC DT 6S.	225
Fig. 6-21. Formas de onda: tensão de entrada da fase <i>a</i> e correntes de entrada $i_{Lia}$ , $i_{Lib}$ e $i_{Lic}$ , 100 V/div e 5 A/div, respectivamente.	225
Fig. 6-22. Ret. DT 6S: espectro harmônico da corrente $i_{Lia}$ .	226
Fig. 6-23. Formas de onda: tensão de saída $v_o$ e corrente de saída $i_{Ro}$ , 100 V/div e 2 A/div, respectivamente.	226
Fig. 6-24. Formas de onda: tensão sobre os capacitores $C_{ia1}$ , $C_{ib1}$ e $C_{ic1}$ em baixa frequência, todas com 200 V/div.	227
Fig. 6-25. Formas de onda: tensão sobre os capacitores $C_{ia1}$ , $C_{ib1}$ e $C_{ic1}$ em alta frequência, todas com 50 V/div.	227
Fig. 6-26. Formas de onda: tensão em $C_{o1}$ , $C_{o2}$ e $v_o$ , todas com 50 V/div.	228
Fig. 6-27. Formas de onda: (a) tensão sobre $S_1$ , $S_3$ e $S_5$ em baixa frequência, (b) tensão sobre $S_1$ , $S_3$ e $S_5$ em alta frequência, ambas com 200 V/div.	228

Fig. 6-28. Forma de onda: (a) tensão sobre $D_{oa1}$ , $D_{ob1}$ e $D_{oc1}$ em baixa frequência, (b) tensão sobre $D_{oa1}$ , $D_{ob1}$ e $D_{oc1}$ em alta frequência, ambas com 200 V/div. ....	229
Fig. 6-29. Resposta dinâmica do conversor para um degrau de carga de +36,53%, $v_o$ -100 V/div, $i_{Lia}$ , $i_{Lib}$ e $i_{Lic}$ com 3 A/div.....	230
Fig. 6-30. Curvas experimentais do retificador DT 6S: rendimento versus potência de saída. ....	230
Fig. 6-31. Curvas experimentais do retificador DT 6S: THD versus potência de saída. ....	231
Fig. 6-32. Curvas experimentais do retificador DT 6S: fator de potência versus potência de saída. ....	231
Fig. 6-33. Formas de onda: correntes de entrada do retificador SEPIC tratado em [15] conectado a três fios. ....	233
Fig. 6-34. Formas de onda: correntes de entrada do retificador SEPIC tratado em [44] conectado a três fios. ....	233
Fig. 7-1. Topologias propostas: (a) estrutura do retificador trifásico SEPIC DT+SC com célula de comutação genérica de três estados e célula de capacitor chaveado generalizada; (b) célula de comutação com um interruptor ativo (3S); (c) célula de comutação com dois interruptores ativos (6S – versão <i>bridgeless</i> ) e (d) célula de comutação com quatro interruptores ativos (12S – versão <i>bridgeless</i> ). ....	236
Fig. 7-2. (a) topologia do retificador SEPIC DT+SC trifásico 6S, (b) circuito equivalente referente à primeira etapa de operação. ....	237
Fig. 7-3. Circuito equivalente referente à segunda etapa de operação. ....	238
Fig. 7-4. Circuito equivalente referente à terceira etapa de operação. ....	238
Fig. 7-5. Circuito equivalente referente à quarta etapa de operação. ....	239
Fig. 7-6. Circuito equivalente referente à quinta etapa de operação. ....	239
Fig. 7-7. Circuito equivalente referente à sexta etapa de operação. ....	240
Fig. 7-8. Circuito equivalente referente à sétima etapa de operação. ....	240
Fig. 7-9. Circuito equivalente referente à oitava etapa de operação. ....	241
Fig. 7-10. Formas de onda ideais de tensão para um período de chaveamento. ....	242
Fig. 7-11. Formas de onda ideais de corrente para um período de chaveamento. ....	243
Fig. 7-12. Formas de onda ideais para um período da rede. ....	244
Fig. 7-13. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de $v_o$ e $v_{mod}$ , (b) detalhe do regime estacionário de $v_o$ e $v_{mod}$ . ....	249
Fig. 7-14. Formas de onda: correntes de entrada. ....	250
Fig. 7-15. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ). ....	251
Fig. 7-16. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o2}$ , $C_{o3}$ e $C_{o4}$ e tensão de saída. ....	251
Fig. 7-17. Formas de onda: tensão sobre os interruptores $S_1$ , $S_3$ e $S_5$ em baixa frequência. ....	252

Fig. 7-18. Formas de onda: tensão sobre os diodos $D_{oa1}$ , $D_{ob2}$ e $D_{oc3}$ em baixa frequência. ....	252
Fig. 10-1. Estrutura do retificador monofásico SEPIC DT 2S com carga conectada entre os terminais positivo, negativo e ponto médio. ....	268
Fig. 10-2. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = R_{o2} = 80 \Omega$ . ....	269
Fig. 10-3. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = 80 \Omega$ e $R_{o2} = 100 \Omega$ . ....	269
Fig. 10-4. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = 80 \Omega$ e $R_{o2} = 120 \Omega$ . ....	270
Fig. 10-5. Estrutura do retificador monofásico SEPIC+SC 2S com carga conectada entre os terminais positivo, negativo e ponto médio. ....	271
Fig. 10-6. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = R_{o2} = 160 \Omega$ . ....	271
Fig. 10-7. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = 160 \Omega$ e $R_{o2} = 200 \Omega$ . ....	272
Fig. 10-8. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = 160 \Omega$ e $R_{o2} = 240 \Omega$ . ....	272
Fig. 10-9. Formas de onda: tensão sobre os capacitores $C_{o1}$ e $C_{o2}$ e tensão de saída total para o caso onde $R_{o1} = 160 \Omega$ e $R_{o2} = 320 \Omega$ . ....	273
Fig. 10-10. Estrutura do retificador monofásico SEPIC DT+SC 2S com carga conectada entre os terminais positivo, negativo e ponto médio. ....	273
Fig. 10-11. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o2}$ , $C_{o3}$ , $C_{o4}$ e tensão de saída total para o caso onde $R_{o1} = 320 \Omega$ e $R_{o2} = 320 \Omega$ . ....	274
Fig. 10-12. Formas de onda: tensão sobre os capacitores $C_{o1}$ , $C_{o2}$ , $C_{o3}$ , $C_{o4}$ e tensão de saída total para o caso onde $R_{o1} = 320 \Omega$ e $R_{o2} = 400 \Omega$ . ....	274
Fig. 11-1. Distribuição das perdas do conversor SEPIC DT 1S. ....	280
Fig. 11-2. Distribuição das perdas do conversor SEPIC DT 2S. ....	281
Fig. 11-3. Distribuição das perdas do conversor SEPIC+SC 1S. ....	281
Fig. 11-4. Distribuição das perdas do conversor SEPIC+SC 2S. ....	281
Fig. 11-5. Distribuição das perdas do conversor SEPIC DT+SC 2S. ....	282
Fig. 11-6. Distribuição das perdas do conversor SEPIC DT 6S. ....	282
Fig. 11-7. Distribuição das perdas do conversor SEPIC DT+SC 6S. ....	283
Fig. 12-1. Compensador PI com filtro implementado. ....	286

## LISTA DE TABELAS

Tabela 2-1. Análise quantitativa entre os retificadores SEPIC clássico e SEPIC modificado 1.....	60
Tabela 2-2. Análise qualitativa entre os retificadores SEPIC clássico e SEPIC modificado 1.....	60
Tabela 2-3. Análise quantitativa entre os retificadores SEPIC clássico e SEPIC modificado 2.....	61
Tabela 2-4. Análise qualitativa entre os retificadores SEPIC clássico e SEPIC modificado 2.....	61
Tabela 2-5. Análise quantitativa entre os retificadores SEPIC clássico e SEPIC modificado 3.....	62
Tabela 2-6. Análise qualitativa entre os retificadores SEPIC clássico e SEPIC modificado 3.....	63
Tabela 2-7. Esforços de tensão sobre os semicondutores de alguns retificadores do tipo <i>Boost</i> . ....	71
Tabela 3-1. Especificações de projeto.....	97
Tabela 3-2. Valores de projeto: elementos passivos. ....	97
Tabela 3-3. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente dos retificadores DT 1S e 2S.....	108
Tabela 3-4. Elementos utilizados na montagem dos protótipos. ....	109
Tabela 3-5. Análise comparativa entre: retificador SEPIC clássico e retificador SEPIC DT.....	124
Tabela 4-1. Faixa dos modos de operação de $C_s$ .....	138
Tabela 4-2. Valores de projeto: elementos passivos. ....	145
Tabela 4-3. Especificações de projeto.....	146
Tabela 4-4. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente dos retificadores SEPIC+SC 1S e 2S... ..	152
Tabela 4-5. Elementos utilizados na montagem dos protótipos. ....	153
Tabela 4-6. Análise comparativa entre: retificador SEPIC Clássico e retificador SEPIC+SC. ....	168
Tabela 5-1. Valores de projeto: elementos passivos. ....	183
Tabela 5-2. Especificações de projeto.....	184
Tabela 5-3. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente do retificador SEPIC DT+SC 2S. ....	190
Tabela 5-4. Elementos utilizados na montagem do protótipo. ....	191
Tabela 6-1. Equações de projeto dos elementos passivos do retificador SEPIC DT 6S. ....	214
Tabela 6-2. Equações de projeto dos elementos ativos do retificador SEPIC DT 6S.....	215
Tabela 6-3. Especificações de projeto.....	218
Tabela 6-4. Valores de projeto: elementos passivos. ....	218

Tabela 6-5. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente do retificador SEPIC DT 6S.....	222
Tabela 6-6. Elementos utilizados na montagem do protótipo. ....	224
Tabela 6-7. Análise comparativa entre: retificadores SEPIC tratados em [15], [44] e o retificador trifásico SEPIC DT 6S.....	232
Tabela 7-1. Equações de projeto dos elementos ativos do retificador SEPIC DT+SC 6S.....	246
Tabela 7-2. Equações de projeto dos elementos passivos do retificador SEPIC DT+SC 6S. ....	247
Tabela 7-3. Especificações de projeto.....	250
Tabela 7-4. Valores de projeto: elementos passivos.....	250
Tabela 7-5. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente do retificador SEPIC DT+SC 6S.....	253
Tabela 7- 6. Análise comparativa entre: retificadores SEPIC tratados em [15], [44], retificador trifásico SEPIC DT e retificador trifásico SEPIC DT+SC. ....	255
Tabela 8-1. THD, FP e rendimento referentes aos retificadores monofásicos SEPIC DT, SEPIC SC e SEPIC DT+SC. ....	259
Tabela 8-2. THD, FP e rendimento alusivos ao retificador trifásico SEPIC DT 6S. ....	259
Tabela 12-1. Valores de projeto/implementação das grandezas relativas aos controladores dos retificadores monofásicos propostos na tese. ....	287
Tabela 12-2. Valores de projeto/implementação das grandezas relativas aos controladores dos retificadores trifásicos propostos na tese.....	288

## **LISTA DE SIGLAS**

CA	Corrente Alternada
CC	Corrente Contínua
CCM	Continuous Conduction Mode
DCM	Discontinuous Conduction Mode
PWM	Pulse Width Modulation
RCM	Critical Conduction Mode
SEPIC	Single-Ended Primary-Inductor Converter





## LISTA DE SÍMBOLOS

Símbolo	Significado	Unid.
$\Delta t_1, \Delta t_2 \dots \Delta t_7$ e $\Delta t_8$	Intervalos de tempo	s
$\Delta i_{L_i}$ e $\Delta i_{L_{ia}}$	Ondulação de corrente dos indutores $L_i$ e $L_{ia}$	A
$\Delta i_{L_o}, \Delta i_{L_{o1}}$ e $\Delta i_{L_{o2}}$	Ondulação de corrente dos indutores de saída	A
$\Delta V_{C_i}, \Delta V_{C_{i1}}, \Delta V_{C_{i2}}$ e $\Delta V_{C_{ia1}}$	Ondulação de tensão dos Capacitores $C_i, C_{i1}, C_{i2}$ e $C_{ia1}$	V
$\Delta V_{C_S}$	Ondulação de tensão do capacitor $C_S$	V
$C_i, C_{i1}, C_{i2}, C_{ia1}, C_{ia2}, C_{ib1}, C_{ib2}, C_{ic1}$ e $C_{ic2}$	Capacitores de entrada	F
$C_S, C_{S1}, C_{S2}, C_{Sa1}, C_{Sa2}, C_{Sb1}, C_{Sb2}, C_{Sc1}$ e $C_{Sc2}$	Capacitores chaveados	F
$C_p$	Compensador	A
$C_o, C_{o1}, C_{o2}, C_{o3}$ e $C_{o4}$	Capacitores de saída	F
$C_{oeq}$	Capacitância equivalente de saída	F
$D$	Razão cíclica nominal	-
$D_{max}$	Razão cíclica máxima	-
$D_{max-DCM}$	Razão cíclica máxima em DCM	-
$D_1, D_2 \dots D_6$	Diodos retificadores	-
$D_{e1}, D_{e2} \dots D_{e6}, D_{ea1} \dots D_{ea6}, D_{eb1} \dots D_{eb6}, D_{ec1} \dots D_{ec6}$	Diodos da célula de capacitor chaveado	-
$D_o, D_{o1}, D_{o2}, D_{o3}, D_{o4}, D_{oa1}, D_{oa2}, D_{ob1}, D_{ob2}, D_{oc1}$ e $D_{oc2}$	Diodos de saída	-
$eb$	Entrada em bloqueio	-
$ec$	Entrada em condução	-
$f_s$	Frequência de comutação	Hz
$G$	Ganho estático	-
$G_{eDCM}$	Ganho estático em DCM	-
$G(s)$	Modelo da planta	-
$G_{S1} \dots G_{S6}$	Pulsos de comando dos interruptores $S_1 \dots S_6$	-
$H_{vo}$	Sensor da tensão de saída	-
$I_{C_{ief}}$	Corrente eficaz do capacitor $C_i$	A
$I_{C_{i1ef\_fr}}$ e $I_{C_{i2ef\_fr}}$	Corrente eficaz dos capacitores $C_{i1}$ e $C_{i2}$ em um período da rede	A
$I_{C_{i1ef\_fs}}$ e $I_{C_{i2ef\_fs}}$	Corrente eficaz dos capacitores $C_{i1}$ e $C_{i2}$ em um período de comutação	A
$i_{C_{o1}}$ e $i_{C_{o2}}$	Corrente dos capacitores $C_{o1}$ e $C_{o2}$	

$I_{Coef}$	Corrente eficaz do capacitor $C_o$	A
$I_{Co1ef\_fr} \dots I_{Co4ef\_fr}$	Corrente eficaz dos capacitores $C_{o1} \dots C_{o4}$ em um período da rede	A
$I_{Co1ef\_fs}$ e $I_{Co2ef\_fs}$	Corrente eficaz dos capacitores $C_{o1}$ e $C_{o2}$ em um período de comutação	A
$I_{Co2max}, I_{Co3max}$ e $I_{Co4max}$	Corrente máxima de $C_{o2}, C_{o3}$ e $C_{o4}$	A
$i_{Coeq}$	Corrente da capacitância equiv. $C_{oeq}$	A
$i_{CS}, i_{CS1}$ e $i_{CS2}$	Corrente dos capacitores $C_S, C_{S1}$ e $C_{S2}$	A
$I_{CSef\_fr}, I_{CS1ef\_fr}$ e $I_{CS2ef\_fr}$	Corrente eficaz dos capacitores $C_S, C_{S1}$ e $C_{S2}$ em um período da rede	A
$i_{CSmax}, i_{CS1max}$ e $i_{CS2max}$	Corrente máxima dos capacitores $C_S, C_{S1}$ e $C_{S2}$	A
$i_{CS1min}$	Corrente mínima do capacitor $C_{S1}$	
$I_{D1.3med\_ret\_fs}$	Corrente média dos diodos retificadores $D_1$ e $D_3$ em período de comutação	A
$I_{D1.2med\_ret\_fr}$	Corrente média dos diodos retificadores $D_1$ e $D_2$ em período da rede	A
$I_{D1.3med\_ret\_fr}$	Corrente média dos diodos retificadores $D_1$ e $D_3$ em período da rede	A
$I_{D1...Amed\_ret\_fr}$	Corrente média dos diodos retificadores $D_1 \dots D_4$ em período da rede	A
$I_{D1.3ef\_ret\_fr}$	Corrente eficaz dos diodos retificadores $D_1$ e $D_3$ em período da rede	A
$I_{Doeff}$	Corrente eficaz do diodo $D_o$	A
$I_{Domed}$	Corrente média do diodo $D_o$	A
$I_{Domax}, I_{Do1max}, I_{Do2max}$ e $I_{Doa1max}$	Corrente máxima dos diodos $D_o, D_{o1}, D_{o2}$ e $D_{oa1}$	A
$i_{Do1}$ e $i_{Do2}$	Corrente dos diodos $D_{o1}$ e $D_{o2}$	
$I_{Do1ef\_fr}$ e $I_{Do2ef\_fr}$	Corrente eficaz dos diodos $D_{o1}$ e $D_{o2}$ em período da rede	A
$I_{Do1ef\_fs}$ e $I_{Do2ef\_fs}$	Corrente eficaz dos diodos $D_{o1}$ e $D_{o2}$ em período de chaveamento	A
$I_{Do1med\_fs}$ e $I_{Do2med\_fs}$	Corrente média dos diodos $D_{o1}$ e $D_{o2}$ em período de comutação	A
$I_{Do1med\_fr}$ e $I_{Do2med\_fr}$	Corrente média dos diodos $D_{o1}$ e $D_{o2}$ em período da rede	A
$i_{Li}, i_{Lia}, i_{Lib}$ e $i_{Lic}$	Correntes dos indutores de entrada	A
$I_{Lief}$	Corrente eficaz do indutor $L_i$	A
$I_{Lief\_fr}$	Corrente eficaz de $L_i$ em período da rede	A
$I_{Lief\_fs}$	Corrente eficaz de $L_i$ em período de comutação	A
$I_{Limax}$	Corrente máxima do indutor $L_i$	A
$I_{Limed}$	Corrente média do indutor $L_i$	A

$I_{L_{imin}}$	Corrente mínima do indutor $L_i$	A
$I_{L_{iomin}}$ e $I_{L_{io1min}}$	Corrente mínima dos indutores $L_i$ e $L_o$	A
$i_{Lo}, i_{Lo1}, i_{Lo2}, i_{Lo1a} \dots i_{Lo2c}$	Correntes dos indutores de saída	A
$I_{Loef}$	Corrente eficaz do indutor $L_o$	A
$I_{Loef\_fr}$	Corrente eficaz do indutor $L_o$ em período da rede	A
$I_{Lomed}$	Corrente média do indutor $L_o$	A
$I_{Lomed\_fr}$	Corrente média do indutor $L_o$ em um período da rede	A
$I_{Lomax}, I_{Lo1max}$ e $I_{Loa1max}$	Corrente máxima dos indutores $L_o, L_{o1}$ e $L_{oa1}$	A
$I_{Lomin}$ e $I_{Lo1min}$	Corrente mínima dos indutores $L_o$ e $L_{o1}$	A
$I_{Lo1ef\_fs}$ e $I_{Lo2ef\_fs}$	Corrente eficaz dos indutores $L_{o1}$ e $L_{o2}$ em período de chaveamento rede	A
$I_{Lo1med\_fr}$ e $I_{Lo2med\_fr}$	Corrente média dos indutores $L_{o1}$ e $L_{o2}$ em período da rede	A
$I_{Lo1med\_fs}$ e $I_{Lo2med\_fs}$	Corrente média dos indutores $L_{o1}$ e $L_{o2}$ em período de chaveamento	A
$i_o$	Corrente de saída	A
$i_{Ro}$	Corrente da carga $R_o$	A
$I_{Ro}$	Corrente média da carga $R_o$	A
$i_S, i_{S1}$ e $i_{S2}$	Corrente dos interruptores $S, S_1$ e $S_2$	A
$I_{Sef}$	Corrente eficaz do interruptor $S$	A
$I_{Sef\_fr}, I_{S1ef\_fr}$ e $I_{S2ef\_fr}$	Corrente eficaz de $S, S_1$ e $S_2$ na frequência da rede	A
$I_{Smed}$	Corrente média do interruptor $S$	A
$I_{Smed\_fr}$	Corrente média de $S$ na frequência da rede	A
$I_{Smax}, I_{S1max} \dots I_{S6max}$	Corrente máxima dos interruptores $S, S_1 \dots S_6$	A
$k_{cp}$	Ganho do compensador	-
$k_{Hv0}$	Ganho do sensor	-
$L_{eq}$	Indutância equivalente	H
$L_i, L_{ia}, L_{ib}$ e $L_{ic}$	Indutores de entrada	H
$L_o, L_{o1}, L_{o2}, L_{o1a}, L_{o2a}, L_{o1b}, L_{o2b}, L_{o1c}, L_{o2c}$	Indutores de saída	H
$M_{pwm}$	Modulador PWM	-
$P_i$	Potência média de entrada	W
$P_o$	Potência média de saída	W
$R_{ce}$	Resistência dos capacitores	$\Omega$
$R_{eq}$	Resistência equivalente	$\Omega$
$R_o$	Resistência de carga	$\Omega$
$R_{omin}$	Resistência de carga mínima	$\Omega$

$R_{on}$	Resistência dos semicondutores	$\Omega$
$R_{on-rc}$	Resistência dos semicondutores e resistência dos capacitores	$\Omega$
$S, S_1, S_2 \dots S_6$	Interruptores controlados	-
$V_{Cont}$	Sinal do compensador	-
$v_{Ci1}, v_{Ci2}, v_{Co1} \dots v_{Co4}$	Tensão sobre os capacitores de saída	V
$v_{CS}, v_{CS1} \text{ e } v_{CS2}$	Tensão sobre $C_S, C_{S1}, C_{S2}$	V
$v_a, v_b, v_c \text{ e } v_g$	Tensões de entrada	V
$v_{De1}, v_{De2} \dots v_{De6}$	Tensão sobre os diodos da célula de capacitor chaveado	V
$V_{De1max} \dots V_{De6max}$ $V_{Dea1max} \dots V_{Dec6max}$	Máxima tensão sobre os diodos da célula de capacitor chaveado	V
$V_{Do1max}, V_{Do2max}, V_{Doa1max}$ $\dots V_{Doc2max}, V_{Doa1} \dots V_{Doc4}$	Máxima tensão sobre os diodos de saída	V
$v_{Do1}, v_{Do2}, v_{Do3}, v_{Do4} \text{ e } v_{Doa1}$ $\dots v_{Doc2}$	Tensão sobre os diodos de saída	V
$vd_s$	Picos de tensão sobre os interruptores controlados	V
$V_g$	Valor médio da tensão de entrada	V
$v_{Li}, v_{Lia}, v_{Lib} \text{ e } v_{Lic}$	Tensão medida sobre os indutores de entrada	V
$V_{Li}$	Valor da tensão média do indutor $L_i$	V
$v_{Lo}, v_{Lo1}, v_{Lo2}, v_{Loa2} \dots$ $v_{Loc2}$	Tensão medida sobre os indutores de saída	V
$v_{mod}$	Tensão do modelo	V
$V_p$	Valor de pico das tensões de entrada	V
$V_{pc}$	Tensão pulsos de comando	V
$v_o$	Tensão de saída	V
$V_o$	Valor médio da tensão de saída	V
$v_{rf}$	Tensão de referência	V
$v_S, v_{S1} \dots v_{S6}$	Tensão sobre os interruptores $S, S_1 \dots S_6$	V
$V_{Smax}, v_{S1max} \dots v_{S6max}$	Tensão máxima sobre os interruptores	V
$V_{ip}$	Tensão de pico da onda dente de serra	V
$T_{hut}$	<i>Hold-up-time</i>	s
$T_s$	Período de comutação	s
$w_p$	Frequência do polo do compensador	Hz
$w_z$	Frequência do zero do compensador	Hz
$T$	Constante de tempo	t

# SUMÁRIO

1 Introdução Geral.....	39
1.1 PROPOSTA DA TESE.....	40
1.2 ORGANIZAÇÃO DO DOCUMENTO.....	41
2 Revisão Bibliográfica.....	45
2.1 INTRODUÇÃO.....	45
2.2 CONVERSOR CC-CC SEPIC BÁSICO DCM.....	45
2.2.1 Etapas de Operação.....	46
2.2.1.1 Primeira Etapa de Operação.....	47
2.2.1.2 Segunda Etapa de Operação.....	47
2.2.1.3 Terceira Etapa de Operação.....	47
2.2.2 Formas de Onda.....	48
2.2.3 Equacionamento.....	48
2.3 RETIFICADOR SEPIC CLÁSSICO.....	58
2.4 RETIFICADOR SEPIC MODIFICADO 1.....	59
2.5 RETIFICADOR SEPIC MODIFICADO 2.....	60
2.6 RETIFICADOR SEPIC MODIFICADO 3.....	62
2.7 RETIFICADORES TRIFÁSICOS SEPIC.....	63
2.8 CAPACITOR CHAVEADO.....	65
2.8.1 Conversores a Capacitor Chaveado.....	67
2.9 RETIFICADORES HÍBRIDOS.....	69
2.10 CONCLUSÃO DO CAPÍTULO.....	71
3 Retificador Monofásico SEPIC Dobrador DCM.....	73
3.1 INTRODUÇÃO.....	73
3.2 RETIFICADOR MONOFÁSICO SEPIC DOBRADOR DCM.....	73
3.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC DT 1S.....	75
3.3.1 Etapas de Operação.....	75
3.3.1.1 Primeira Etapa de Operação.....	76
3.3.1.2 Segunda Etapa de Operação.....	76
3.3.1.3 Terceira Etapa de Operação.....	77

3.3.2 Formas de Onda .....	77
3.3.3 Equacionamento do Retificador DT 1S.....	78
3.4 ANÁLISE TEÓRICA DO RETIFICADOR DT 2S.....	89
3.4.1 Formas de Onda .....	89
3.4.2 Equacionamento .....	90
3.5 MODELAGEM DOS RETIFICADORES MONOFÁSICOS SEPIC DT 1S E 2S.....	92
3.5.1 Planta dos Retificadores Monofásicos SEPIC DT 1S e 2S .....	92
3.5.2 Validação do Modelo .....	93
3.5.3 Definição e Projeto do Compensador.....	94
3.5.4 Ganho do Modulador.....	96
3.5.5 Ganho do Sensor .....	96
3.6 SIMULAÇÃO NUMÉRICA: RETIFICADORES DT 1S E 2S.....	97
3.6.1 Resultados de Simulação Numérica: Retificador DT 1S.....	98
3.6.2 Resultados de Simulação Numérica: Retificador DT 2S.....	105
3.6.3 Análise Comparativa: Resultados Teóricos e de Simulação Numérica .....	106
3.7 RESULTADOS EXPERIMENTAIS: RETIFICADORES DT 1S E 2S .....	109
3.7.1 Resultados Experimentais: Retificador DT 1S.....	110
3.7.2 Resultados Experimentais: Retificador DT 2S.....	120
3.7.3 Curvas Experimentais dos Retificadores DT 1S e 2S.....	121
3.7.4 Análise Comparativa entre o Retificador SEPIC Clássico e o Retificador SEPIC DT.....	123
3.8 CONCLUSÃO DO CAPÍTULO.....	124
4 Retificador SEPIC Clássico Monofásico Integrado a Célula de Capacitor Chaveado .....	127
4.1 INTRODUÇÃO .....	127
4.2 RETIFICADOR MONOFÁSICO SEPIC INTEGRADO A CÉLULA DE CAPACITOR CHAVEADO.....	127
4.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC+SC 1S .....	128
4.3.1 Etapas de Operação .....	129
4.3.1.1 Primeira Etapa de Operação.....	130

4.3.1.2 Segunda Etapa de Operação .....	130
4.3.1.3 Terceira Etapa de Operação .....	131
4.3.1.4 Quarta Etapa de Operação .....	131
4.3.2 Formas de Onda .....	132
4.3.3 Principais Equações de Projeto do Retificador SEPIC+SC 1S	134
4.4 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC+SC 2S .....	140
4.4.1 Formas de Onda .....	140
4.4.2 Equacionamento .....	141
4.5 MODELAGEM DOS RETIFICADORES MONOFÁSICOS SEPIC+SC 1S E 2S .....	143
4.5.1 Planta dos Retificadores Monofásicos SEPIC+SC 1S e 2S .....	143
4.5.2 Validação do Modelo .....	144
4.5.3 Compensador, Ganho do Modulador e Ganho do Sensor .....	144
4.6 SIMULAÇÃO NUMÉRICA: RETIFICADORES SEPIC+SC 1S E 2S .....	144
4.6.1 Resultados de Simulação Numérica: Retificador SEPIC+SC 1S ... .....	145
4.6.2 Resultados de Simulação Numérica: Retificador SEPIC+SC 2S ... .....	150
4.6.3 Análise Comparativa: Resultados Teóricos e de Simulação ....	151
4.7 RESULTADOS EXPERIMENTAIS: RETIFICADORES SEPIC+SC 1S E 2S .....	152
4.7.1 Resultados Experimentais: Retificador SEPIC+SC 1S .....	154
4.7.2 Resultados Experimentais: Retificador SEPIC+SC 2S .....	162
4.7.3 Curvas Experimentais dos Retificadores SEPIC+SC 1S e 2S..	165
4.7.4 Análise Comparativa entre o Retificador SEPIC Clássico e o Conversor SEPIC+SC .....	167
4.8 CONCLUSÃO DO CAPÍTULO .....	167
5 Retificador Monofásico SEPIC DT Integrado a Célula de Capacitor Chaveado .....	169
5.1 INTRODUÇÃO .....	169
5.2 RETIFICADOR MONOFÁSICO SEPIC DT INTEGRADO A CÉLULA DE CAPACITOR CHAVEADO .....	169

5.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC DT+SC 2S.....	171
5.3.1 Etapas de Operação .....	171
5.3.1.1 Primeira Etapa de Operação.....	171
5.3.1.2 Segunda Etapa de Operação.....	172
5.3.1.3 Terceira Etapa de Operação .....	173
5.3.1.4 Quarta Etapa de Operação.....	174
5.3.2 Formas de Onda .....	174
5.3.3 Equações de Projeto do Retificador SEPIC DT+SC 2S .....	175
5.4 MODELAGEM DO RETIFICADOR MONOFÁSICO SEPIC DT+SC 2S .....	181
5.4.1 Planta do Retificador Monofásico SEPIC DT+SC 2S.....	181
5.4.2 Validação do Modelo .....	182
5.4.3 Compensador, Ganho do Modulador e Ganho do Sensor .....	182
5.5 SIMULAÇÃO NUMÉRICA: RETIFICADOR SEPIC DT+SC 2S.....	183
5.5.1 Resultados de Simulação Numérica: Ret. SEPIC DT+SC 2S ..	184
5.5.2 Análise Comparativa: Resultados Teóricos e de Simulação ....	189
5.6 RESULTADOS EXPERIMENTAIS: RETIFICADOR SEPIC DT+SC 2S .....	191
5.6.1 Resultados Experimentais: Retificador SEPIC DT+SC 2S .....	192
5.6.2 Curvas Experimentais do Retificador SEPIC DT+SC 2S .....	201
5.6.3 Análise Comparativa entre o Retificador SEPIC Clássico e o Conversor SEPIC DT+SC .....	203
5.7 CONCLUSÃO DO CAPÍTULO.....	203
6 Retificador Trifásico SEPIC DT.....	205
6.1 INTRODUÇÃO .....	205
6.2 RETIFICADOR TRIFÁSICO SEPIC DT.....	205
6.3 ANÁLISE TEÓRICA DO RETIFICADOR TRIFÁSICO SEPIC DT 6S .....	205
6.3.1 Etapas de Operação .....	207
6.3.2 Formas de Onda .....	209
6.3.3 Principais Equações de Projeto do Retificador Trifásico SEPIC DT 6S .....	209



6.4	MODELO DINÂMICO DO RETIFICADOR SEPIC DT 6S.....	215
6.4.1	Planta do Retificador Trifásico SEPIC DT 6S .....	215
6.4.2	Validação do Modelo .....	217
6.4.3	Compensador, Ganho do Modulador e Ganho do Sensor .....	217
6.5	RESULTADOS DE SIMULAÇÃO NUMÉRICA DO RETIFICADOR TRIFÁSICO SEPIC DT 6S .....	218
6.5.1	Análise Comparativa: Resultados Teóricos e de Simulação ....	222
6.6	RESULTADOS EXPERIMENTAIS: RETIFICADOR SEPIC DT 6S .....	223
6.6.1	Curvas Experimentais do Retificador SEPIC DT 6S .....	230
6.6.2	Análise Comparativa entre os retificadores Trifásicos SEPIC propostos em [15], [44] e o retificador Trifásico SEPIC DT 6S .....	232
6.7	CONCLUSÃO DO CAPÍTULO.....	234
7	Retificador Trifásico SEPIC DT+SC .....	235
7.1	INTRODUÇÃO .....	235
7.2	RETIFICADOR TRIFÁSICO SEPIC DT+SC .....	235
7.3	ANÁLISE TEÓRICA DO RETIFICADOR SEPIC DT+SC 6S....	235
7.3.1	Etapas de Operação .....	235
7.3.2	Formas de onda .....	241
7.3.3	Principais Equações de Projeto do Retificador Trifásico SEPIC DT+SC 6S.....	242
7.4	MODELO DINÂMICO DO RETIFICADOR SEPIC DT+SC 6S.	245
7.4.1	Planta do Retificador Trifásico SEPIC DT+SC 6S .....	245
7.4.2	Validação do Modelo .....	248
7.4.3	Compensador, Ganho do Modulador e Ganho do Sensor .....	248
7.5	Resultados de Simulação Numérica do Retificador Trifásico SEPIC DT+SC 6S .....	249
7.5.1	Análise Comparativa: Resultados Teóricos e de Simulação ....	252
7.5.2	Análise Comparativa entre os Retificadores SEPIC propostos em [15], [44] e os Retificadores Trifásicos SEPIC DT e SEPIC DT+SC	254
7.6	CONCLUSÃO DO CAPÍTULO.....	254
8	Conclusão Geral, Trabalhos Futuros e Publicações .....	257
8.1	CONCLUSÃO GERAL.....	257

---

8.2 TRABALHOS FUTUROS .....	260
8.3 PUBLICAÇÕES .....	260
9 Referências .....	263
10 Apêndice A – Considerações e Resultados de Simulação Numérica Referente aos Casos de Conexão de Carga Desbalanceada aos Retificadores Propostos Nesta Tese.....	267
10.1 CONSIDERAÇÕES E RESULTADOS DE SIMULAÇÃO NUMÉRICA PARA O CASO PARTICULAR DE DESBALANCEAMENTO DE CARGA .....	268
10.1.1 Conversor Monofásico SEPIC DT .....	268
10.1.2 Conversor Monofásico SEPIC+SC .....	270
10.1.3 Conversor Monofásico SEPIC DT+SC.....	272
10.1.4 Conversores Trifásicos SEPIC DT e SEPIC DT+SC.....	275

### INTRODUÇÃO GERAL

O crescimento populacional e tecnológico da sociedade contemporânea tem ocasionado, com o decorrer dos anos, um acréscimo na demanda de energia elétrica. No que concerne a este fato, o setor elétrico mundial tem buscado soluções para reduzir o desperdício, estimulando a melhoria e o desenvolvimento de tecnologias mais eficientes [1] e [2]. Uma fração destas soluções encontra-se relacionada aos estudos dos retificadores monofásicos ou trifásicos, que são parte integrante de grande parcela dos equipamentos eletrônicos disponíveis no mercado.

Na literatura técnica são encontradas inúmeras estruturas de retificadores monofásicos e trifásicos, que vão dos mais simples conversores CA-CC a diodo até os modernos retificadores PWM (*Pulse Width Modulation*) com elevado fator de potência. Os conversores PWM apresentam características vantajosas quando comparados aos retificadores a diodo, podendo-se destacar: possuem menor peso e volume devido à operação em alta frequência, o que proporciona um aumento da potência específica e da densidade de potência; controle da tensão de saída; correntes de entrada com reduzido conteúdo harmônico, contribuindo, desta forma, para a qualidade de energia dos sistemas alimentadores [3].

Em relação à qualidade de energia da rede elétrica, sabe-se que as concessionárias utilizam-se de normas para fiscalizar se as tensões e correntes encontram-se em conformidade com patamares pré-estabelecidos. A necessidade de adequação a estas normas fez, principalmente nos últimos anos, que inúmeros conceitos e topologias de retificadores PWM fossem desenvolvidas [4]. Dentre as estruturas mais utilizadas destacam-se os retificadores baseados no conversor CC-CC Boost (*Step-Up*) [5].

Além dos retificadores PWM já mencionados, pode-se ainda citar os baseados no conversor CC-CC SEPIC (*Single-Ended Primary-Inductor Converter*), os quais possuem a vantagem de prover elevado fator de potência com menor esforço de filtragem, como os retificadores

Boost, e menor nível de tensão de saída, como os retificadores Buck.

Segundo a literatura técnica, a maioria dos retificadores do tipo SEPIC opera no modo de condução descontínua (DCM), pois neste modo de operação estes comportam-se como cargas resistivas, drenando correntes naturalmente em fase com suas respectivas tensões, sem necessitar de um sistema de controle [1], [6] e [7].

Além dos conversores PWM convencionais ora tratados, a literatura técnica apresenta uma nova classe emergente de retificadores comutados, a qual é denominada como conversores CA-CC híbridos. O novo conjunto de retificadores une dois conceitos distintos, sendo eles: controle de corrente por armazenamento indutivo e elevação de tensão por comutação capacitiva [17]. A partir desta integração de conceitos, foram concebidas novas topologias [16], [18], [19], que permitem obter maiores patamares de tensão de saída, com reduzidos esforços de tensão aplicados aos elementos da estrutura.

## 1.1 PROPOSTA DA TESE

Embora apresentem características atrativas, alguns dos retificadores do tipo SEPIC mostram-se inadequados para aplicações que demandam tensões de saída com níveis mais elevados (acima de 400 V), pois, impõem maiores esforços de tensão sobre seus semicondutores. São exemplos destas aplicações: alguns sistemas de energia eólica de pequeno porte, equipamentos de uso hospitalar, entre outros. De modo a contornar esta limitação, algumas topologias modificadas do tipo SEPIC são propostas em [8], [9] e [14]. Estas estruturas permitem obter maiores níveis de tensão de saída com reduzidos esforços de tensão em seus semicondutores.

Alinhado a esta linha de pesquisa, a presente tese propõe-se a analisar, equacionar, simular e verificar experimentalmente um conjunto de retificadores monofásicos e trifásicos do tipo SEPIC, os quais impõem reduzidos esforços de tensão aos seus semicondutores e permitem obter maiores patamares de tensão de saída.

Os referidos retificadores operam no modo de condução descontínua, suas correntes de entrada apresentam reduzida distorção harmônica total, apresentam alto fator de potência e tensão de saída regulada. As topologias dos conversores em questão são apresentadas por meio das figuras Fig. 1-1, Fig. 1-2, Fig. 1-3, Fig. 1-4 e Fig. 1-5.

Os conversores expostos na Fig. 1-1 e Fig. 1-4 utilizam o

conceito do dobrador de tensão, enquanto que os retificadores reportados em Fig. 1-2, Fig. 1-3 e Fig. 1-5 fazem uso do conceito de *switched capacitor* (SC), no entanto é utilizada uma célula SC não convencional, a qual permite que a carga e descarga dos capacitores da referida célula não afetem a tensão do (os) capacitor (es) de entrada dos retificadores, o que garante uma alta qualidade da corrente de entrada.

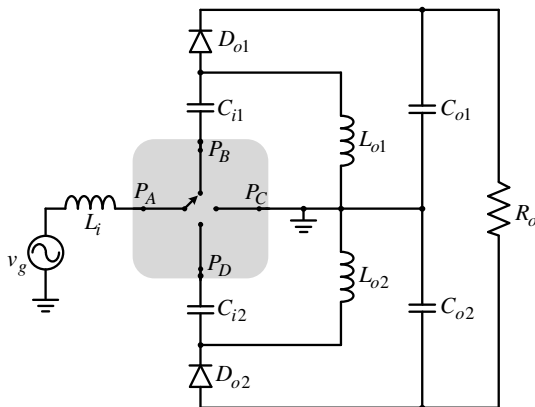


Fig. 1-1. Topologia do retificador monofásico SEPIC DT.  
Fonte: Autoria própria.

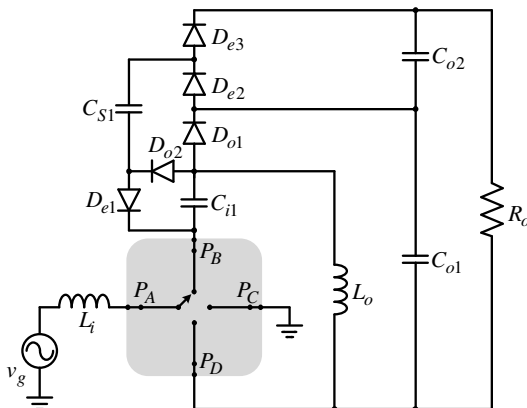


Fig. 1-2. Topologia do retificador monofásico SEPIC+SC.  
Fonte: Autoria própria.

## 1.2 ORGANIZAÇÃO DO DOCUMENTO

Por meio do primeiro capítulo desta tese é exposta a introdução

geral do tema. No capítulo dois é apresentada a revisão bibliográfica, na qual são abordados o conversor CC-CC SEPIC DCM e algumas topologias de retificadores SEPIC que apresentam tensões de saída mais elevadas e reduzidos esforços de tensão em seus semicondutores. O capítulo em questão também apresenta alguns conversores básicos que empregam célula de capacitor chaveado e algumas estruturas de retificadores híbridos.

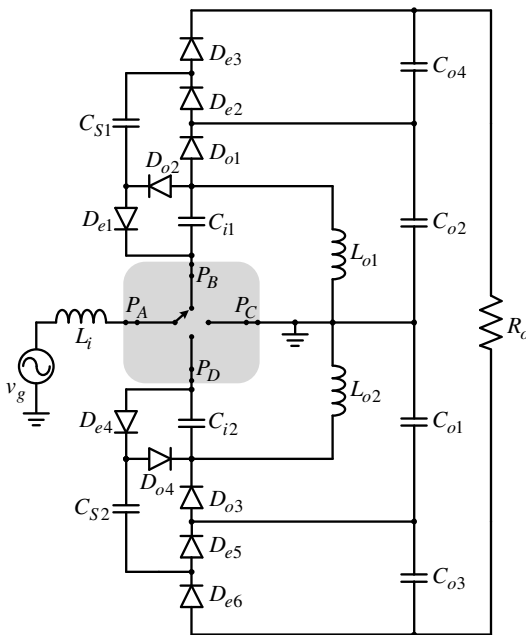


Fig. 1-3. Topologia do retificador monofásico SEPIC DT+SC.

Fonte: Autoria própria.

As topologias designadas como retificadores monofásicos SEPIC DT 1S e 2S são abordadas por intermédio do capítulo três. Nesta seção, são apresentados os conceitos, etapas de operação, formas de onda teóricas, equacionamento, modelo dinâmico, resultados de simulação numérica e resultados experimentais alusivos às referidas estruturas.

De modo análogo ao capítulo três, o quarto capítulo expõe os conceitos, etapas de operação, formas de onda teóricas, principais equações de projeto, modelo dinâmico, resultados de simulação numérica e resultados experimentais relativos aos conversores denominados como retificadores monofásicos SEPIC+SC 1S e 2S.

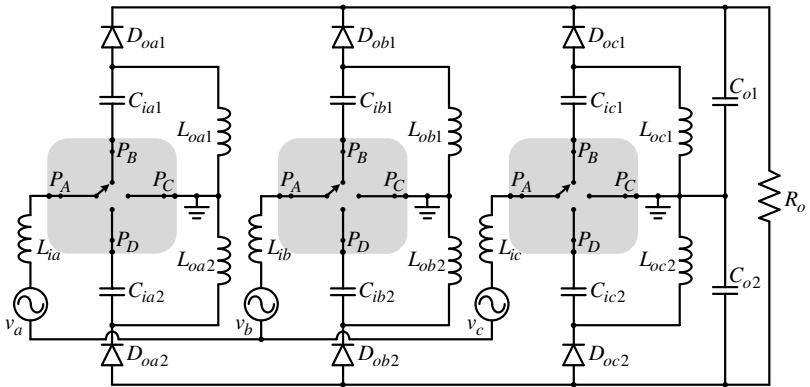


Fig. 1-4. Topologia do retificador trifásico SEPIC DT.

Fonte: Autoria própria.

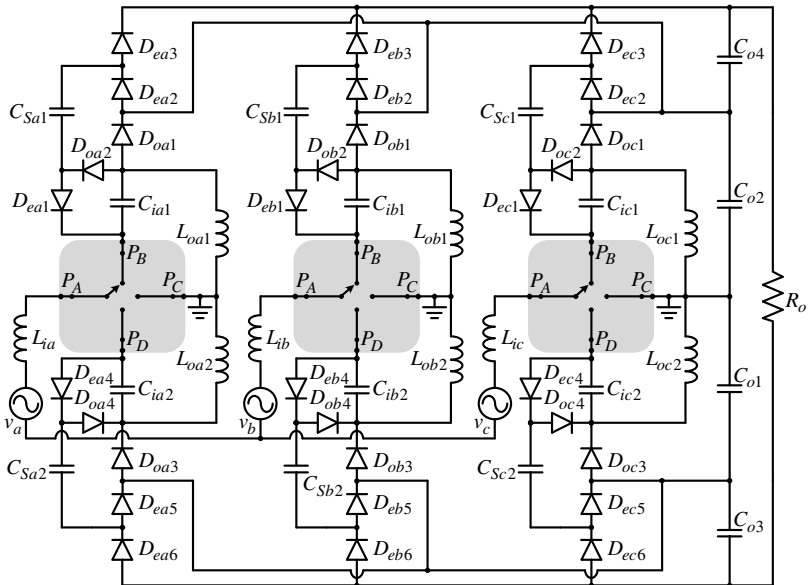


Fig. 1-5. Topologia do retificador trifásico SEPIC DT+SC.

Fonte: Autoria própria.

A partir do quinto capítulo deste documento são apresentados os estudos analíticos e verificação experimental referente à topologia designada com retificador monofásico SEPIC DT+SC 2S.

Por intermédio do sexto capítulo são expostos os conceitos, os circuitos equivalentes relativos às etapas de operação, as formas de onda

teóricas e os principais resultados de simulação e experimentais referentes ao retificador trifásico SEPIC DT 6S.

O sétimo capítulo desta tese é reservado a apresentação da análise teórica e dos resultados de simulação numérica alusivos ao conversor trifásico SEPIC DT+SC 6S.

As conclusões gerais, os temas de trabalhos futuros, bem como os artigos elaborados a partir desta tese, são expostos por intermédio do oitavo capítulo.

Por fim, este documento apresenta as referências, os apêndices A, B e C, os quais tratam, respectivamente, do caso particular, onde os conversores propostos nesta tese são utilizados para alimentar cargas desequilibradas, as quais são conectadas entres os potenciais positivo, negativo e ponto médio dos referidos retificadores, das estimativas de perdas e rendimentos e dos valores das grandezas alusivas aos compensadores implementados para efetuarem o controle da tensão de saída dos conversores em questão.



## **REVISÃO BIBLIOGRÁFICA**

### **2.1 INTRODUÇÃO**

**P**or meio do presente capítulo é apresentada a revisão bibliográfica alusiva ao tema da tese. Por intermédio desta são abordados o conversor SEPIC CC-CC, o retificador SEPIC convencional e alguns retificadores do tipo SEPIC modificados. O referido capítulo também expõe alguns conversores básicos que empregam célula de capacitor chaveado e algumas estruturas de retificadores híbridos.

### **2.2 CONVERSOR CC-CC SEPIC BÁSICO DCM**

Pelo fato de as topologias propostas neste trabalho serem baseadas no conversor CC-CC SEPIC, torna-se relevante conhecer as principais características e conceitos da estrutura básica deste conversor.

A topologia básica do conversor CC-CC SEPIC exposta na Fig. 2-1 foi inicialmente proposta no ano 1977 [42]. Suas primeiras aplicações foram baseadas na elevação de tensão, contudo, este conversor também pode operar como abaixador de tensão. O conversor em questão apresenta ainda como principais características:

Características positivas:

- Entrada com característica de fonte de corrente, o que possibilita empregá-lo em estágios de correção de fator de potência;
- O indutor  $L_o$  pode ser substituído por indutores acoplados, o que permite isolar galvanicamente rede elétrica e carga e, consequentemente, utilização de múltiplas saídas;
- A fonte de alimentação, carga e interruptor estão conectados ao mesmo potencial negativo, o que, do ponto de vista de acionamento e controle é vantajoso.

Características Negativas:

- Quando comparada aos conversores Buck e Boost emprega um número maior de elementos;
- Impõe tensões mais elevadas aos semicondutores quando

comparada às topologias dos conversores Buck e Boost.

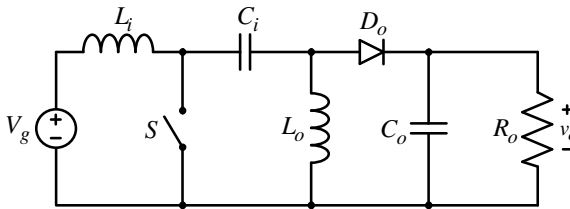


Fig. 2-1. Conversor CC-CC SEPIC básico não isolado.

Fonte: Baseado em MARTINS (2008).

Como já evidenciado anteriormente, a proposta deste trabalho concerne no estudo e implementação de alguns retificadores baseados no conversor CC-CC SEPIC operando em DCM. Desta forma, torna-se prudente estudar a estrutura básica do conversor em questão para o referido modo de operação.

Antes de se efetuar qualquer tipo de análise, torna-se necessário convencionar as polaridades das tensões e os sentidos das correntes para a topologia básica. A convenção estabelecida é exposta por meio da Fig. 2-2.

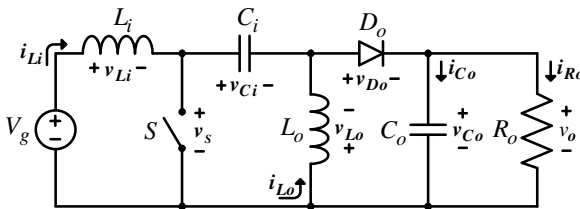


Fig. 2-2. Tensões e correntes convencionadas.

Fonte: Autoria própria.

É importante salientar que em regime permanente o valor médio da tensão dos indutores e as ondulações de tensão nos capacitores serão consideradas nulas. Assim, o valor da tensão média em  $C_i$  e  $C_o$  são, respectivamente,  $V_g$  e  $V_o$ .

### 2.2.1 Etapas de Operação

No modo de condução descontínua o conversor SEPIC apresenta três etapas distintas de operação, as quais são descritas nas seções 2.2.1.1, 2.2.1.2 e 2.2.1.3.

### 2.2.1.1 Primeira Etapa de Operação

Durante o decorrer da primeira etapa o interruptor  $S$  encontra-se em modo de condução, e o diodo  $D_o$ , bloqueado. As correntes nos indutores  $L_i$  e  $L_o$  crescem linearmente segundo as relações (2.1) e (2.2), respectivamente. A carga  $R_o$  é alimentada pelo capacitor  $C_o$ .

O circuito equivalente que representa a etapa em questão pode ser visualizado por intermédio da Fig. 2-3.

$$i_{Li}(t) = \frac{V_g}{L_i} t + I_{Limin} \quad (2.1)$$

$$i_{Lo}(t) = \frac{V_g}{L_o} t + I_{Lomin} \quad (2.2)$$

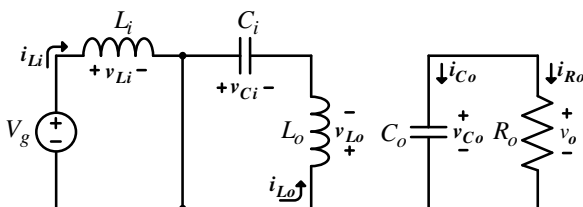


Fig. 2-3. Circuito equivalente referente à primeira etapa de operação.

Fonte: Autoria própria.

### 2.2.1.2 Segunda Etapa de Operação

A segunda etapa de operação inicia-se no momento em que o interruptor  $S$  é comandado a bloquear. Neste instante o diodo  $D_o$  entra em condução, fazendo com que a energia armazenada em cada indutor seja transferida para o capacitor  $C_o$  e para a carga  $R_o$ . As correntes em  $L_i$  e  $L_o$  decrescem linearmente segundo (2.3) e (2.4), respectivamente. O circuito equivalente do conversor para esta etapa é exposto na Fig. 2-4.

$$i_{Li}(t) = \frac{-V_o}{L_i} t + I_{Limax} \quad (2.3)$$

$$i_{Lo}(t) = \frac{-V_o}{L_o} t + I_{Lomax} \quad (2.4)$$

### 2.2.1.3 Terceira Etapa de Operação

A terceira etapa de operação inicia-se no instante em que as

correntes  $I_{L_{imin}}$  e  $I_{L_{omin}}$  igualam-se a um mesmo valor, porém, com sinais opostos. Assim, a circulação de corrente no diodo  $D_o$  é findada antes do interruptor  $S$  ser comandado a conduzir novamente, caracterizando, deste modo, a descontinuidade de operação do conversor. Tal descontinuidade também pode ser constatada ao se observar que as correntes nos indutores  $L_i$  e  $L_o$  permanecem constantes no decorrer desta etapa. O circuito elétrico equivalente que representa a etapa de operação em questão é apresentado na Fig. 2-5.

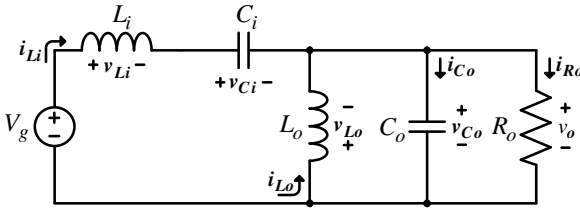


Fig. 2-4. Circuito equivalente referente à segunda etapa de operação.  
Fonte: Autoria própria

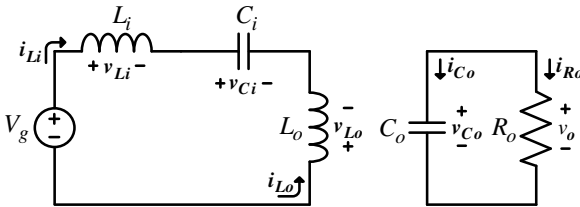


Fig. 2-5. Circuito equivalente referente à terceira etapa de operação.  
Fonte: Autoria própria.

### 2.2.2 Formas de Onda

Por intermédio das etapas de operações descritas, obtêm-se as principais formas de ondas das tensões e correntes do conversor em questão. Tais formas de ondas foram elaboradas a partir da utilização de componentes ideais e podem ser visualizadas sequencialmente por meio da Fig. 2-6 e Fig. 2-7.

### 2.2.3 Equacionamento

Conhecendo-se as etapas de operação e as formas de onda é possível efetuar o equacionamento do conversor. Tal equacionamento é de extrema importância, pois servirá de suporte para as análises posteriores das estruturas tratadas neste trabalho.

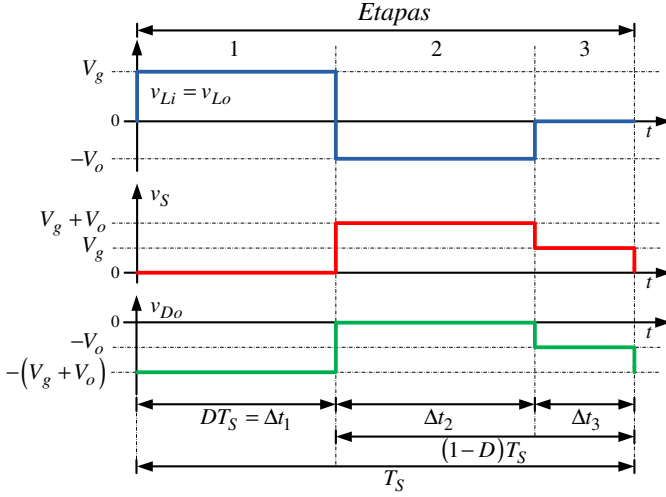


Fig. 2-6. Principais formas de onda de tensão do conversor SEPIC DCM.  
Fonte: Autoria própria.

- Intervalos  $\Delta t_1$ ,  $\Delta t_2$  e  $\Delta t_3$ :

O intervalo de tempo  $\Delta t_1$  é determinado pela própria definição de razão cíclica  $D$ , a qual pode ser visualizada na expressão (2.5).  $T_S$  é o período de comutação (2.6) e  $f_s$  a frequência de comutação.

$$\Delta t_1 = DT_S \quad (2.5)$$

$$T_S = \frac{1}{f_s} \quad (2.6)$$

Os intervalos  $\Delta t_2$  e  $\Delta t_3$  são definidos respectivamente por (2.7) e (2.8).

$$\Delta t_2 = X_2 T_S \quad (2.7)$$

$$\Delta t_3 = X_3 T_S \quad (2.8)$$

Por meio da expressão (2.9), que representa matematicamente o valor médio da tensão do indutor  $L_i$ , é possível determinar  $X_2$ . Assim, aplicando (2.5), (2.7) e (2.8) em (2.9), e efetuando as operações matemáticas pertinentes, chega-se a equação (2.10).

$$\langle V_{Li} \rangle = \frac{1}{T_S} (V_g \Delta t_1 + (-V_o \Delta t_2) + 0 \cdot \Delta t_3) = 0 \quad (2.9)$$

$$X_2 = \frac{V_g D}{V_o} \quad (2.10)$$

Substituindo (2.10) em (2.7), obtém-se a expressão (2.11), que define  $\Delta t_2$ .

$$\Delta t_2 = \frac{V_g D}{V_o} T_S \quad (2.11)$$

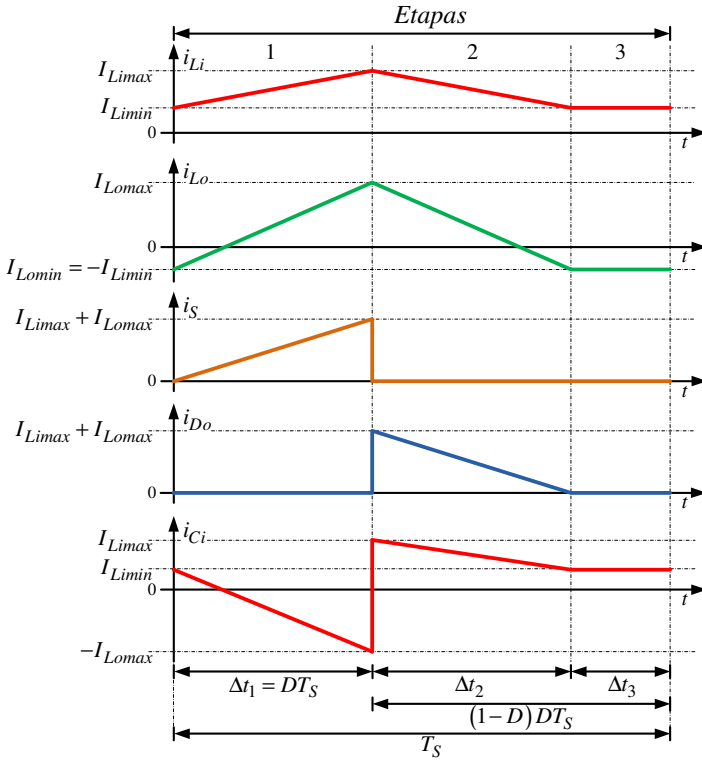


Fig. 2-7. Principais formas de onda de corrente do conversor SEPIC DCM.

Fonte: Autoria própria.

A incógnita  $T_S$  já definida por (2.6) também pode ser representada por (2.12). Assim, aplicando (2.5), (2.8) e (2.11) em (2.12) determina-se a incógnita  $X_3$ , que é exposta em (2.13).

$$T_S = \Delta t_1 + \Delta t_2 + \Delta t_3 \quad (2.12)$$

$$X_3 = \frac{V_o(1-D) - V_g D}{V_o} \quad (2.13)$$

Substituindo (2.13) em (2.8) determina-se  $\Delta t_3$ , o qual é definido em (2.14).

$$\Delta t_3 = \frac{V_o(1-D) - V_g D}{V_o} T_S \quad (2.14)$$

- Correntes mínimas e máximas dos indutores  $L_i$  e  $L_o$ :

Mediante a Fig. 2-7 é possível constatar que os valores máximos das correntes dos indutores  $L_i$  e  $L_o$  são representadas respectivamente por  $I_{Limax}$  e  $I_{Lomax}$ . Observa-se também que, ao final da segunda etapa, as correntes nos indutores atingem o mesmo valor, mas com sentidos opostos, o qual é definido como  $I_{Liomin}$ . Desta forma, há três incógnitas a serem determinadas, são obtidas por meio da solução do sistema de equações constituído por (2.15), (2.16) e (2.17). Resolvendo o sistema obtêm-se as expressões, (2.18), (2.19) e (2.20) que representam sequencialmente  $I_{Liomin}$ ,  $I_{Limax}$  e  $I_{Lomax}$ .

$$-I_{Limin} - \frac{V_g D}{L_i f_s} + I_{Limax} = 0 \quad (2.15)$$

$$I_{Limin} - \frac{V_g D}{L_o f_s} + I_{Lomax} = 0 \quad (2.16)$$

$$\left[ \begin{aligned} &I_{Limin} \left( D + \frac{V_g D}{V_o} + \frac{2[V_o(1-D) - V_g D]}{V_o} \right) \\ &+ \left( -I_{Lomax} D + I_{Limax} \frac{V_g D}{V_o} \right) \end{aligned} \right] = 0 \quad (2.17)$$

$$I_{Liomin} = \frac{D^2 V_g (V_o L_i - V_g L_o)}{2 V_o L_i L_o f_s} \quad (2.18)$$

$$I_{Limax} = \frac{D V_g [D(V_o L_i - V_g L_o) + 2 V_o L_o]}{2 V_o L_i L_o f_s} \quad (2.19)$$

$$I_{Lomax} = \frac{D V_g [2 V_o L_i - D(V_o L_i - V_g L_o)]}{2 V_o L_i L_o f_s} \quad (2.20)$$

- Ondulação de correntes dos indutores  $L_i$  e  $L_o$ :

A diferença algébrica entre o valor máximo e mínimo da corrente em um indutor é denominada como ondulação de corrente. Assim, aplicando este conceito aos indutores  $L_i$  e  $L_o$  obtêm-se, respectivamente, as expressões (2.21) e (2.23). Efetuando as devidas substituições em (2.21) e (2.23), chega-se a (2.22) e (2.24), que representam sequencialmente as ondulações de corrente de  $L_i$  e  $L_o$ .

$$\Delta i_{Li} = I_{Limax} - I_{Liomin} \quad (2.21)$$

$$\Delta i_{Li} = \frac{V_g D}{L_i f_s} \quad (2.22)$$

$$\Delta i_{Lo} = I_{Lomax} - (-I_{Liomin}) \quad (2.23)$$

$$\Delta i_{Lo} = \frac{V_g D}{L_o f_s} \quad (2.24)$$

- Valor médio e valor eficaz da corrente em  $L_i$ :

Por meio das expressões (2.25) e (2.27) são definidos, respectivamente, os valores médio e eficaz da corrente do indutor  $L_i$ . Substituindo (2.5), (2.11), (2.14), (2.18), (2.19) e (2.22) em (2.25) e (2.27) chega-se, sequencialmente, as equações finais (2.26) e (2.28).

$$I_{Limed} = \frac{1}{T_S} \left[ \int_0^{\Delta t_1} \left( \frac{\Delta i_{Li}}{\Delta t_1} t + I_{Liomin} \right) dt + \int_0^{\Delta t_2} \left( -\frac{\Delta i_{Li}}{\Delta t_2} t + I_{Limax} \right) dt + \int_0^{\Delta t_3} (I_{Liomin}) dt \right] \quad (2.25)$$

$$I_{Limed} = \frac{D^2 V_g (L_i + L_o)}{2 L_i L_o f_s} \quad (2.26)$$

$$I_{Lief} = \sqrt{\frac{1}{T_S} \left[ \int_0^{\Delta t_1} \left( \frac{\Delta i_{Li}}{\Delta t_1} t + I_{Liomin} \right)^2 dt + \int_0^{\Delta t_2} \left( -\frac{\Delta i_{Li}}{\Delta t_2} t + I_{Limax} \right)^2 dt + \int_0^{\Delta t_3} (I_{Liomin})^2 dt \right]} \quad (2.27)$$



$$I_{Lief} = \sqrt{\frac{D^3 V_g^2 \left[ 4V_o L_o^2 (V_o + V_g) + 6V_o L_o D (V_o L_i - V_g L_o) + 3D (V_o^2 L_i^2 - V_g^2 L_o^2) \right]}{12V_o^2 L_i^2 L_o^2 f_s^2}} \quad (2.28)$$

- Valor médio e valor eficaz da corrente em  $L_o$ :

Os valores médio e eficaz da corrente do indutor  $L_o$  são representados sequencialmente pelas equações (2.30) e (2.32), as quais são obtidas por meio da substituição de (2.5), (2.11), (2.14), (2.18), (2.20) e (2.24) em (2.29) e (2.31), respectivamente.

$$I_{Lomed} = \frac{1}{T_s} \left[ \int_0^{\Delta t_1} \left( \frac{I_{Liomin} + I_{Lomax}}{\Delta t_1} t - I_{Liomin} \right) dt + \int_0^{\Delta t_2} \left( \frac{-I_{Liomin} - I_{Lomax}}{\Delta t_2} t + I_{Lomax} \right) dt + \int_0^{\Delta t_3} (-I_{Liomin}) dt \right] \quad (2.29)$$

$$I_{Lomed} = \frac{D^2 V_g^2 (L_i + L_o)}{2V_o L_i L_o f_s} \quad (2.30)$$

$$I_{Loef} = \frac{1}{T_s} \sqrt{\left[ \int_0^{\Delta t_1} \left( \frac{I_{Liomin} + I_{Lomax}}{\Delta t_1} t - I_{Liomin} \right)^2 dt + \int_0^{\Delta t_2} \left( \frac{-I_{Liomin} - I_{Lomax}}{\Delta t_2} t + I_{Lomax} \right)^2 dt + \int_0^{\Delta t_3} (-I_{Liomin})^2 dt \right]} \quad (2.31)$$

$$I_{Loef} = \sqrt{\frac{D^3 V_g^2 \left[ 4V_o L_i^2 (V_o + V_g) + 6V_g L_i D (V_g L_o - V_o L_i) + 3D (V_g^2 L_o^2 - V_o^2 L_i^2) \right]}{12V_o^2 L_i^2 L_o^2 f_s^2}} \quad (2.32)$$

- Valor médio e valor eficaz da corrente no interruptor  $S$ :

As expressões (2.34) e (2.36) definem sequencialmente os valores médio e eficaz da corrente do interruptor  $S$ . Estas são obtidas, respectivamente, a partir da substituição de (2.5), (2.19), (2.20), em (2.33) e (2.35).

$$I_{Smed} = \frac{1}{T_S} \left[ \int_0^{\Delta t_1} \left( \frac{I_{Limax} + I_{Lomax}}{\Delta t_1} t \right) dt \right] \quad (2.33)$$

$$I_{Smed} = \frac{D^2 V_g (L_i + L_o)}{2 L_i L_o f_s} \quad (2.34)$$

$$I_{Sef} = \sqrt{\frac{1}{T_S} \left[ \int_0^{\Delta t_1} \left( \frac{I_{Limax} + I_{Lomax}}{\Delta t_1} t \right)^2 dt \right]} \quad (2.35)$$

$$I_{Sef} = \frac{D V_g (L_i + L_o)}{L_i L_o f_s} \sqrt{\frac{D}{3}} \quad (2.36)$$

- Valor médio e valor eficaz da corrente do diodo  $D_o$ :

As expressões (2.38) e (2.40) determinam respectivamente os valores médio e eficaz da corrente do diodo  $D_o$ . Tais equações resultam, sequencialmente, da substituição de (2.11), (2.19), (2.20) em (2.37) e (2.39).

$$I_{Domed} = \frac{1}{T_S} \left[ \int_0^{\Delta t_2} \left( \frac{I_{Limax} + I_{Lomax}}{\Delta t_2} t \right) dt \right] \quad (2.37)$$

$$I_{Domed} = \frac{D^2 V_g^2 (L_i + L_o)}{2 V_o L_i L_o f_s} \quad (2.38)$$

$$I_{Dofef} = \sqrt{\frac{1}{T_S} \left[ \int_0^{\Delta t_2} \left( \frac{I_{Limax} + I_{Lomax}}{\Delta t_2} t \right)^2 dt \right]} \quad (2.39)$$

$$I_{Dofef} = \frac{D V_g (L_i + L_o)}{L_i L_o f_s} \sqrt{\frac{D V_g}{3 V_o}} \quad (2.40)$$

- Valor médio e valor eficaz da corrente em  $C_i$  e  $C_o$ :

Os valores eficazes das correntes dos capacitores  $C_i$  e  $C_o$ , dados

pelas expressões (2.42) e (2.44), são obtidos a partir da aplicação das expressões (2.5), (2.11), (2.14), (2.18), (2.19) e (2.20) em (2.41) e (2.43), respectivamente.

$$I_{Cief} = \frac{1}{T_S} \left[ \begin{aligned} & \int_0^{\Delta t_1} \left( \frac{-I_{Liomin} - I_{Lomax}}{\Delta t_1} t + I_{Liomin} \right)^2 dt \\ & + \int_0^{\Delta t_2} \left( \frac{I_{Liomin} - I_{Limax}}{\Delta t_2} t + I_{Limax} \right)^2 dt \\ & + \int_0^{\Delta t_3} (I_{Liomin})^2 dt \end{aligned} \right] \quad (2.41)$$

$$I_{Cief} = \sqrt{\frac{D^3 V_g^2 \left( V_o^2 L_i^2 (-3D+4) + 6DV_g V_o L_i L_o \right) + V_g L_o^2 (-3DV_g + 4V_o)}{12V_o^2 L_i^2 L_o^2 f_s^2}} \quad (2.42)$$

$$I_{Coef} = \frac{1}{T_S} \left[ \begin{aligned} & \int_0^{\Delta t_3} \left( \frac{-V_o}{R_o} \right)^2 dt + \int_0^{\Delta t_1} \left( \frac{-V_o}{R_o} \right)^2 dt \\ & + \int_0^{\Delta t_2} \left( \frac{-(I_{Limax} + I_{Lomax})}{\Delta t_2} \right)^2 dt \\ & + \left( I_{Limax} + I_{Lomax} - \frac{V_o}{R_o} \right)^2 \end{aligned} \right] \quad (2.43)$$

$$I_{Coef} = \sqrt{\frac{D^3 V_g^3 R_o^2 (L_i^2 + L_o^2 + 2L_i L_o) + 3V_o^2 L_i^2 L_o^2 f_s^2 (V_o - DV_g) + 3D^2 V_g^2 V_o R_o L_i L_o f_s (-L_i - L_o) + 3DV_g V_o^2 L_i^2 L_o^2 f_s^2}{3V_o R_o^2 L_i^2 L_o^2 f_s^2}} \quad (2.44)$$

- Indutores  $L_i$  e  $L_o$ :

O valor da indutância de  $L_i$  é obtido a partir da expressão (2.22), sendo definido por (2.45).

$$L_i = \frac{V_g D}{\Delta i_{L_i} f_s} \quad (2.45)$$

O valor médio da corrente de saída é equivalente ao valor médio da corrente do diodo  $D_o$ . Desta forma, pode-se representá-la por (2.46).

$$I_{Ro} = \frac{D^2 V_g^2 (L_i + L_o)}{2V_o L_i L_o f_s} \quad (2.46)$$

Aplicando (2.47), que também é definição do valor médio da corrente de saída, em (2.46), obtém-se a equação (2.48), que submetida às operações matemáticas pertinentes leva à expressão (2.49), a qual define o valor da indutância de  $L_o$ .

$$I_{Ro} = \frac{V_o}{R_o} \quad (2.47)$$

$$\frac{V_o}{R_o} = \frac{D^2 V_g^2 (L_i + L_o)}{2V_o L_i L_o f_s} \quad (2.48)$$

$$L_o = \frac{L_i R_o V_g^2 D^2}{2L_i V_o^2 f_s - R_o V_g^2 D^2} \quad (2.49)$$

- Capacitores  $C_i$  e  $C_o$ :

As equações (2.50) e (2.51) [4] representam respectivamente os valores das capacitâncias de  $C_i$  e  $C_o$ .

$$C_i = \frac{D^2 V_g \left[ D(V_g L_o - V_o L_i) + 2V_o L_i \right]^2}{8V_o^2 L_i^2 L_o \Delta V_{C_i} f_s^2} \quad (2.50)$$

$$C_o = \frac{\left[ V_g D(L_i + L_o) - i_{Ro} L_i L_o f_s \right]^2}{2V_o \Delta V_{C_o} L_i L_o f_s^2 (L_o + L_i)} \quad (2.51)$$

- Característica estática:

A relação existente entre tensão de saída e tensão de entrada é conhecida como ganho estático, e para o conversor em questão é obtido, por meio da expressão (2.48), que submetida ao devido tratamento matemático resulta em (2.52). Observando tal expressão, constata-se que

para o conversor contendo frequência de comutação e indutâncias fixas, haverá para cada valor de carga uma curva de característica estática.

A terceira etapa de operação do conversor é inicializada quando a corrente do diodo  $D_o$  atinge o valor zero, e permanece neste valor até o início da próxima etapa de operação. Baseando-se neste fato, é possível afirmar que o limite da descontinuidade de operação do conversor ocorre quando o intervalo de tempo  $\Delta t_3$  tende à zero, logo,  $\Delta t_2$  tende a  $(1-D)T_s$ . Desta forma, pela expressão (2.53) (que descreve o balanço de energia admitindo rendimento unitário, e que toda energia armazenada na primeira etapa é entregue para a saída durante a segunda etapa de operação) chega-se a (2.54).

$$Ge_{DCM} = D \sqrt{\frac{R_o (L_i + L_o)}{2L_i L_o f_s}} \quad (2.52)$$

$$P_i \Delta t_1 = P_o \Delta t_2 \rightarrow \quad (2.53)$$

$$V_g (I_{Limed} + I_{Lomed}) \Delta t_1 = V_o (I_{Limed} + I_{Lomed}) \Delta t_2$$

$$V_g \Delta t_1 = V_o \Delta t_2 \quad (2.54)$$

Onde:  $P_i$  - Potência média de entrada;  $P_o$  - Potência média de saída.

Aplicando os intervalos  $\Delta t_1$  ( $D$ ),  $\Delta t_2$  ( $1-D$ ) e a expressão (2.48) em (2.54), obtém-se (2.55), a qual revela duas importantes relações:

- Resistência de carga mínima, descrita por (2.56): resistência igual ou superior ao valor mínimo garante a descontinuidade de operação do conversor para um determinado ponto de trabalho;
- Razão cíclica máxima, descrita por (2.57): máximo valor de razão cíclica aplicado ao conversor que garante que o mesmo opere no modo de condução descontínua para uma dada condição de carga.

$$\frac{1}{(1-D)} = \sqrt{\frac{R_o (L_i + L_o)}{2L_i L_o f_s}} \quad (2.55)$$

$$R_{omin} = \frac{2L_i L_o f_s}{(1-D)^2 (L_i + L_o)} \quad (2.56)$$

$$D_{max-DCM} = 1 - \sqrt{\frac{2L_i L_o f_s}{R_o (L_i + L_o)}} \quad (2.57)$$

Por meio da Fig. 2-8 apresenta-se o ganho estático do conversor

em função de alguns valores do parâmetro  $k_x$  (2.58) e da razão cíclica. Observa-se mediante esta figura, que para cada valor do parâmetro  $k_x$  tem-se uma razão cíclica máxima, a qual delimita o modo de operação do conversor, ou seja, para valores menores de razão cíclica, o conversor opera em DCM, para maiores, opera em MCC.

$$k_x = \sqrt{\frac{R_o (L_i + L_o)}{2L_i L_o f_s}} \quad (2.58)$$

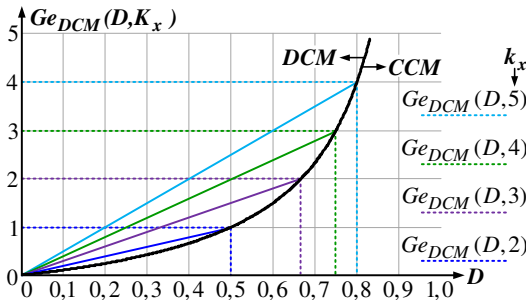


Fig. 2-8. Ganho estático do conversor SEPIC em DCM.

Fonte: Autoria própria.

## 2.3 RETIFICADOR SEPIC CLÁSSICO

O retificador SEPIC convencional apresentado na Fig. 2-9, o qual é concebido a partir do conversor CC-CC SEPIC, pode fornecer, de acordo com a razão cíclica, uma tensão contínua de saída com valor menor ou maior que o valor de pico da tensão oriunda do sistema alimentador. O referido retificador possui entrada com característica de fonte de corrente e saída com característica de fonte de tensão.

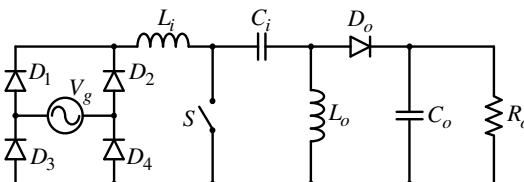


Fig. 2-9. Retificador SEPIC clássico.

Fonte: Adaptado de [1] e [7].

O conversor em questão pode operar no modo de condução contínua (CCM), crítica (RCM) ou descontinua (DCM).

Independentemente do modo de operação, não requer filtros adicionais de entrada para garantir a continuidade da corrente drenada do sistema alimentador, de modo a suprimir os harmônicos gerados pela frequência de comutação.

A operação em DCM confere ao retificador SEPIC convencional um comportamento puramente resistivo (em relação a fonte CA de entrada), o que o faz drenar uma corrente naturalmente em fase com sua respectiva tensão de alimentação, isto, sem necessitar de um sistema de controle [1], [6] e [7].

Embora apresente características relevantes, o referido retificador não é atrativo para aplicações que demandam tensões de saída com níveis mais elevados. Isto, pois seus semicondutores devem suportar uma tensão dada pela soma das tensões de entrada e de saída.

Com o objetivo de transpor esta limitação, algumas topologias modificadas do tipo SEPIC DCM foram propostas em [8], [9] e [14]. Estas estruturas, as quais são tratadas nas seções 2.4, 2.5 e 2.6, permitem obter maiores níveis de tensão de saída com reduzidos esforços de tensão sobre seus semicondutores.

## 2.4 RETIFICADOR SEPIC MODIFICADO 1

O conversor do tipo SEPIC proposto em [8], que neste trabalho é tratado como retificador SEPIC modificado 1, pode ser visualizado por meio da Fig. 2-10. A diferença estrutural entre o referido retificador e o conversor clássico, consiste na utilização de dois elementos adicionais, sendo eles: um capacitor ( $C_M$ ) e um diodo ( $D_M$ ). A inserção destes dois componentes confere ao retificador em questão, quando comparado ao conversor convencional, a característica de impor aos seus semicondutores apenas metade dos esforços de tensão.

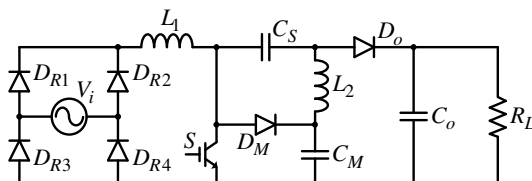


Fig. 2-10. Retificador SEPIC proposto por [8].

Fonte: Referência [8].

A partir da Tabela 2-1 e da Tabela 2-2 são apresentadas, respectivamente, uma análise quantitativa e qualitativa referente aos

retificadores SEPIC convencional e SEPIC modificado 1.

Verifica-se, por meio das referidas tabelas, que embora empregue um maior número de componentes, o conversor SEPIC modificado 1 apresenta, como já argumentado anteriormente, menores esforços de tensão sobre seus semicondutores.

Tabela 2-1. Análise quantitativa entre os retificadores SEPIC clássico e SEPIC modificado 1.

Características	Ret. SEPIC Clássico	SEPIC Mod. 1 Proposto em [8]
Número de interruptores controlados	1	1
Número de diodos lentos	4	4
Número de diodos rápidos	1	2
Número de indutores	2	2
Número de capacitores	2	3

Fonte: Autoria própria.

Tabela 2-2. Análise qualitativa entre os retificadores SEPIC clássico e SEPIC modificado 1.

Grandezas	Ret. SEPIC Clássico	SEPIC Mod. 1 Proposto em [8]
Máxima tensão sobre os diodos de saída	$V_{in} + V_o$	$\frac{V_{in} + V_o}{2}$
Máxima tensão sobre os interruptores controlados	$V_{in} + V_o$	$\frac{V_{in} + V_o}{2}$

Fonte: Autoria própria.

## 2.5 RETIFICADOR SEPIC MODIFICADO 2

O conversor SEPIC proposto em [9] e que neste documento é designado como retificador SEPIC modificado 2, é apresentado na Fig. 2-11. Quando comparado ao retificador SEPIC convencional, o conversor em questão utiliza quatro componentes adicionais, sendo eles: um indutor ( $L_2$ ), dois capacitores ( $C_2$  e  $C_3$ ) e um interruptor ( $Q_2$ ).

De modo análogo ao conversor abordado na seção 2.4, o retificador SEPIC modificado 2, quando comparado ao retificador clássico, impõe aos seus semicondutores apenas metade dos esforços de



tensão.

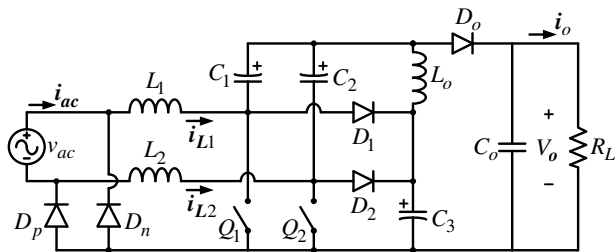


Fig. 2-11. Retificador SEPIC proposto por [9].  
Fonte: Referência [9].

A análise quantitativa e qualitativa relativa aos retificadores SEPIC clássico e SEPIC modificado 2 pode ser visualizada por intermédio da Tabela 2-3 e da Tabela 2-4, respectivamente.

Tabela 2-3. Análise quantitativa entre os retificadores SEPIC clássico e SEPIC modificado 2.

Características	Ret. SEPIC Clássico	SEPIC Mod. 2 Proposto em [9]
Número de interruptores controlados	1	2
Número de diodos lentos	4	2
Número de diodos rápidos	1	3
Número de indutores	2	3
Número de capacitores	2	4

Fonte: Autoria própria.

Tabela 2-4. Análise qualitativa entre os retificadores SEPIC clássico e SEPIC modificado 2.

Grandezas	Ret. SEPIC Clássico	SEPIC Mod. 2 Proposto em[9]
Máxima tensão sobre os diodos de saída	$V_{in} + V_o$	$\frac{V_{in} + V_o}{2}$
Máxima tensão sobre os interruptores controlados	$V_{in} + V_o$	$\frac{V_{in} + V_o}{2}$

Fonte: Autoria própria.

2.6 RETIFICADOR SEPIC MODIFICADO 3

O conversor do tipo SEPIC que neste trabalho é intitulado como retificador SEPIC modificado 3, foi proposto em [14] e pode ser visualizado por meio da Fig. 2-12. Embora empregue um maior número de componentes, como pode ser constatado por intermédio da Tabela 2-5, o referido retificador, assim como os conversores tratados nas seções 2.2 e 2.3, apresenta, quando comparado ao retificador SEPIC clássico, menor tensão imposta aos seus semicondutores.

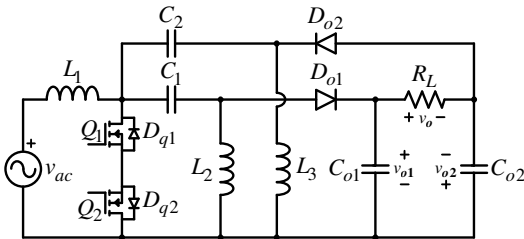


Fig. 2-12. Retificador SEPIC proposto por [14].  
Fonte: Referência [14].

Por meio da Tabela 2-5 e da Tabela 2-6 são apresentadas, sequencialmente, uma análise quantitativa e qualitativa alusiva aos retificadores SEPIC clássico e SEPIC modificado 3. Pode-se verificar que embora faça uso de elementos adicionais, o conversor SEPIC modificado 3 apresenta, como argumentado anteriormente, menores esforços de tensão sobre seus semicondutores.

Tabela 2-5. Análise quantitativa entre os retificadores SEPIC clássico e SEPIC modificado 3.

Características	Ret. SEPIC Clássico	SEPIC Mod. 3 Proposto em[14]
Número de interruptores controlados	1	2
Número de diodos lentos	4	0
Número de diodos rápidos	1	4*
Número de indutores	2	3
Número de capacitores	2	4

\*dois diodos internos aos interruptores  $Q_1$  e  $Q_2$ .

Fonte: Autoria própria.

Tabela 2-6. Análise qualitativa entre os retificadores SEPIC clássico e SEPIC modificado 3.

Grandezas	Ret. SEPIC Clássico	SEPIC Mod. 3 Proposto em [14]
Máxima tensão sobre os diodos de saída	$V_{in} + V_o$	$V_{in} + \frac{V_o}{2}$
Máxima tensão sobre os interruptores controlados	$V_{in} + V_o$	$V_{in} + \frac{V_o}{2}$

Fonte: Autoria própria.

É relevante salientar que além de atenuar os esforços de tensão sobre seus semicondutores, os conversores SEPIC modificados 1, 2 e 3 mantêm as mesmas características positivas do retificador SEPIC convencional, ou seja, possuem reduzido conteúdo harmônico na corrente de entrada, apresentam elevado fator de potência e corrente drenada da rede em fase com suas respectivas tensões de alimentação sem demandar um sistema de controle de corrente para este fim.

2.7 RETIFICADORES TRIFÁSICOS SEPIC

Por intermédio das figuras Fig. 2-13, Fig. 2-14 e Fig. 2-15 são apresentadas as estruturas de alguns conversores trifásicos, as quais são baseadas no retificador SEPIC convencional.

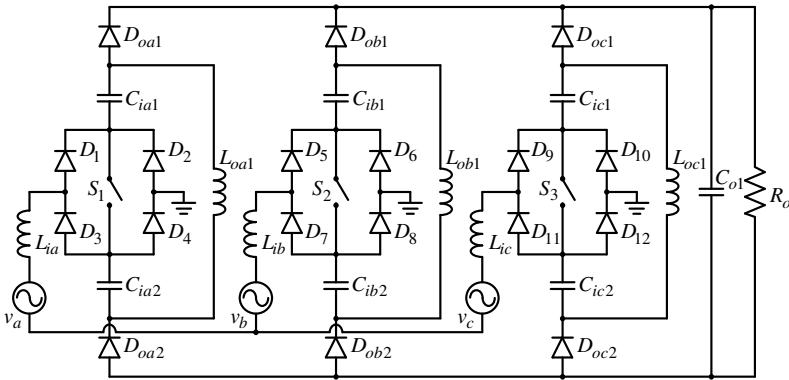


Fig. 2-13. Retificador trifásico SEPIC abordado em [13].

Fonte: Adaptado de [13].

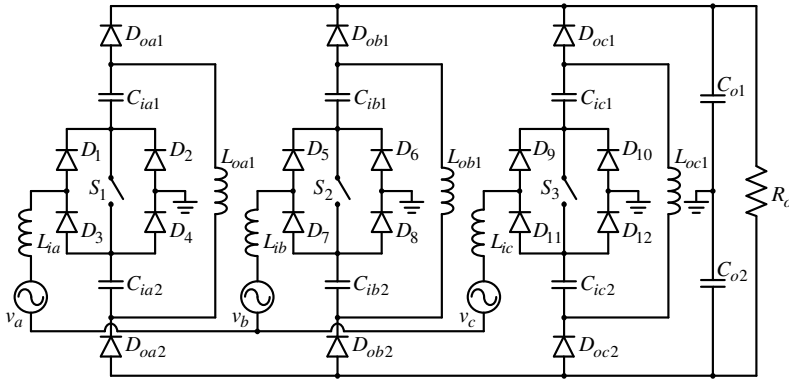


Fig. 2-14. Retificador trifásico SEPIC abordado em [44].

Fonte: Adaptado de [44].

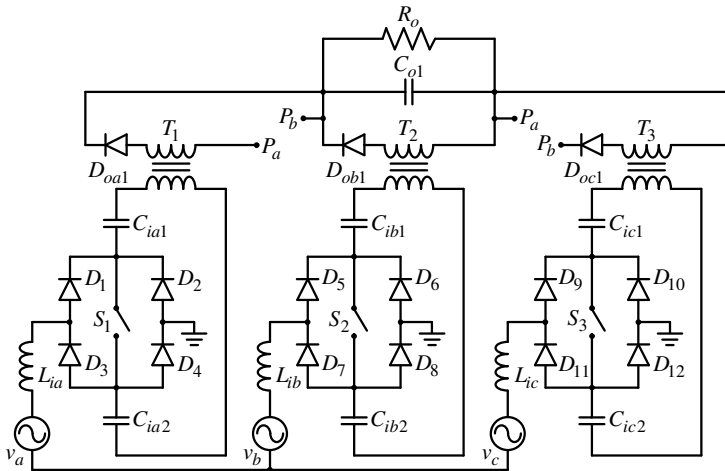


Fig. 2-15. Retificador trifásico SEPIC abordado em [4].

Fonte: Adaptado de [4].

Os retificadores trifásicos SEPIC ora apresentados operam a três fios e podem fornecer, com um sistema de controle apropriado, correntes de entrada com mesma fase e formato das suas respectivas fontes de alimentação. Em contrapartida, os referidos conversores, assim como os demais retificadores trifásicos do tipo SEPIC abordados na literatura técnica, não impõem reduzidos patamares de tensão aos seus semicondutores. Logo, estes podem não ser tão atrativos em aplicações que demandam maiores níveis de tensão de saída. Assim sendo, os retificadores trifásicos propostos nesta tese, os quais fornecem reduzidos esforços de tensão aos semicondutores de suas estruturas, apresentam

um sistema de controle mais simplificado e, são capazes de processar o dobro de potência em relação aos conversores tratados em [1], [4], [13] e [44]. Neste sentido podem ser uma opção para tais aplicações.

## 2.8 CAPACITOR CHAVEADO

A necessidade em reduzir peso e volume de filtros passivos, fomentou o surgimento dos primeiros estudos relativos a capacitor chaveado (do inglês *Switched Capacitor* (SC)). A partir destes estudos foram desenvolvidos os primeiros filtros ativos baseados em SC.

Os referidos estudos também deram origem aos conversores a capacitor chaveado CC-CC, CA-CC e CC-CA. O princípio de operação destes conversores pode ser compreendido a partir da estrutura apresentada por meio da Fig. 2-16 (a). Os interruptores  $S_1$  e  $S_2$  são acionados de forma complementar, de modo que na primeira etapa de operação  $S_1$  encontra-se ativo e  $S_2$  bloqueado. Durante este estágio há transferência de energia da fonte  $V_g$  para o capacitor  $C_S$  (Fig. 2-16 (b)). Na segunda etapa de operação  $S_1$  está em modo de bloqueio e  $S_2$  em condução, logo, a energia previamente armazenada em  $C_S$  flui para o capacitor  $C_o$  e para a carga  $R_o$  (Fig. 2-16 (c)). As resistências  $R_{DS,on}$  e  $R_{SE}$  representam, respectivamente, a resistência de condução dos interruptores (MOSFET) e a resistência série equivalente de  $C_S$ .

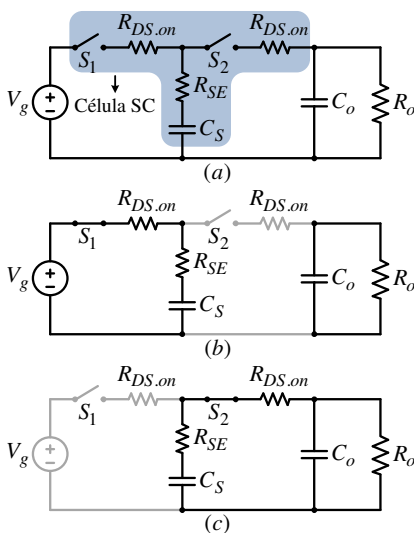


Fig. 2-16. (a) conversor a capacitor chaveado básico, (b) circuito equivalente referente à primeira etapa e (c) circuito equivalente a segunda etapa.

Fonte: Autoria própria.

A célula de capacitor chaveado destacada na Fig. 2-16 (a) pode ser modelada e representada por uma resistência equivalente ( $R_{eq}$ ) como demonstrado na Fig. 2-17 e na equação (2.59) [10]. Mediante esta expressão, verifica-se que a resistência em questão é uma função que depende da frequência de comutação ( $f_s$ ) do sistema, da razão cíclica ( $D$ ) e da constante de tempo  $\tau$ , a qual é definida por (2.60).

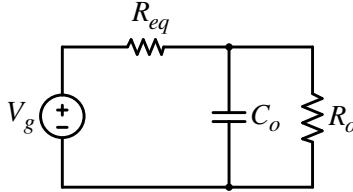


Fig. 2-17. Representação simplificada do conversor a capacitor chaveado básico.

Fonte: Autoria própria.

A partir de (2.59) é obtida a curva comportamental da resistência equivalente em função do produto ( $f_s\tau$ ) para uma razão cíclica fixa ( $D = 0,5$ ). Por meio da referida curva, que é apresentada na Fig. 2-18 (a), pode-se definir o modo de operação do capacitor chaveado de três maneiras distintas, sendo elas: Descarga Total (DT-SC), Descarga Parcial (DP-SC) e Sem Descarga (SD-SC) [11]. Para cada um destes modos há um comportamento diferente da corrente no capacitor  $C_S$  como é exposto na Fig. 2-18 (b), (c) e (d).

$$R_{eq} = \frac{1}{f_s C_S} \frac{1 - e^{\frac{-1}{f_s \tau}}}{1 - e^{\frac{-D}{f_s \tau}} - e^{\frac{-(1-D)}{f_s \tau}} + e^{\frac{-1}{f_s \tau}}} \quad (2.59)$$

$$\tau = C_S (R_{DS.on} + R_{SE}) \quad (2.60)$$

Pelo aspecto comportamental da curva de  $R_{eq}$  e da corrente em cada um dos modos de operação, pode-se afirmar que o modo DT-SC apresenta maiores perdas, isto ocorre, pois sua corrente e resistência equivalente possuem patamares mais elevados. Em contrapartida, demanda menor valor de capacitância, isto admitindo frequência constante. O modo SD-SC apresenta menores perdas, contudo, demanda maiores capacitâncias, consequentemente maior é o volume do capacitor  $C_S$ . O modo DP-SC representa a melhor faixa de operação no que se refere à escolha de um ponto ótimo entre perdas e volume do capacitor  $C_S$  [43].

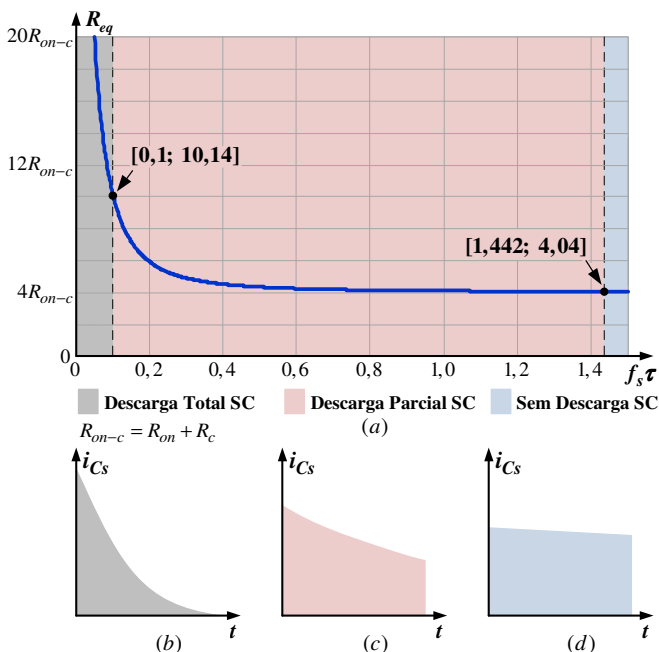


Fig. 2-18. Curva comportamental da resistência equivalente ( $R_{eq}$ ) em função de  $f_s\tau$ .

Fonte: Autoria própria.

### 2.8.1 Conversores a Capacitor Chaveado

Por meio da Fig. 2-19 é exposta a topologia de um conversor SC CC-CC abaixador de quatro estados baseado na célula de Valley-Fill. Esta estrutura possui tensão de saída equivalente a um quarto do valor da tensão de entrada e apresenta duas etapas de operação. Na primeira etapa, o interruptor  $S_1$  está em modo de condução e  $S_2$  bloqueado. Logo, a fonte  $V_g$  está conectada em série com os capacitores  $C_1$ ,  $C_2$ ,  $C_3$  e  $C_4$ , enquanto o capacitor  $C_o$  supre a carga  $R_o$ . Durante a segunda etapa, o interruptor  $S_1$  encontra-se bloqueado e  $S_2$  em condução. Desta maneira, os capacitores  $C_1$ ,  $C_2$ ,  $C_3$  e  $C_4$  estão conectados em paralelo com o capacitor  $C_o$  e com a carga  $R_o$ . Em suma, o referido conversor divide a tensão  $V_g$  entre os capacitores  $C_1$ ,  $C_2$ ,  $C_3$  e  $C_4$  e, posteriormente, os conecta em paralelo com  $C_o$  e com a carga  $R_o$ .

Por intermédio da Fig. 2-20 pode-se visualizar a estrutura de um conversor SC CC-CC elevador de dois níveis, o qual é baseado na célula *Ladder*. Este conversor possui duas etapas de operação e fornece uma tensão de saída duas vezes maior que o valor da tensão de entrada ( $V_g$ ).

Seus interruptores são acionados de forma complementar de modo que na primeira etapa  $S_2$  está ativo e  $S_1$  bloqueado. No decorrer deste estágio, a fonte  $V_g$  transfere energia para o capacitor  $C_1$ . No segundo estado topológico,  $S_1$  encontra-se em condução e  $S_2$  em modo de bloqueio. Logo, a fonte  $V_g$  transfere energia para o capacitor  $C_2$ .

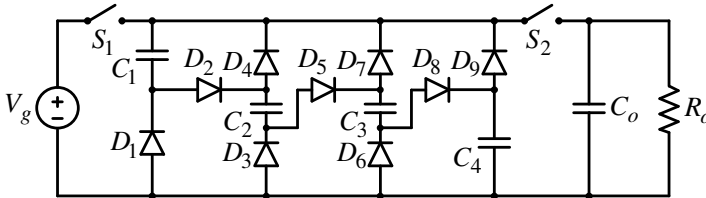


Fig. 2-19. Conversor CC-CC abaixador de quatro estados.  
Fonte: Adaptado de [20].

A partir da célula *Ladder*, outros conversores também foram concebidos como, por exemplo, os apresentados por meio da Fig. 2-21 e Fig. 2-22. Em ambos os conversores, o capacitor chaveado garante a equalização de tensão nos demais capacitores.

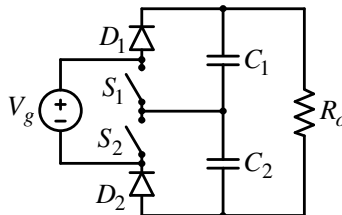


Fig. 2-20. Conversor CC-CC elevador de dois níveis baseado na célula *Ladder*.  
Fonte: Adaptado de [21].

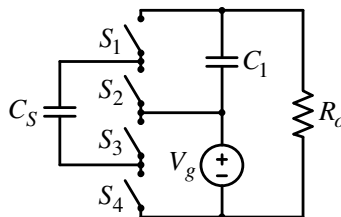


Fig. 2-21. Conversor CC-CC elevador de dois níveis baseado na célula *Ladder*.  
Fonte: Adaptado de [20].

A configuração SC *Ladder* possui a capacidade de multiplicar ou dividir tensões e pode ser bidirecional. Tais características facilitam o



seu emprego em estruturas híbridas.

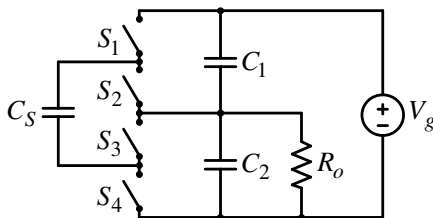


Fig. 2-22. Conversor CC-CC abaixador de dois níveis baseado na célula *Ladder*.  
Fonte: Adaptado de [20].

## 2.9 RETIFICADORES HÍBRIDOS

A inserção de componentes em uma determinada estrutura pode, como evidenciado nas seções 2.4, 2.5 e 2.6, conferir a topologia resultante características atrativas, como por exemplo: tensão de saída com valores mais elevados, redução de esforços de tensão em seus semicondutores, entre outros.

Além das modificações estruturais, o incremento do ganho estático e a redução de esforços de tensão sobre os semicondutores de um dado retificador podem ser obtidos mediante a integração deste à células de capacitor chaveado. Tais células permitem elevar o patamar da tensão de saída sem acarretar um aumento da tensão sobre os elementos que compõe a estrutura.

A integração entre retificador PWM e célula de capacitor chaveado resulta em uma estrutura que é designada como retificador híbrido. Por meio das figuras Fig. 2-23, Fig. 2-24 e Fig. 2-25 são apresentadas algumas topologias destes retificadores.

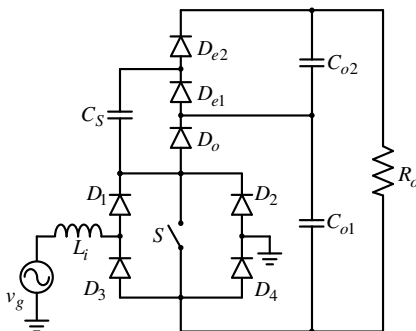


Fig. 2-23. Retificador monofásico Boost híbrido.  
Fonte: Adaptado de [16].

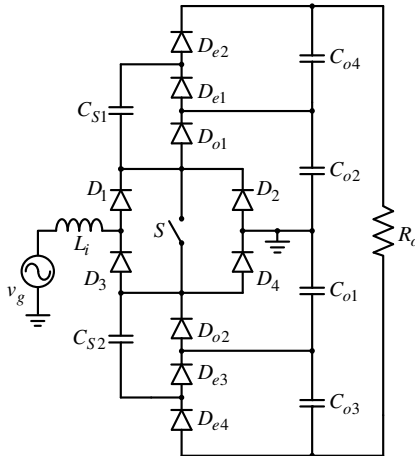


Fig. 2-24. Retificador monofásico Boost DT híbrido.

Fonte: Adaptado de [17 e 18].

Os conversores híbridos, que nas figuras Fig. 2-23, Fig. 2-24 e Fig. 2-25 são expostos, foram elaborados a partir do retificador *Boost*. Estes conversores apresentam, devido à presença da (as) célula (as) de capacitor chaveado, tensão de saída com valor mais elevado ou reduzidos esforços de tensão sobre seus semicondutores, isto quando comparado ao retificador *Boost* convencional.

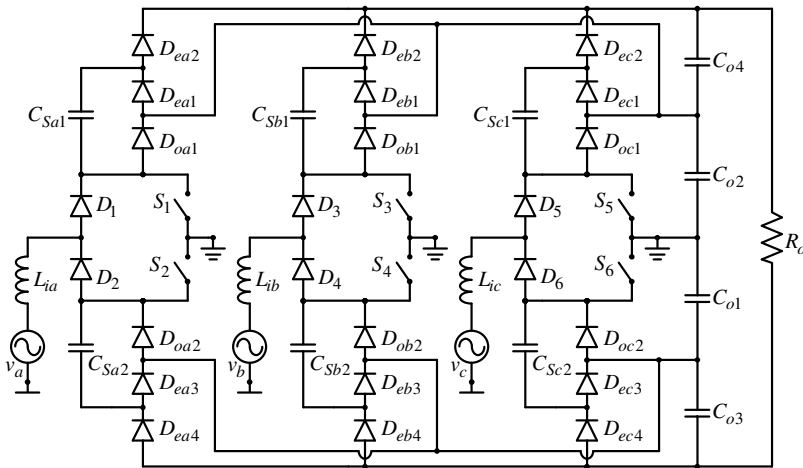


Fig. 2-25. Retificador trifásico Boost DT híbrido.

Fonte: Adaptado de [17 e 19].

A partir da Tabela 2-7 é exposto um comparativo referente aos

esforços de tensão dos semicondutores dos conversores apresentados por intermédio das figuras Fig. 2-23, Fig. 2-24 e Fig. 2-25 e do retificador *Boost* clássico.

Tabela 2-7. Esforços de tensão sobre os semicondutores de alguns retificadores do tipo *Boost*.

Grandezas	Ret. <i>Boost</i> clássico	Ret. Fig. 2-23 [16]	Ret. Fig. 2-24 [17-19]	Ret. Fig. 2-25 [17-19]
Máxima tensão sobre os diodos de saída	$V_o$	$\frac{V_o}{2}$	$\frac{V_o}{4}$	$\frac{V_o}{4}$
Máxima tensão sobre os interruptores controlados	$V_o$	$\frac{V_o}{2}$	$\frac{V_o}{4}$	$\frac{V_o}{4}$

Fonte: Autoria própria.

2.10 CONCLUSÃO DO CAPÍTULO

O presente capítulo apresentou a revisão bibliográfica alusiva ao tema da tese. Por intermédio deste foram abordados o conversor SEPIC CC-CC, o retificador SEPIC clássico e alguns retificadores do tipo SEPIC modificados. O referido capítulo também expôs conceitos, estruturas, principais características e princípios de operação de alguns conversores básicos que empregam célula de capacitor chaveado e algumas estruturas de retificadores híbridos.



## **RETIFICADOR MONOFÁSICO SEPIC DOBRADOR DCM**

### **3.1 INTRODUÇÃO**

**P**or meio deste capítulo são apresentados os conceitos, etapas de operação, formas de onda teóricas, equacionamento, modelo dinâmico, resultados de simulação numérica e resultados experimentais referentes aos retificadores monofásicos SEPIC dobrador de tensão DCM com um (1S) e dois (2S) interruptores controlados.

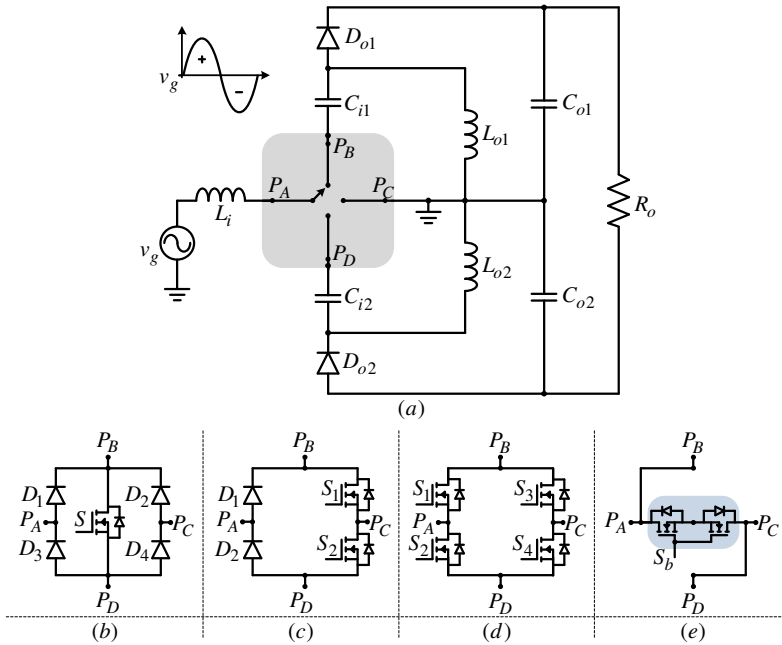
### **3.2 RETIFICADOR MONOFÁSICO SEPIC DOBRADOR DCM**

Por intermédio da Fig. 3-1 (a) é apresentada a topologia do conversor monofásico SEPIC dobrador de tensão (DT), a qual é concebida a partir da integração de dois retificadores SEPIC clássico, onde cada um opera em um semiciclo da rede elétrica.

A estrutura do referido conversor é constituída pelos indutores  $L_i$ ,  $L_{o1}$ ,  $L_{o2}$ , pelos capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$ ,  $C_{o2}$ , pelos diodos  $D_{o1}$  e  $D_{o2}$  e pela célula de comutação genérica de três estados. Tal célula pode ser implementada de quatro modos distintos conforme apresentado na Fig. 3-1 (b), (c), (d) e (e). A primeira implementação (Fig. 3-1 (b)) utiliza quatro diodos e um interruptor e é denominada como 1S. A segunda (Fig. 3-1 (c)) emprega dois diodos e dois interruptores e é designada como 2S. A terceira ((Fig. 3-1 (d))) é composta por quatro interruptores e recebe o nome de 4S. A quarta implementação (Fig. 3-1 (e)) é constituída por um interruptor bidirecional e é denominada como 1B.

Embora possua quatro modos distintos de implementação da célula de comutação, esta tese somente apresentará os estudos analíticos e verificação experimental das versões 1S e 2S do retificador SEPIC DT, as quais são expostas por meio da Fig. 3-2 e Fig. 3-3.

Conforme exposto por meio da Fig. 3-2 e Fig. 3-3 nas versões 1S e 2S os elementos  $D_1$ ,  $D_4$ ,  $C_{i1}$ ,  $D_{o1}$ ,  $L_{o1}$ , e  $S_1$  estão ativos durante o semiciclo positivo da rede elétrica, enquanto os componentes  $D_2$ ,  $D_3$ ,  $C_{i2}$ ,  $D_{o2}$ ,  $L_{o2}$  e  $S_2$  estão operantes no decorrer do semiciclo negativo. Os demais elementos ( $L_i$ ,  $S$ ,  $C_{o1}$ ,  $C_{o2}$  e  $R_o$ ) estão ativos em ambos os semiciclos.



Fonte: Autoria própria.

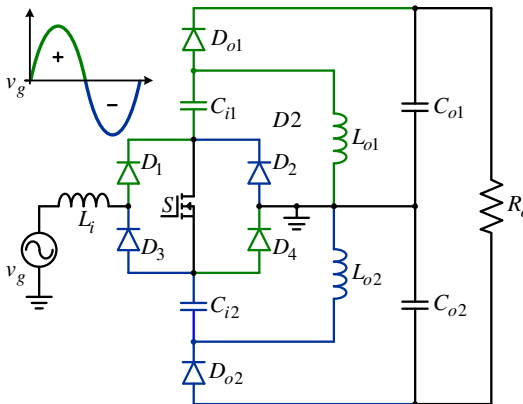


Fig. 3-2. Topologia do retificador monofásico SEPIC DT 1S.

Fonte: Autoria própria.

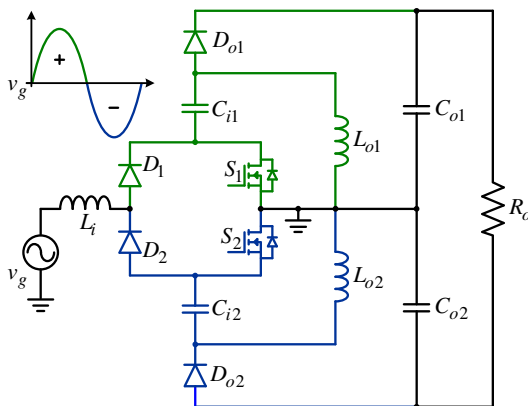


Fig. 3-3. Topologia do retificador monofásico SEPIC DT 2S.

Fonte: Autoria própria.

### 3.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC DT 1S

Quando comparado ao conversor CC-CC SEPIC convencional, os retificadores DT 1S e 2S apresentam, como principais mudanças estruturais, a fonte de alimentação senoidal e a ponte retificadora.

Devido a tais mudanças na estrutura, a tensão de entrada é agora uma tensão senoidal retificada. Deste modo, para que as topologias propostas operem de maneira adequada a tensão nos capacitores  $C_{i1}$  e  $C_{i2}$  deve seguir esta tensão. Logo, quanto maior for a similaridade entre a tensão retificada e a tensão dos capacitores  $C_{i1}$  e  $C_{i2}$ , maior será a qualidade da corrente de entrada [4].

Assim, ao se admitir que a tensão sobre estes capacitores é igual a tensão retificada, o restante da estrutura opera de modo análogo ao conversor CC-CC SEPIC. Desta forma, o estudo referente aos retificadores SEPIC DT 1S e 2S podem ser desenvolvidos a partir dos conceitos e das considerações adotadas na seção 2.1.

#### 3.3.1 Etapas de Operação

No modo de operação descontínua o retificador SEPIC DT 1S apresenta três etapas de operação, as quais são tratadas nas seções 3.3.1.1, 3.3.1.2 e 3.3.1.3. As referidas etapas são relativas ao semiciclo positivo da rede.

Ao se considerar que em regime permanente o valor médio das tensões nos indutores e as ondulações de tensão nos capacitores são nulos, tem-se que as tensões sobre os capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$  são,

respectivamente,  $v_g$ ,  $v_g$ ,  $V_o/2$  e  $V_o/2$ .

Onde:  $v_g$  – tensão de entrada;  $V_o$  – valor médio da tensão de saída.

### 3.3.1.1 Primeira Etapa de Operação

A primeira etapa de operação é iniciada no instante que o interruptor  $S$  é comandado a conduzir. O diodo  $D_{o1}$  encontra-se polarizado reversamente e, conseqüentemente, bloqueado. As correntes nos indutores  $L_i$  e  $L_{o1}$  crescem linearmente conforme as relações (3.1) e (3.2), respectivamente. Os capacitores  $C_{o1}$  e  $C_{o2}$  mantêm a carga  $R_o$  alimentada. O circuito equivalente referente a esta etapa é apresentado por meio da Fig. 3-4.

$$i_{Li}(t) = \frac{v_g}{L_i}t + i_{Limin}(t) \quad (3.1)$$

$$i_{Lo1}(t) = \frac{v_g}{L_{o1}}t + i_{Lo1min}(t) \quad (3.2)$$

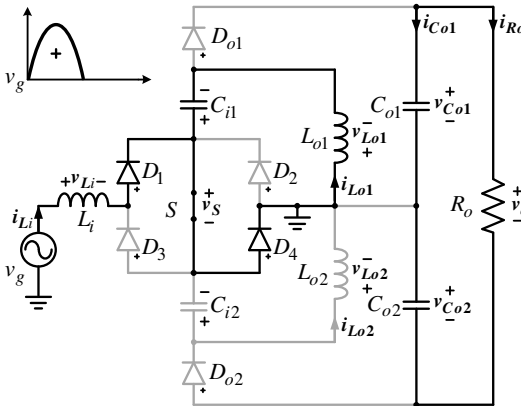


Fig. 3-4. Circuito equivalente referente à primeira etapa de operação.

Fonte: Autoria própria.

### 3.3.1.2 Segunda Etapa de Operação

No momento em que o interruptor  $S$  é comandado a bloquear é iniciada a segunda etapa de operação. Neste instante, o diodo  $D_{o1}$  entra em condução, com isto, a energia previamente armazenada nos indutores  $L_i$  e  $L_{o1}$  é transferida para o capacitor  $C_{o1}$  e para carga  $R_o$ . As correntes em  $L_i$  e  $L_{o1}$  decrescem linearmente de acordo com as relações



(3.3) e (3.4), respectivamente. Por meio da Fig. 3-5 é apresentado o circuito equivalente referente à etapa em questão.

$$i_{Li}(t) = -\frac{v_o}{2L_i}t + i_{Limax}(t) \quad (3.3)$$

$$i_{Lo1}(t) = -\frac{v_o}{2L_{o1}}t + i_{Lo1max}(t) \quad (3.4)$$

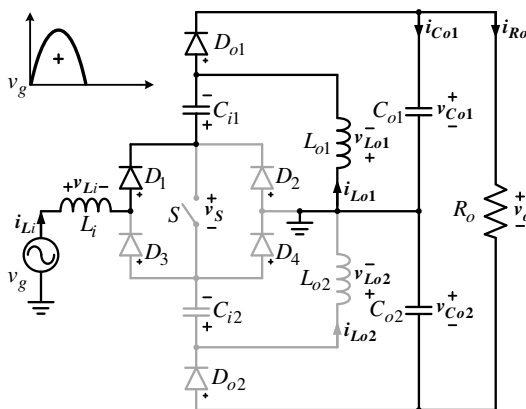


Fig. 3-5. Circuito equivalente referente à segunda etapa de operação.

Fonte: Autoria própria.

### 3.3.1.3 Terceira Etapa de Operação

A terceira etapa de operação é inicializada no momento em que as correntes dos indutores  $L_i$  e  $L_{o1}$  igualam-se a um mesmo patamar, porém, com sinais opostos. Desta maneira, o diodo  $D_{o1}$  entra em modo de bloqueio antes do interruptor  $S$  ser novamente comandado a conduzir, caracterizando, deste modo, a descontinuidade de operação do conversor. A descontinuidade de operação do retificador também pode ser constatada ao se observar que as correntes nos indutores  $L_i$  e  $L_{o1}$  permanecem constantes durante esta etapa. O circuito equivalente que representa a referida etapa de operação é apresentado na Fig. 3-6.

### 3.3.2 Formas de Onda

As principais formas de onda ideais do retificador DT 1S para um período da rede elétrica podem ser visualizadas por intermédio da Fig. 3-7. Por meio desta são apresentadas: a tensão ( $v_g$ ) e corrente ( $i_{Li}$ ) de

entrada; as correntes nos indutores  $L_{o1}$  e  $L_{o2}$ ; a tensão de saída ( $v_o$ ) e a tensão nos capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$  ( $v_{Ci1}$ ,  $v_{Ci2}$ ,  $v_{Co1}$  e  $v_{Co2}$ ). Verifica-se que o retificador proposto apresenta corrente e tensão de entrada em fase e garante a multiplicação da tensão de saída por um fator dois ( $v_{Co1} = v_{Co2}$  e  $v_o = 2v_{Co1}$ ).

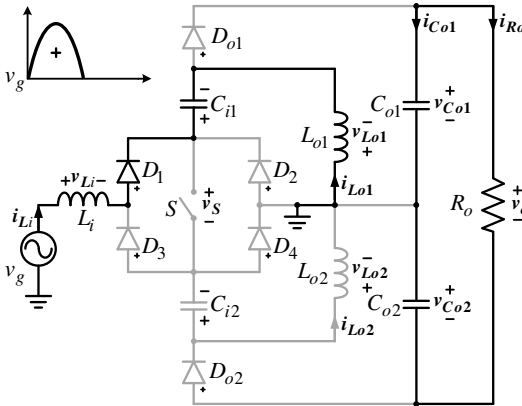


Fig. 3-6. Circuito equivalente referente à terceira etapa de operação.

Fonte: Autoria própria.

Por meio das Fig. 3-8 e Fig. 3-9 são apresentadas, respectivamente, as principais formas de onda de tensão e de corrente do retificador DT 1S para um período de comutação. Por intermédio da Fig. 3-8 são apresentadas as tensões sobre os indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$  e sobre os semicondutores  $S$ ,  $D_{o1}$  e  $D_{o2}$ . Mediante a Fig. 3-9, pode-se observar as formas de onda de corrente nos indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ , nos capacitores  $C_{i1}$  e  $C_{i2}$  e nos semicondutores  $S$ ,  $D_{o1}$  e  $D_{o2}$ .

### 3.3.3 Equacionamento do Retificador DT 1S

O equacionamento do retificador DT 1S é basicamente desenvolvido a partir das equações do conversor CC-CC SEPIC apresentadas na seção 2.2.3, como poderá ser constatado a seguir.

- Tensão de Alimentação:

A tensão de alimentação da topologia (tensão de entrada  $v_g$ ) é descrita por meio da expressão (3.5).

$$v_g(\theta) = V_{psen}(\theta) \quad (3.5)$$

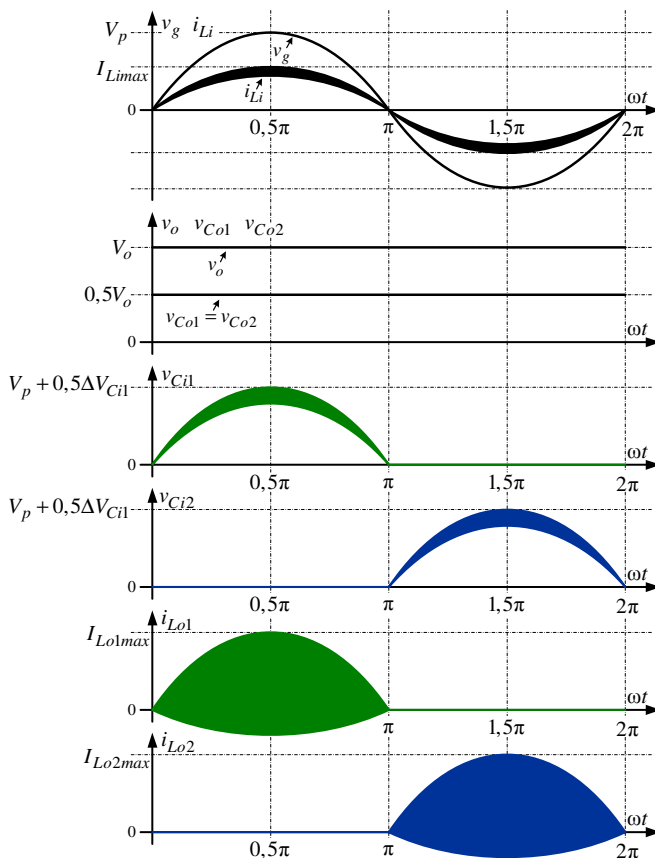


Fig. 3-7. Formas de onda ideais para um período da rede.

Fonte: Autoria própria.

- Intervalos  $\Delta t_1$ ,  $\Delta t_2$  e  $\Delta t_3$ :

Assim como no conversor CC-CC SEPIC, o intervalo de tempo  $\Delta t_1$  é determinado pela própria definição de razão cíclica  $D$ , a qual pode ser visualizada na expressão (3.6).  $T_s$  (3.7) representa o período de comutação e  $f_s$  a frequência de comutação.

$$\Delta t_1 = DT_s \quad (3.6)$$

$$T_s = \frac{1}{f_s} \quad (3.7)$$

Os intervalos  $\Delta t_2$  e  $\Delta t_3$  são definidos por (3.8) e (3.9),

respectivamente. Para tanto é considerado o caso em que  $\theta$  é igual a  $90^\circ$ .

$$\Delta t_2 = X_2 T_S \quad (3.8)$$

$$\Delta t_3 = X_3 T_S \quad (3.9)$$

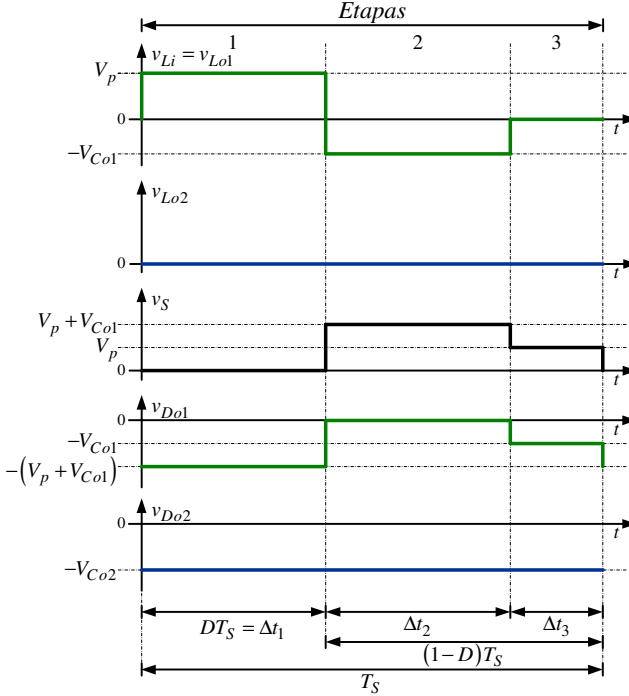


Fig. 3-8. Formas de onda ideais de tensão para um período de chaveamento.

Fonte: Autoria própria.

Por meio da expressão (3.10), que define matematicamente o valor médio da tensão do indutor  $L_i$ , é possível determinar  $X_2$ . Deste modo, aplicando (3.6), (3.8) e (3.9) em (3.10), e efetuando as operações matemáticas necessárias, chega-se a equação (3.11).

$$\langle V_{Li} \rangle = \frac{1}{T_S} \left( V_p \Delta t_1 + \frac{(-V_o \Delta t_2)}{2} + 0 \cdot \Delta t_3 \right) = 0 \quad (3.10)$$

$$X_2 = \frac{2V_p D}{V_o} \quad (3.11)$$

Substituindo (3.11) em (3.8), obtém-se (3.12), que define  $\Delta t_2$ .

$$\Delta t_2 = \frac{2V_p D}{V_o} T_S \quad (3.12)$$

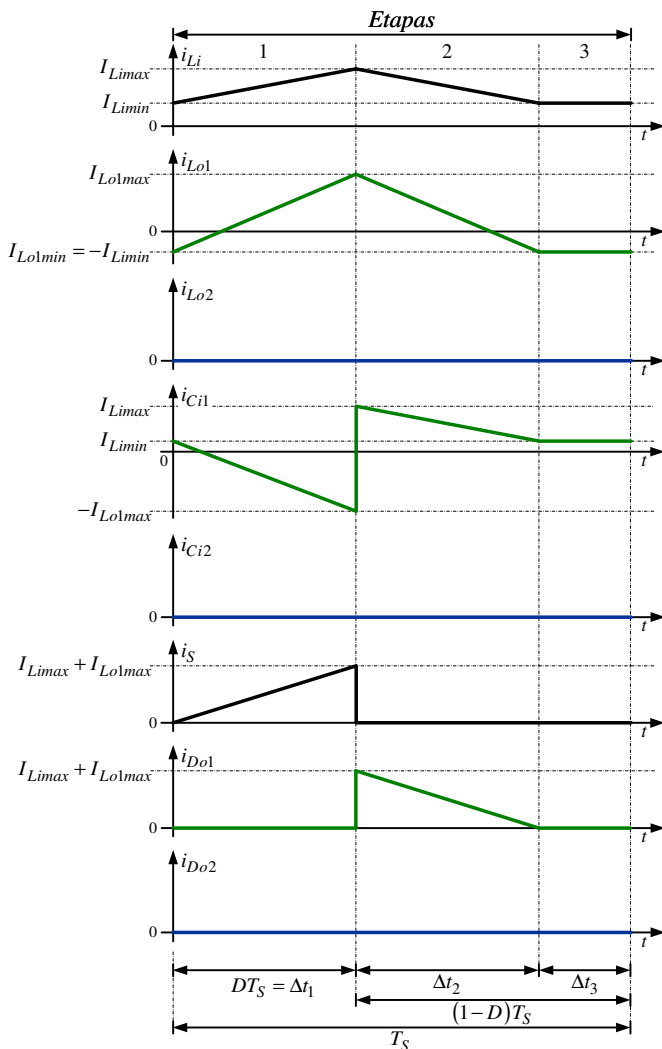


Fig. 3-9. Formas de onda ideais de corrente para um período de chaveamento.  
Fonte: Autoria própria.

A variável  $X_3$  definida em (3.13) é determinada a partir da substituição de (3.6), (3.9) e (3.12) em (2.12). Substituindo (3.13) em (3.9) determina-se  $\Delta t_3$ , o qual é definido em (3.14).

$$X_3 = \frac{V_o(1-D) - 2V_p D}{V_o} \quad (3.13)$$

$$\Delta t_3 = \frac{V_o(1-D) - 2V_p D}{V_o} T_s \quad (3.14)$$

- Correntes mínimas e máximas dos indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ :

Assim como no conversor CC-CC SEPIC DCM, os valores máximos das correntes dos indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$  são representados por  $I_{Limax}$  e  $I_{Lo1max}$  ( $I_{Lo1max} = I_{Lo2max}$ ), respectivamente. Ao final da segunda etapa, as correntes nos indutores atingem o mesmo valor ( $I_{Lio1min}$ ), mas com sentidos opostos. Desta maneira, há três incógnitas a serem determinadas, as quais são obtidas por meio da solução do sistema de equações constituído por (3.15), (3.16) e (3.17). Solucionando-se o sistema obtêm-se as expressões (3.18), (3.19) e (3.20) que representam sequencialmente  $I_{Lio1min}$ ,  $I_{Limax}$  e  $I_{Lo1max}$ .

$$-I_{Lio1min} - \frac{V_p D}{L_i f_s} + I_{Limax} = 0 \quad (3.15)$$

$$I_{Lio1min} - \frac{V_p D}{L_{o1} f_s} + I_{Lo1max} = 0 \quad (3.16)$$

$$\left[ \begin{aligned} &I_{Limin} \left( D + \frac{2V_g D}{V_o} + \frac{2V_o(1-D) - 4V_g D}{V_o} \right) \\ &+ \left( I_{Limax} \frac{2V_g D}{V_o} - I_{Lomax} D + \right) \end{aligned} \right] = 0 \quad (3.17)$$

$$I_{Lio1min} = \frac{D^2 V_p (V_o L_i - 2V_p L_{o1})}{2V_o L_i L_{o1} f_s} \quad (3.18)$$

$$I_{Limax} = \frac{DV_p [D(V_o L_i - 2V_p L_{o1}) + 2V_o L_{o1}]}{2V_o L_i L_{o1} f_s} \quad (3.19)$$

$$I_{Lo1max} = \frac{DV_p [2V_o L_i - D(V_o L_i - 2V_p L_{o1})]}{2V_o L_i L_{o1} f_s} \quad (3.20)$$

- Ondulação de correntes dos indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ :

A ondulação de corrente dos indutores é uma função que depende da amplitude da tensão de entrada. Logo, tal ondulação apresenta maior

amplitude quando  $\theta$  é igual a  $90^\circ$ . Assim, aplicando (3.18) e (3.19) em (2.21) chega-se (3.21), que representa a ondulação de corrente em  $L_i$ . Substituindo (3.18) e (3.20) em (2.23) obtém-se a expressão (3.22), a qual define o valor da ondulação de corrente dos indutores  $L_{o1}$  e  $L_{o2}$ .

$$\Delta i_{L_i} = \frac{V_p D}{L_i f_s} \quad (3.21)$$

$$\Delta i_{L_{o1}} = \Delta i_{L_{o2}} = \frac{V_p D}{L_{o1} f_s} \quad (3.22)$$

- Valor eficaz da corrente em  $L_i$ :

Aplicando (3.6), (3.12), (3.14), (3.18), (3.19) em (2.27) chega-se a (3.23), que representa o valor eficaz da corrente do indutor  $L_i$  em um período de chaveamento para o caso específico em que  $\theta$  é igual a  $90^\circ$ , ou seja,  $v_g = V_p$ . Integrando (3.23) em um período da tensão senoidal de alimentação, como pode ser visualizado na equação (3.24), obtém-se (3.25), a qual define o valor eficaz da corrente do indutor  $L_i$ .

$$I_{Lief\_fs} = \sqrt{\frac{D^3 V_p^2 \left[ 4V_o L_{o1}^2 (V_o + 2V_p - 3DV_p) + 3DV_o^2 L_i (2L_{o1} + L_i) - 12DV_p^2 L_{o1}^2 \right]}{12V_o^2 L_i^2 L_{o1}^2 f_s^2}} \quad (3.23)$$

$$I_{Lief\_fr}(\theta) = \sqrt{\frac{1}{\pi} \int_0^\pi \left[ \sqrt{\frac{D^3 (V_p \sin(\theta))^2}{12V_o^2 L_i^2 L_{o1}^2 f_s^2} \left[ 4V_o L_{o1}^2 \begin{pmatrix} V_o + 2V_p \sin(\theta) \\ -3DV_p \sin(\theta) \end{pmatrix} + \begin{pmatrix} 3DV_o^2 L_i (2L_{o1} + L_i) \\ -12D(V_p \sin(\theta))^2 L_{o1}^2 \end{pmatrix} \right]} \right]^2} d\theta \quad (3.24)$$

$$I_{Lief\_fr} = \sqrt{\frac{D^3 V_p^2}{24V_o^2 L_i^2 L_{o1}^2 f_s^2} \left[ V_o^2 \begin{pmatrix} 4L_{o1}^2 + 3DL_i^2 \\ +6DL_i L_{o1} \end{pmatrix} - 9DV_p^2 L_{o1}^2 \right]} \quad (3.25)$$

- Valor médio e valor eficaz da corrente em  $L_{o1}$  e  $L_{o2}$ :

Substituindo (3.6), (3.12), (3.14), (3.18), (3.20) em (2.29) e (2.31)

chega-se a (3.26) e (3.27) (para o caso em que  $\theta$  é igual a  $90^\circ$ ), respectivamente. Integrando (3.26) e (3.27) em um período da tensão da rede elétrica, obtêm-se, sequencialmente, (3.28) e (3.29), as quais definem os valores médio e eficaz da corrente dos indutores  $L_{o1}$  e  $L_{o2}$ .

$$I_{Lo1med\_fs} = I_{Lo2med\_fs} = \frac{D^2 V_p^2 (L_i + L_{o1})}{2V_o L_i L_{o1} f_s} \quad (3.26)$$

$$I_{Lo1ef\_fs} = I_{Lo2ef\_fs} = \sqrt{\frac{D^3 V_p^2 \left[ V_o L_i^2 (4V_o + 8V_p - 3DV_o - 12DV_p) + 12DV_p^2 L_{o1} (2L_i + L_{o1}) \right]}{12V_o^2 L_i^2 L_{o1}^2 f_s^2}} \quad (3.27)$$

$$I_{Lo1med\_fr} = I_{Lo2med\_fr} = \frac{D^2 V_p^2 (L_i + L_{o1})}{4V_o L_i L_{o1} f_s} \quad (3.28)$$

$$I_{Lo1ef\_fr} = I_{Lo2ef\_fr} = \sqrt{\frac{D^3 V_p^2 \left\{ V_o L_i^2 [32V_p (2 - 3D) + 3V_o \pi (4 - 3D)] + 27DV_p^2 L_{o1} \pi (2L_i + L_{o1}) \right\}}{144V_o^2 L_i^2 L_{o1}^2 f_s^2}} \quad (3.29)$$

- Valores das correntes e tensões do interruptor  $S$ :

O valor máximo da tensão sobre o interruptor  $S$  é definido por meio da expressão (3.30).

$$V_{Smax} = V_p + 0,5V_o \quad (3.30)$$

Por meio da equação (3.32) é definido o valor máximo da corrente do interruptor  $S$ . Esta expressão é obtida a partir da aplicação de (3.19) e (3.20) em (3.31).

$$I_{Smax} = I_{Limax} + I_{Lo1max} \quad (3.31)$$

$$I_{Smax} = \frac{DV_p (L_i + L_{o1})}{L_i L_{o1} f_s} \quad (3.32)$$

Substituindo (3.6) em (2.34) e (2.36) são obtidas, sequencialmente, (3.33) e (3.34) (para  $\theta = 90^\circ$ ). Integrando (3.33) e



(3.34) em período da rede elétrica, chega-se as expressões (3.35) e (3.36), as quais definem, respectivamente, os valores médio e eficaz da corrente do interruptor  $S$ .

$$I_{Smed\_fs} = \frac{D^2 V_p (L_i + L_{o1})}{2L_i L_{o1} f_s} \quad (3.33)$$

$$I_{Sef\_fs} = \frac{DV_p (L_i + L_{o1})}{L_i L_{o1} f_s} \sqrt{\frac{D}{3}} \quad (3.34)$$

$$I_{Smed\_fr} = \frac{D^2 V_p (L_i + L_{o1})}{L_i L_{o1} f_s \pi} \quad (3.35)$$

$$I_{Sef\_fr} = \frac{DV_p (L_i + L_{o1})}{L_i L_{o1} f_s} \sqrt{\frac{D}{6}} \quad (3.36)$$

- Valores das tensões e correntes em  $D_{o1}$  e  $D_{o2}$ :

Por meio das expressões (3.37) e (3.38), são definidos, respectivamente, o valor máximo da tensão e corrente dos diodos  $D_{o1}$  e  $D_{o2}$  (para  $\theta = 90^\circ$ ).

$$V_{Do1max} = V_{Do2max} = V_{Smax} = V_p + 0,5V_o \quad (3.37)$$

$$I_{Do1max} = I_{Do2max} = I_{Smax} = \frac{DV_p (L_i + L_{o1})}{L_i L_{o1} f_s} \quad (3.38)$$

Para determinar os valores médio (3.41) e eficaz (3.42) da corrente dos diodos  $D_{o1}$  e  $D_{o2}$ , torna-se necessário, como primeiro passo, substituir (3.6), (3.12) e (3.38) em (2.37) e (2.39). Tal substituição resulta, sequencialmente, nas expressões (3.39) e (3.40) (para  $\theta = 90^\circ$ ), as quais integradas em um período da tensão da rede elétrica resultam em (3.41) e (3.42), respectivamente.

- Valores das correntes em  $D_1$ ,  $D_2$ ,  $D_3$  e  $D_4$ :

As expressões que definem os valores médio e eficaz da corrente dos diodos  $D_1$  e  $D_3$  podem ser obtidas a partir das equações (3.43) e (3.23). Integrando (3.43) e (3.23) em um período da tensão da rede elétrica, chega-se as expressões (3.44) e (3.45) que definem, respectivamente, o valor médio e eficaz da corrente destes diodos.

Os valores médio e eficaz da corrente dos diodos  $D_2$  e  $D_4$  são determinados pelas expressões (3.44) e (3.36), respectivamente.

$$I_{Do1med\_fs} = I_{Do2med\_fs} = \frac{D^2 V_p^2 (L_i + L_{o1})}{V_o L_i L_{o1} f_s} \quad (3.39)$$

$$I_{Do1ef\_fs} = I_{Do2ef\_fs} = \frac{DV_p (L_i + L_{o1})}{L_i L_{o1} f_s} \sqrt{\frac{2DV_p}{3V_o}} \quad (3.40)$$

$$I_{Do1med\_fr} = I_{Do2med\_fr} = \frac{D^2 V_p^2 (L_i + L_{o1})}{4V_o L_i L_{o1} f_s} \quad (3.41)$$

$$I_{Do1ef\_fr} = I_{Do2ef\_fr} = \frac{2DV_p (L_i + L_{o1})}{3L_i L_{o1} f_s} \sqrt{\frac{DV_p}{V_o \pi}} \quad (3.42)$$

$$I_{D1.3med\_ret\_fs} = \frac{D^2 V_p (L_i + L_{o1})}{2L_i L_{o1} f_s} \quad (3.43)$$

$$I_{D1.3med\_ret\_fr} = \frac{D^2 V_p (L_i + L_{o1})}{2\pi L_i L_{o1} f_s} \quad (3.44)$$

$$I_{D1.3ef\_ret\_fr} = \sqrt{\frac{D^3 V_p^2 \left\{ V_o L_{o1} \left[ 32V_p L_{o1} (2 - 3D) + 6V_o \pi (2L_{o1} - 3DL_i) \right] + 9D\pi (V_o^2 L_i^2 - 3V_p^2 L_{o1}^2) \right\}}{144V_o^2 L_i^2 L_{o1}^2 f_s^2}} \quad (3.45)$$

- Valor da corrente eficaz em  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$ :

O valor eficaz da corrente dos capacitores  $C_{i1}$  e  $C_{i2}$ , dado pela equação (3.47), é obtido a partir da aplicação de (3.6), (3.12), (3.14), (3.18), (3.19) e (3.20) em (2.41). Tal aplicação apresenta como resultado a expressão (3.46), que integrada em um período da tensão da rede elétrica leva a (3.47).

A equação (3.49) define o valor eficaz da corrente dos capacitores  $C_{o1}$  e  $C_{o2}$ . Tal expressão é obtida a partir da solução de (3.48).

- Indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ :

A expressão (3.51), obtida a partir da equação (3.21), define o valor da indutância de  $L_i$ .

Assim como no conversor SEPIC CC-CC, o valor médio da corrente de saída é equivalente ao valor médio da corrente dos diodos  $D_{o1}$  e  $D_{o2}$ . Desta forma, pode-se representá-la por (3.52).

$$I_{Ci1ef\_fs} = I_{Ci2ef\_fs} = \sqrt{\frac{D^3 V_p^2 \left[ V_o^2 L_i^2 (4-3D) + 4V_p L_{o1}^2 (2V_o - 3DV_p) + 12DV_p V_o L_i L_{o1} \right]}{12V_o^2 L_i^2 L_{o1}^2 f_s^2 \pi}} \quad (3.46)$$

$$I_{Ci1ef\_fr} = I_{Ci2ef\_fr} = \sqrt{\frac{D^3 V_p^2 \left( 3L_i^2 V_o^2 \pi (4-3D) + V_p L_{o1}^2 (-27DV_p \pi + 64V_o) + 96DL_i L_{o1} V_p V_o \right)}{144V_o^2 L_i^2 L_{o1}^2 f_s^2 \pi}} \quad (3.47)$$

$$I_{Co1ef\_fr}(\theta) = I_{Co2ief\_fr}(\theta) = \sqrt{\frac{\frac{1}{2\pi} \int_0^\pi \left[ \frac{2DV_p \sin(\theta)}{3V_o} \left( \frac{DV_p \sin(\theta)}{L_{eq} f_s} - \frac{V_o}{R_o} \right)^2 + \left( 1 - \frac{2DV_p \sin(\theta)}{V_o} \right) \left( -\frac{V_o}{R_o} \right)^2 \right] d\theta}{+ \frac{1}{2\pi} \int_\pi^{2\pi} \left[ \left( -\frac{V_o}{R_o} \right)^2 \right] d\theta}} \quad (3.48)$$

$$I_{Co1ef\_fr} = I_{Co2ef\_fr} = \sqrt{\frac{2V_p^2 D^2 R_o (-3V_o L_{eq} f_s \pi + 4DV_p R_o) + 3V_o^2 L_{eq}^2 f_s^2 (3\pi V_o - 8DV_p)}{18L_{eq}^2 f_s^2 R_o^2 V_o \pi}} + \frac{V_o^2}{2R_o^2} \quad (3.49)$$

Onde:  $L_{eq}$  – indutância equivalente, a qual é definida por (3.50).

$$L_{eq} = \frac{L_i L_{o1}}{L_i + L_{o1}} \quad (3.50)$$

Aplicando (2.47) em (3.52), e sequencialmente efetuando as operações matemáticas necessárias, chega-se à expressão (3.53), a qual define o valor da indutância de  $L_{o1}$  e  $L_{o2}$ .

$$L_i = \frac{V_p D}{\Delta i_{Li} f_s} \quad (3.51)$$

$$I_{Ro} = \frac{D^2 V_p^2 (L_i + L_{o1})}{4 V_o L_i L_{o1} f_s} \quad (3.52)$$

$$L_{o1} = L_{o2} = \frac{D^2 V_p^2 R_o L_i}{4 L_i V_o^2 f_s - R_o V_p^2 D^2} \quad (3.53)$$

- Capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$ :

As equações (3.54) [4] e (3.55) representam respectivamente os valores das capacitâncias de  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$ .

$$C_{i1} = C_{i2} = \frac{D^2 V_p \left[ D(2V_p L_{o1} - V_o L_i) + 2V_o L_i \right]^2}{8 V_o^2 L_i^2 L_{o1} \Delta V_{Ci1} f_s^2} \quad (3.54)$$

$$C_{o1} = C_{o2} = \frac{4 P_o T_{hut}}{V_o^2 - (0,9 V_o)^2} \quad (3.55)$$

Onde:  $\Delta V_{Ci1}$  - Ondulação de tensão do capacitor  $C_{i1}$ ;  $T_{hut}$  - *Hold-up-time*, o qual define que um dado capacitor ou arranjo de capacitores, seja capaz de sustentar uma determinada carga com um valor mínimo de tensão (90%) mesmo que a fonte de alimentação venha a faltar por um determinado período.

- Característica estática:

O ganho estático para o retificador SEPIC DT 1S é definido pela relação entre a tensão de saída e a tensão de pico de entrada. Logo, manipulando-se algebricamente a expressão (3.53), chega-se a equação (3.56), a qual representa o ganho estático do retificador.

$$G = \frac{V_o}{V_p} = \frac{D}{2} \sqrt{\frac{R_o (L_i + L_{o1})}{L_i L_{o1} f_s}} \quad (3.56)$$

De modo análogo ao conversor CC-CC SEPIC, o retificador DT 1S apresenta uma resistência mínima (3.57) e uma razão cíclica máxima (3.58), que respeitadas, mantêm o retificador operando em DCM.

$$R_{omin} = \frac{4L_i L_{o1} f_s}{(1-D)^2 (L_i + L_{o1})} \quad (3.57)$$

$$D_{max} = 1 - 2 \sqrt{\frac{L_i L_{o1} f_s}{R_o (L_i + L_{o1})}} \quad (3.58)$$

As curvas de característica estática do referido retificador são equivalentes às apresentadas na Fig. 2-8. Contudo, agora com o fator  $k_x$  definido por (3.59).

$$k_x = \sqrt{\frac{R_o (L_i + L_{o1})}{4L_i L_{o1} f_s}} \quad (3.59)$$

### 3.4 ANÁLISE TEÓRICA DO RETIFICADOR DT 2S

O retificador SEPIC DT 2S, assim como o retificador SEPIC DT 1S, apresenta três etapas distintas de operação, as quais são análogas às apresentadas em 3.3.1.1, 3.3.1.2 e 3.3.1.3. Os circuitos equivalentes referentes às etapas em questão são apresentados por intermédio das Fig. 3-10, Fig. 3-11 e Fig. 3-12.

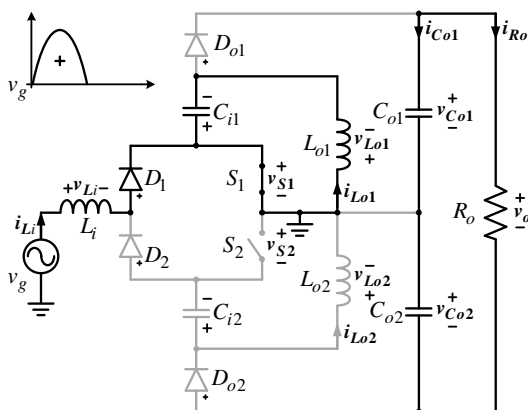


Fig. 3-10. Circuito equivalente referente à primeira etapa de operação.  
Fonte: Autoria própria.

#### 3.4.1 Formas de Onda

O retificador DT 2S, quando comparado ao retificador DT 1S, apresenta uma pequena mudança estrutural. Deste modo, basicamente

não há diferenças nas formas de onda nos elementos da estrutura, exceto pelas formas de onda dos interruptores  $S_1$  e  $S_2$ . Logo, torna-se apenas necessário apresentar as formas de onda inerentes a estes semicondutores, como pode ser visualizado em Fig. 3-13.

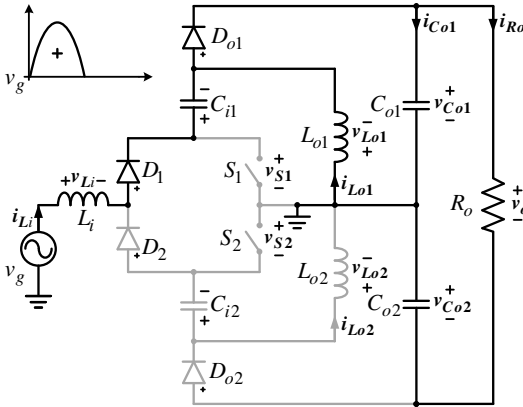


Fig. 3-11. Circuito equivalente referente à segunda etapa de operação.  
Fonte: Autoria própria.

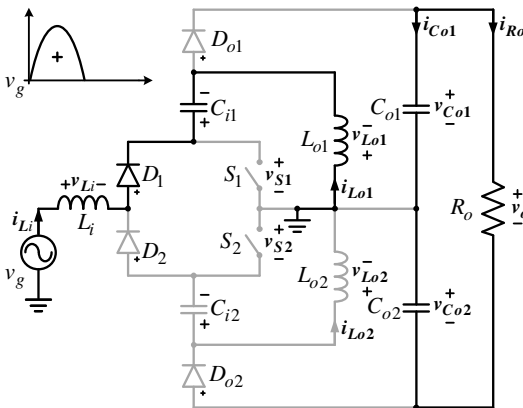


Fig. 3-12. Circuito equivalente referente à terceira etapa de operação.  
Fonte: Autoria própria.

### 3.4.2 Equacionamento

As expressões que regem o ganho estático, resistência mínima, razão cíclica máxima, as grandezas dos indutores, capacitores e semicondutores para o retificador DT 2S são equivalentes às equações

do retificador DT 1S, exceto pelas expressões que determinam os valores médio (3.61) e eficaz (3.63) das grandezas alusivas aos elementos  $S_1$  e  $S_2$ . Estas equações são obtidas por meio da integração de (3.33) e (3.35) em um período da tensão da rede elétrica como demonstra (3.60) e (3.62), respectivamente.

$$I_{S1med}(\theta) = I_{S2med}(\theta) = \frac{1}{2\pi} \left\{ \int_0^{\pi} \frac{D^2 V_p \sin(\theta)(L_i + L_{o1})}{2L_i L_{o1} f_s} d\theta \right\} \quad (3.60)$$

$$I_{S1med\_fr} = I_{S2med\_fr} = \frac{D^2 V_p (L_i + L_{o1})}{2L_i L_{o1} f_s \pi} \quad (3.61)$$

$$I_{S1ef}(\theta) = I_{S2ef}(\theta) = \sqrt{\frac{1}{2\pi} \left\{ \int_0^{\pi} \left[ \frac{D^2 V_p \sin(\theta)(L_i + L_{o1})}{2L_i L_{o1} f_s} \right]^2 d\theta \right\}} \quad (3.62)$$

$$I_{S1ef\_fr} = I_{S2ef\_fr} = \frac{D V_p (L_i + L_{o1})}{L_i L_{o1} f_s} \sqrt{\frac{D}{12}} \quad (3.63)$$

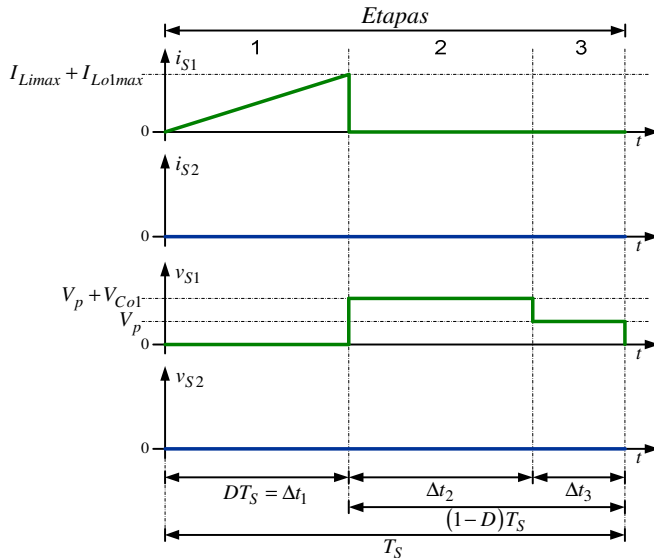


Fig. 3-13. Formas de onda de corrente e tensão dos interruptores  $S_1$  e  $S_2$ .

Fonte: Autoria própria.

### 3.5 MODELAGEM DOS RETIFICADORES MONOFÁSICOS SEPIC DT 1S E 2S

Pelo fato dos retificadores do tipo SEPIC DCM drenarem correntes naturalmente em fase com suas tensões de entrada, torna-se desnecessário a implementação de uma malha de controle para estas correntes. Contudo, se faz necessário utilizar um sistema de controle para a tensão de saída. Deste modo, é proposto, como demonstrado na Fig. 3-14, um diagrama de blocos com a estratégia de controle destinada a controlar a variável em questão.

O diagrama proposto é constituído por:  $C_p(s)$  – compensador;  $M_{pwm}$  – modulador PWM (*Pulse Width Modulation*);  $G(s)$  – modelo da planta do sistema,  $H_{vo}$  – sensor da tensão de saída;  $V_{rf}$  – tensão de referência e  $v_o$  – grandeza a ser controlada.

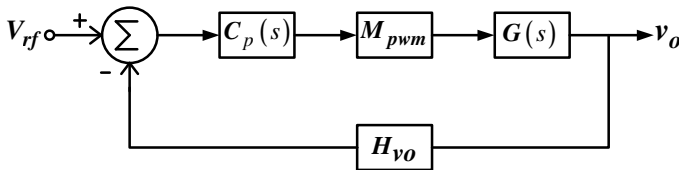


Fig. 3-14. Diagrama de blocos para controle da tensão de saída.

Fonte: Autoria própria.

#### 3.5.1 Planta dos Retificadores Monofásicos SEPIC DT 1S e 2S

A Fig. 3-15 apresenta o circuito que considera os valores médios das grandezas, válido para pequenos sinais, o qual é utilizado para representar os retificadores SEPIC DT Monofásicos 1S e 2S.

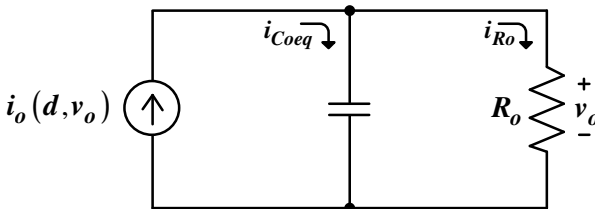


Fig. 3-15. Circuito para determinação da planta da tensão de saída válido para pequenos sinais.

Fonte: Adaptado de [4].

Como já tratado anteriormente, a corrente de saída é definida por (3.52). No entanto, seu valor é modificado quando a razão cíclica é alterada. Logo, se a razão cíclica está sujeita a mudanças, a tensão de



saída também está sujeita a variações, o que ocasiona alteração na amplitude da corrente em questão. Deste modo, conclui-se que a corrente de saída é uma função que depende tanto da razão cíclica quanto da tensão de saída, como é evidenciado em (3.64).

Assim sendo, ao se aplicar um distúrbio na razão cíclica  $d$ , ter-se-á uma variação na corrente  $i_o$  composta pela variação direta e variação indireta: a variação direta provém da alteração da razão cíclica em (3.52) e, a indireta, é ocasionada pela variação da tensão de saída. Desta maneira, a variação de  $i_o$ , para uma determinada perturbação de razão cíclica, pode ser dada em funções parciais como exposto em (3.65).

$$\hat{i}_o(\hat{d}, \hat{v}_o) = C_{oeq} \frac{d\hat{v}_o}{dt} + \frac{\hat{v}_o}{R_o} \quad (3.64)$$

$$\hat{i}_o(\hat{d}, \hat{v}_o) = \frac{\partial i_o}{\partial d} \hat{d} + \frac{\partial i_o}{\partial v_o} \hat{v}_o \quad (3.65)$$

Onde:  $C_{oeq}$  – capacitância equivalente de saída, dada por (3.66).

$$C_{oeq} = \frac{C_{o1}C_{o2}}{C_{o1} + C_{o2}} \quad (3.66)$$

Substituindo (3.52) em (3.65), chega-se a expressão (3.67). Ao se igualar (3.64) a (3.67), obtém-se (3.68).

$$\hat{i}_o(\hat{d}, \hat{v}_o) = \frac{DV_p^2 (L_i + L_{o1})}{2V_o L_i L_{o1} f_s} \hat{d} - \frac{D^2 V_p^2 (L_i + L_{o1})}{4V_o^2 L_i L_{o1} f_s} \hat{v}_o \quad (3.67)$$

$$\frac{DV_p^2 (L_i + L_{o1})}{2V_o L_i L_{o1} f_s} \hat{d} - \frac{D^2 V_p^2 (L_i + L_{o1})}{4V_o^2 L_i L_{o1} f_s} \hat{v}_o = C_{oeq} \frac{d\hat{v}_o}{dt} + \frac{\hat{v}_o}{R_o} \quad (3.68)$$

Aplicando a transformada de Laplace em (3.68), tem-se como resultado (3.69). Efetuando-se as operações matemáticas pertinentes em (3.69), de forma a se obter a variação de tensão pela variação da razão cíclica, chega-se a equação (3.70), a qual representa a função de transferência do modelo da planta pelo método de pequenos sinais.

### 3.5.2 Validação do Modelo

Objetivando validar o modelo da planta obtido pelo método de pequenos sinais, foi desenvolvida uma simulação numérica, a qual

utilizou o *software* PSIM® e as especificações de projetos apresentadas na Tabela 3-1, e também os valores dos elementos passivos expostos na Tabela 3-2.

$$\frac{DV_p^2 (L_i + L_{o1})}{2V_o L_i L_{o1} f_s} \hat{d}(s) - \frac{D^2 V_p^2 (L_i + L_{o1})}{4V_o^2 L_i L_{o1} f_s} \hat{v}_o(s) = sC_{oeq} \hat{v}_o(s) + \frac{\hat{v}_o(s)}{R_o} \quad (3.69)$$

$$G(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{k}{R_o C_{oeq} s + \frac{Dk}{2V_o} + 1} \quad (3.70)$$

$$k = \frac{R_o DV_p^2 (L_i + L_{o1})}{2V_o L_i L_{o1} f_s}; C_{oeq} = \frac{C_{o1} C_{o2}}{C_{o1} + C_{o2}} \quad (3.71)$$

Efetuando-se as devidas substituições em (3.70) obtém-se a equação (3.72), a qual é a representação final do modelo proposto.

$$G(s) = \frac{2286}{0,16s + 2} \quad (3.72)$$

Ao se aplicar um decrémento na razão cíclica em torno de 1,5%, e, posteriormente, retornando-a ao seu valor nominal, obtém-se, como respostas dos retificadores ( $v_o$ ) e do modelo ( $v_{mod}$ ) representado por (3.72), as formas de onda expostas em Fig. 3-16.

Ao se observar a resposta dinâmica dos retificadores DT monofásicos (1S e 2S) e do modelo proposto, frente à perturbação de razão cíclica, pode-se afirmar que ambos possuem comportamento similar. Assim, conclui-se que o modelo proposto representa de forma satisfatória o comportamento dinâmico dos referidos retificadores.

### 3.5.3 Definição e Projeto do Compensador

Tendo como principal finalidade implementar um compensador que proporcione erro nulo em regime estacionário para entrada em degrau, e que apresente imunidade frente as ondulações em alta frequência contidas na tensão de saída  $v_o$ , optou-se por utilizar um controlador proporcional integral (PI) com filtro, o qual pode ser representado pelo circuito elétrico exposto na Fig. 3-17.

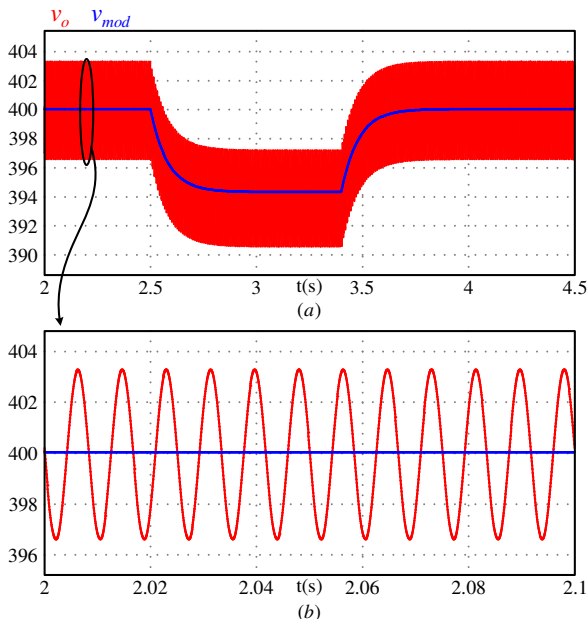


Fig. 3-16. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de  $v_o$  e  $v_{mod}$ , (b) detalhe do regime estacionário de  $v_o$  e  $v_{mod}$ .

Fonte: Autoria própria.

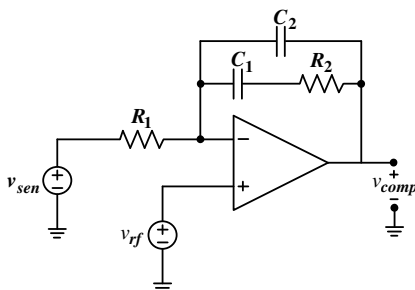


Fig. 3-17. Compensador PI com filtro implementado.

Fonte: Autoria própria.

O compensador PI com filtro apresentado na Fig. 3-17 é definido matematicamente pela expressão (3.73). Onde:  $k_{cp}$  – ganho do compensador (3.74),  $\omega_z$  – frequência do zero do controlador (3.75),  $\omega_p$  – frequência do polo do compensador (3.76). Para a realização do projeto do referido controlador foram adotados uma frequência de cruzamento quatro vezes menor que a frequência de comutação e margem de fase

compreendida entre  $45^\circ$  e  $90^\circ$  como pode ser verificado no apêndice C.

$$C_p(s) = k_{cp} \frac{(s + \omega_z)}{s(s + \omega_p)} \quad (3.73)$$

$$k_{cp} = \frac{1}{R_1 C_2} \quad (3.74)$$

$$\omega_z = \frac{1}{R_2 C_1} \quad (3.75)$$

$$\omega_p = \frac{C_1 + C_2}{R_2 C_1 C_2} \quad (3.76)$$

### 3.5.4 Ganho do Modulador

Sabe-se que a diferença algébrica entre a tensão de referência e a tensão de saída amostrada pelo sensor  $H_{vo}$  é compensada pelo controlador  $C_p(s)$ . O sinal ( $V_{cont}$ ) oriundo de  $C_p(s)$  é comparado a uma onda dente de serra cujo valor de pico é definido como  $V_{tp}$ . A partir desta comparação geram-se os pulsos de comando ( $V_{pc}$ ) que são aplicados aos interruptores, como pode ser visualizado na Fig. 3-18.

O ganho do modulador é definido por meio (3.77).

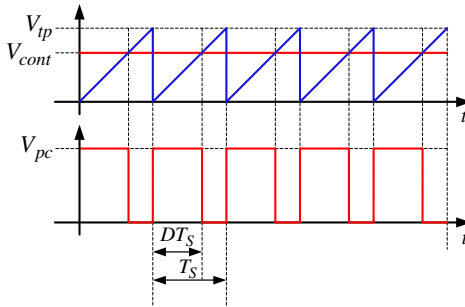


Fig. 3-18. Geração dos pulsos para acionamento dos interruptores.

Fonte: Autoria própria.

$$K_{pwm} = \frac{1}{V_{tp}} \quad (3.77)$$

### 3.5.5 Ganho do Sensor

Como pode ser visualizado na Fig. 3-35 e Fig. 3-37, o

sensoriamento da tensão de saída implementado aos retificadores SEPIC DT 1S e 2S, é constituído por um divisor resistivo. Logo, o ganho do sensor  $k_{Hvo}$  pode ser definido como demonstra a equação (3.78).

$$k_{Hvo} = \frac{R_{l2}}{R_{l1} + R_{l2}} \tag{3.78}$$

3.6 SIMULAÇÃO NUMÉRICA: RETIFICADORES DT 1S E 2S

Objetivando validar a operação e o equacionamento desenvolvido para os retificadores SEPIC DT 1S e 2S, foi elaborada uma simulação numérica. Para tanto, utilizou-se o *software* PSIM<sup>®</sup> e as especificações de projetos contidas na Tabela 3-1, e também os valores dos elementos passivos expostos na Tabela 3-2.

Tabela 3-1. Especificações de projeto.

Especificação	Valores – Retificadores DT 1S e 2S
Tensão de entrada – $V_p$	311 V
Tensão de saída – $V_o$	400 V
Potência de saída – $P_o$	1000 W
Frequência de comutação – $f_s$	50 kHz
Razão cíclica – $D$	0,35
Tempo <i>hold-up-time</i> – $T_{hut}$	16,667 ms
Ondulação da tensão em $C_{i1}$ - $\Delta V_{Ci1}$ e $C_{i2}$ - $\Delta V_{Ci2}$	20%
Ondulação da corrente do indutor $L_i$ - $\Delta i_{Li}$	10%

Fonte: Autoria própria.

Tabela 3-2. Valores de projeto: elementos passivos.

Elementos	Valores
Indutor $L_i$	3,385 mH
Indutores $L_{o1}$ e $L_{o2}$	60,3 $\mu$ H
Capacitores $C_{i1}$ e $C_{i2}$	1,399 $\mu$ F
Capacitores $C_{o1}$ e $C_{o2}$	2 mF

Fonte: Autoria própria.

### 3.6.1 Resultados de Simulação Numérica: Retificador DT 1S

- Tensões e correntes de entrada e saída:

Por meio das Fig. 3-19 e Fig. 3-20 são apresentadas, respectivamente, as formas de onda da tensão e corrente de entrada e da tensão e corrente de saída. É relevante destacar que em ambas as figuras, as correntes são multiplicadas por uma constante para proporcionar uma visualização adequada destas em relação as suas respectivas tensões.

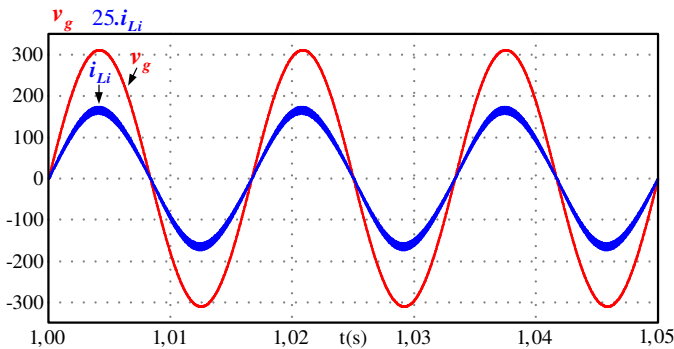


Fig. 3-19. Formas de onda: tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ).  
Fonte: Autoria própria.

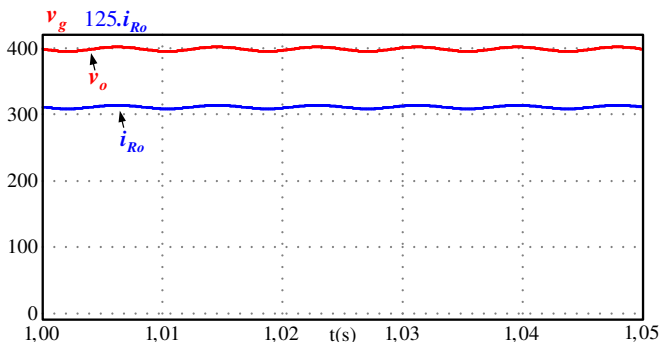


Fig. 3-20. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).  
Fonte: Autoria própria.

Observa-se mediante a Fig. 3-19 que a tensão  $v_g$  e a corrente  $i_{Li}$  estão em fase, o que caracteriza o alto fator de potência do retificador.

Por meio da Fig. 3-20 constata-se que a tensão  $v_o$  e a corrente  $i_{Ro}$  possuem uma ondulação de 120 Hz e apresentam valor médio de

aproximadamente 400 V e 2,5 A (312,5 A/125), sequencialmente. Logo o retificador proposto processa cerca de 1000 W.

- Indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ :

A forma de onda da corrente no indutor  $L_i$  é apresentada na Fig. 3-21 (a) e Fig. 3-21 (b). Verifica-se que esta corrente possui formato senoidal com frequência de 60 Hz e uma ondulação ( $\Delta i_{Li}$ ) em alta frequência (50 kHz) de aproximadamente 0,622 A (10% de  $i_{Li}$ ).

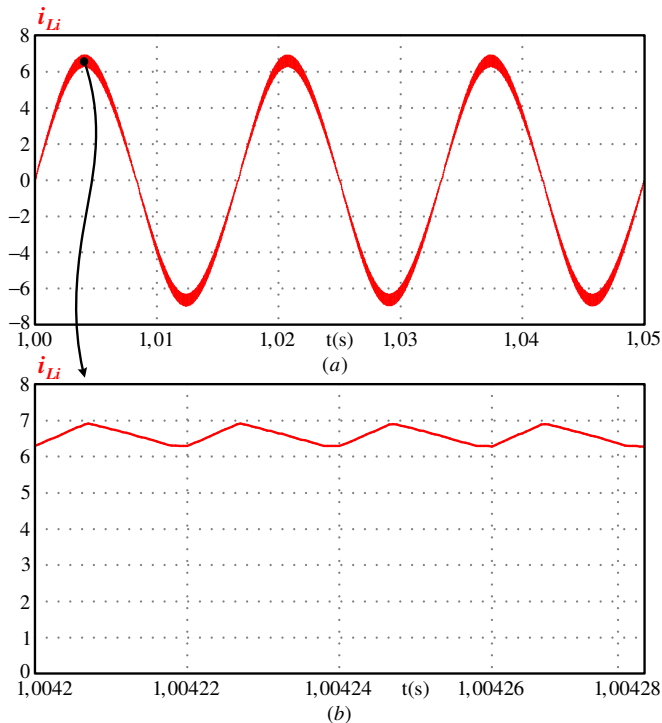


Fig. 3-21. Formas de onda: (a) corrente do indutor  $L_i$  em baixa frequência; (b) detalhe da corrente do indutor  $L_i$  em alta frequência.

Fonte: Autoria própria.

Por intermédio da Fig. 3-22 (a) e Fig. 3-22 (b) são apresentadas as formas de onda da corrente dos indutores  $L_{o1}$  e  $L_{o2}$ . Observa-se que tais indutores operam de forma complementar,  $L_{o1}$  opera no semiciclo positivo da rede e  $L_{o2}$  no semiciclo negativo. As correntes em questão possuem envoltória senoidal e ondulação (50 kHz) em torno de 36,29 A. Este valor é coerente tendo em vista que o valor teórico é de 36,1 A.

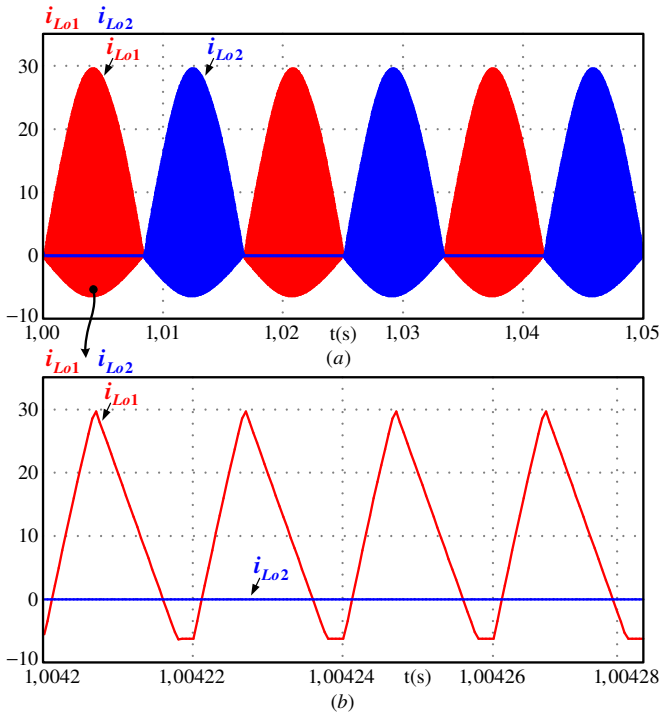


Fig. 3-22. Formas de onda: (a) corrente dos indutores  $L_{o1}$  e  $L_{o2}$  em baixa frequência; (b) detalhe da corrente dos indutores  $L_{o1}$  e  $L_{o2}$  em alta frequência.  
Fonte: Autoria própria.

- Capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$ :

A forma de onda da tensão medida sobre os capacitores  $C_{i1}$  e  $C_{i2}$  é apresentada por intermédio da Fig. 3-23 (a) e Fig. 3-23 (b). Verifica-se que estas tensões possuem formato senoidal, valor de pico de cerca de 342 V e ondulação de 63 V em alta frequência (50 kHz). O valor teórico de pico e de ondulação é de 342,1 V e 62,2 V, respectivamente.

Por meio da Fig. 3-24 são apresentadas as formas de onda da tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$ . Nota-se que as referidas tensões possuem uma ondulação em baixa frequência (60 Hz) e, apresentam valor médio de aproximadamente 200 V.

Como já argumentado, os retificadores SEPIC DT 1S e 2S, apresentam como uma das suas mais significativas vantagens, quando comparado ao retificador convencional SEPIC, proporcionar o dobro do valor de tensão de saída mantendo os mesmos esforços de tensão sobre os seus semicondutores. Este valor dobrado de tensão de saída é obtido a



partir da soma ( $v_o = v_{Co1} + v_{Co2}$ ) da tensão dos capacitores  $C_{o1}$  e  $C_{o2}$  como pode ser constatado na Fig. 3-25.

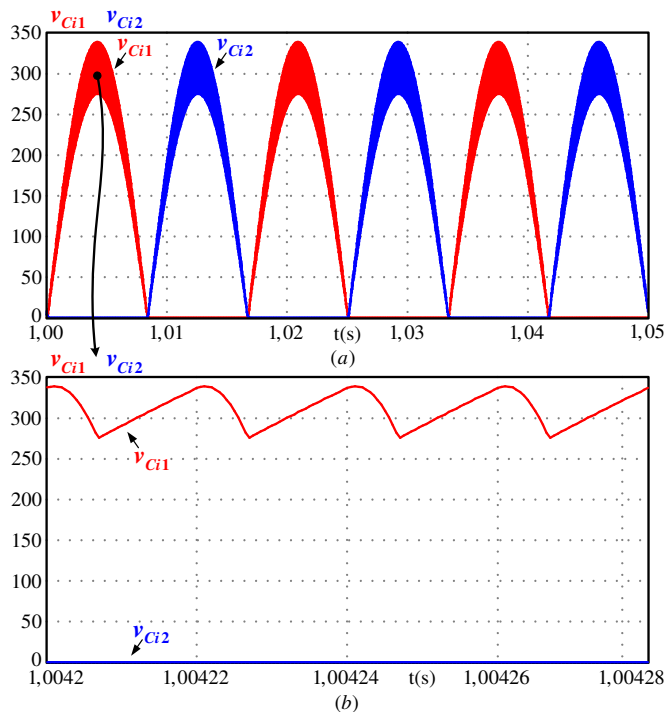


Fig. 3-23. Formas de onda: (a) tensão nos capacitores  $C_{i1}$  e  $C_{i2}$  em baixa frequência; (b) tensão nos capacitores  $C_{i1}$  e  $C_{i2}$  em alta frequência.

Fonte: Autoria própria.

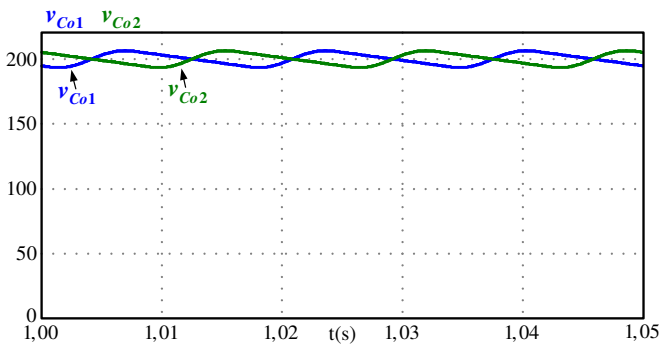


Fig. 3-24. Forma de onda da tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$ .

Fonte: Autoria própria.

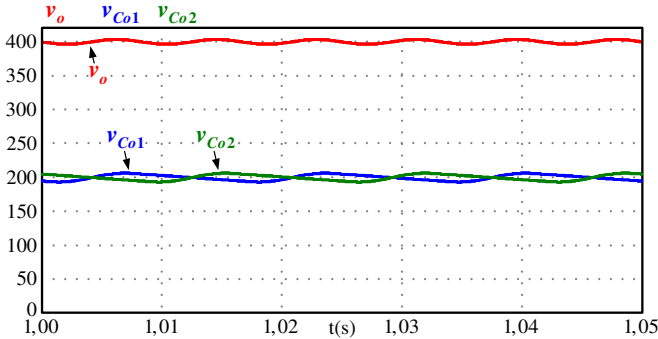


Fig. 3-25. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída.

Fonte: Autoria própria.

- Semicondutores  $S$ ,  $D_{o1}$  e  $D_{o2}$ :

O aspecto da corrente do interruptor  $S$  é apresentado na Fig. 3-26 e Fig. 3-27. Observa-se que a corrente em questão possui envoltória de uma senoide retificada com frequência de 120 Hz e ondulação em alta frequência (50 kHz) de aproximadamente 36,9 A (o valor teórico é de 36,75 A).

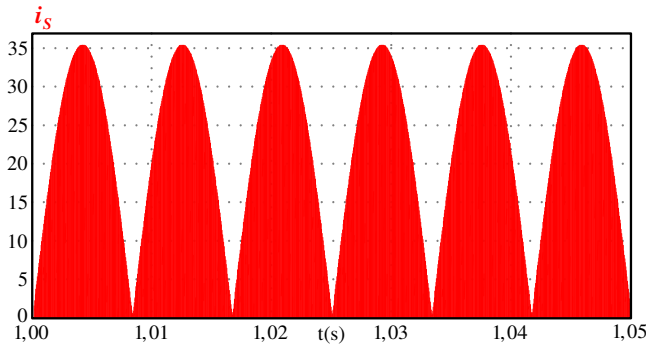


Fig. 3-26. Formas de onda: corrente do interruptor  $S$  em baixa frequência.

Fonte: Autoria própria.

A forma de onda da tensão medida sobre o interruptor  $S$  pode ser vista por meio da Fig. 3-28 (a) e Fig. 3-28 (b). Verifica-se que a referida tensão possui ondulação com frequência de 120 Hz e 50 kHz e apresenta amplitude máxima de aproximadamente 527,2 V.

O comportamento da corrente dos diodos  $D_{o1}$  e  $D_{o2}$  pode ser verificado por meio da Fig. 3-29 (a) e Fig. 3-29 (b).

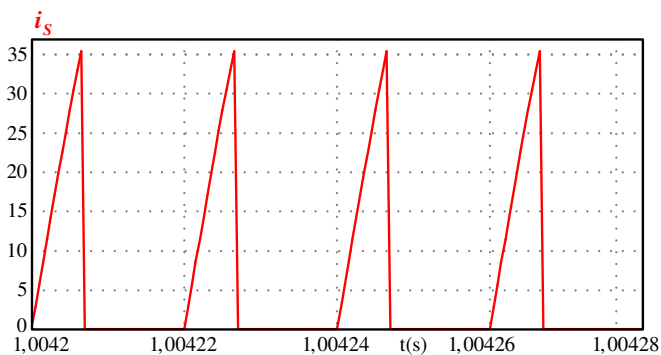


Fig. 3-27. Formas de onda: corrente do interruptor  $S$  em alta frequência.  
Fonte: Autoria própria.

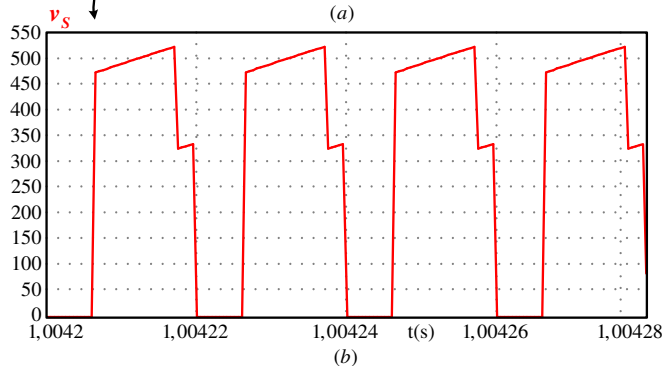
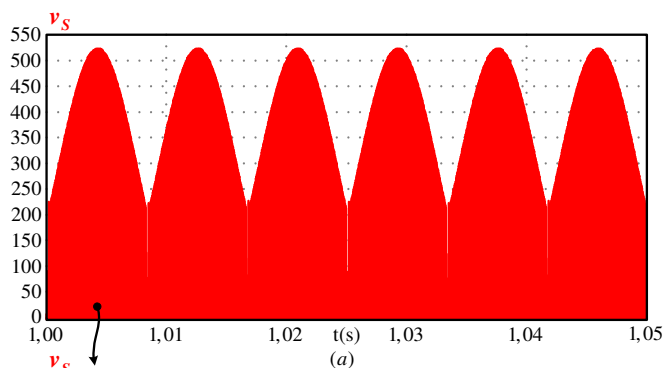


Fig. 3-28. Formas de onda: (a) tensão sobre o interruptor  $S$  em baixa frequência;  
(b) tensão do interruptor  $S$  em alta frequência.

Fonte: Autoria própria.

Nota-se que as correntes dos diodos  $D_{o1}$  e  $D_{o2}$ , as quais são expostas na Fig. 3-29 (a) e Fig. 3-29 (b), apresentam aspecto senoidal

retificado com frequência de 60 Hz, ondulação em alta frequência (50 kHz) e amplitude máxima de aproximadamente 36,9 A.

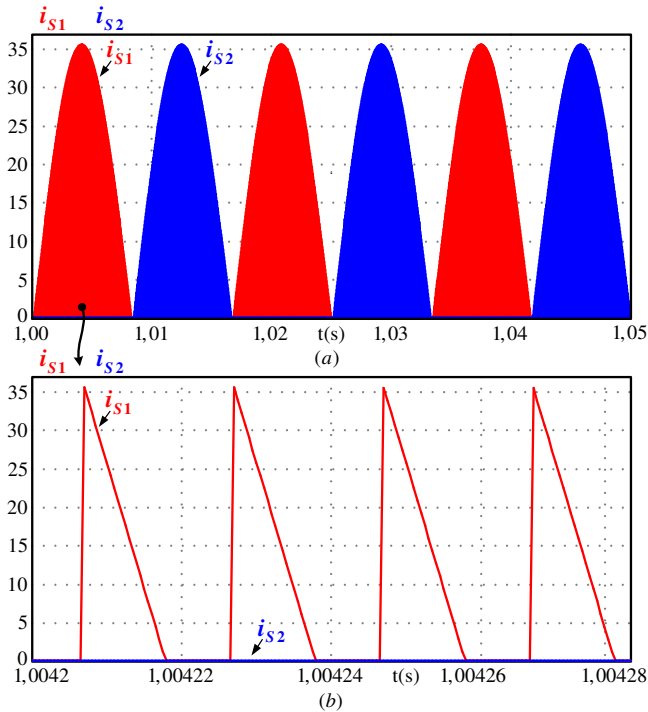


Fig. 3-29. Formas de onda: (a) corrente dos diodos  $D_{o1}$  e  $D_{o2}$  em baixa frequência; (b) detalhe da corrente dos diodos  $D_{o1}$  e  $D_{o2}$  em alta frequência.  
Fonte: Autoria própria.

Por intermédio da Fig. 3-30 (a) e Fig. 3-30 (b) é apresentado o comportamento da tensão medida sobre os diodos  $D_{o1}$  e  $D_{o2}$ . Pode-se observar que as grandezas em questão possuem uma componente em baixa frequência (60 Hz) e outra em alta frequência (50 kHz). Tais grandezas apresentam amplitude mínima de cerca de 539,6 V (o valor teórico é de aproximadamente 542 V).

- Resposta ao degrau:

A resposta dinâmica do conversor frente a um degrau de carga de aproximadamente +15% (de 85% para 100% de carga) pode ser visualizada por meio da Fig. 3-31. Observa-se que o sistema estabiliza-se em aproximadamente 300 ms e a variável que se deseja controlar,

nesse caso, a tensão de saída, apresenta um sobressinal de aproximadamente 0,5 %.

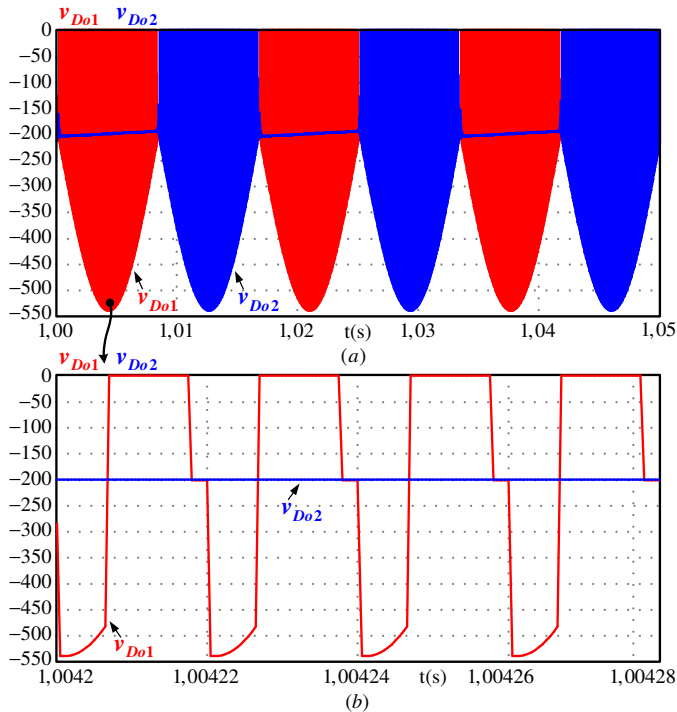


Fig. 3-30. Formas de onda: (a) tensão sobre os diodos  $D_{o1}$  e  $D_{o2}$  em baixa frequência; (b) detalhe da tensão sobre os diodos  $D_{o1}$  e  $D_{o2}$  em alta frequência.

Fonte: Autoria própria.

### 3.6.2 Resultados de Simulação Numérica: Retificador DT 2S

Como já argumentado anteriormente, o retificador DT 2S, quando comparado ao retificador DT 1S, apresenta uma pequena mudança estrutural. Deste modo, basicamente não há diferenças nos resultados de simulação numérica, exceto, pelas formas de onda dos interruptores  $S_1$  e  $S_2$ . Logo, torna-se apenas necessário apresentar as formas de onda inerentes a estes semicondutores, como pode ser visualizado a seguir.

Por meio da Fig. 3-32 e Fig. 3-33 é exposta a forma de onda da corrente dos interruptores  $S_1$  e  $S_2$ . Pode-se constatar que as referidas grandezas contêm envoltória de uma senoide retificada com frequência de 60 Hz e ondulação em alta frequência (50 kHz) de aproximadamente 36,9 A.

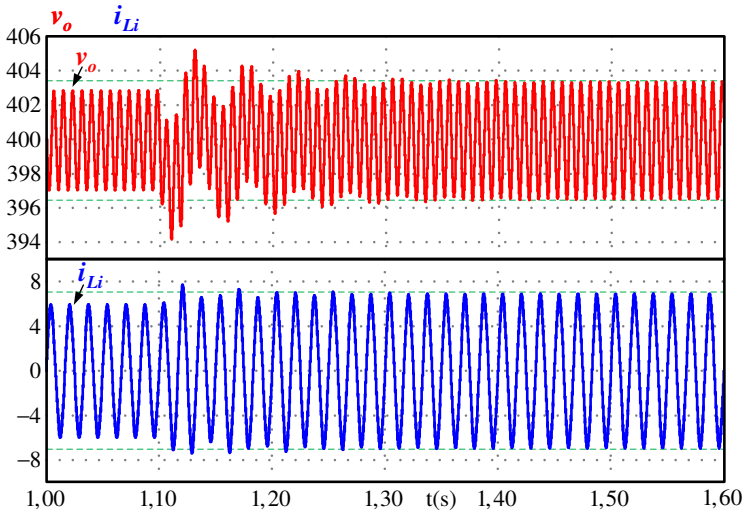


Fig. 3-31. Resposta dinâmica do conversor para um degrau de carga de +15%.  
Fonte: Autoria própria.

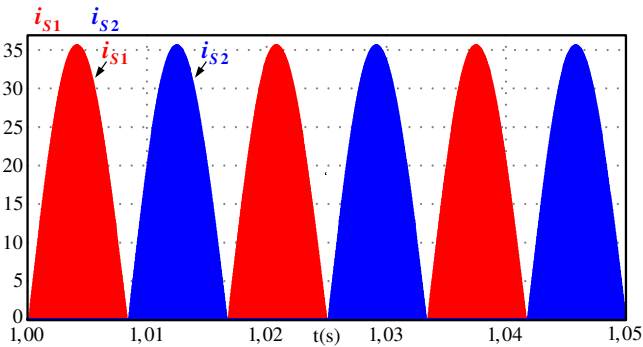


Fig. 3-32. Formas de onda: corrente de  $S_1$  e  $S_2$  em baixa frequência.  
Fonte: Autoria própria.

A forma de onda da tensão sobre os interruptores  $S_1$  e  $S_2$  pode ser visualizada por meio da Fig. 3-34 (a) e Fig. 3-34 (b). Verifica-se que as tensões em questão possuem ondulação com frequência de 60 Hz e 50 kHz e apresentam amplitude máxima de aproximadamente 527,2 V.

### 3.6.3 Análise Comparativa: Resultados Teóricos e de Simulação Numérica

Objetivando-se confrontar os valores teóricos e os valores obtidos

via simulação numérica, referentes aos esforços de tensão e corrente dos retificadores DT 1S e 2S, elaborou-se a Tabela 3-3.

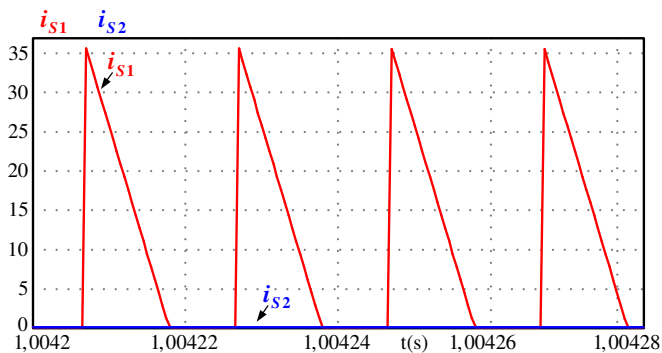


Fig. 3-33. Formas de onda: corrente de  $S_1$  e  $S_2$  em alta frequência.  
Fonte: Autoria própria.

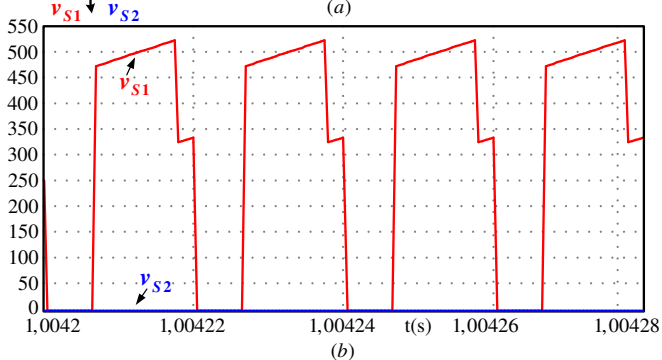
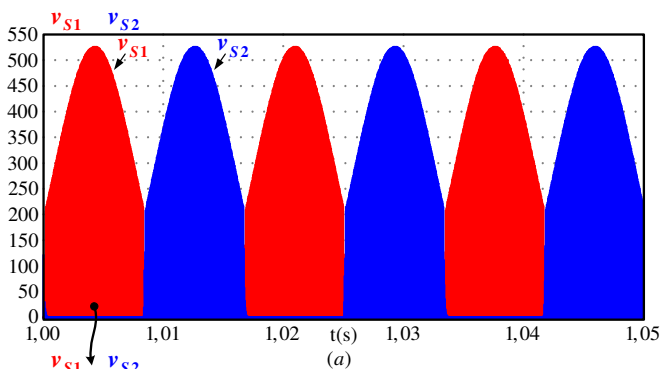


Fig. 3-34. Formas de onda: (a) tensão nos interruptores  $S_1$  e  $S_2$  em baixa frequência; (b) tensão nos interruptores  $S_1$  e  $S_2$  em alta frequência.  
Fonte: Autoria própria.

Tabela 3-3. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente dos retificadores DT 1S e 2S.

GRANDEZAS	RESULTADOS					
	Retificador DT 1S			Retificador DT 2S		
	Teor.	Siml.	Er. %	Teor.	Siml.	Er. %
$I_{Lief\_fr}$	4,55 A	4,55 A	0,00	4,55 A	4,55 A	0,00
$I_{Lo1med\_fr}$ e $I_{Lo2med\_fr}$	2,5 A	2,5 A	0,00	2,5 A	2,5 A	0,00
$I_{Lo1ef\_fr}$ e $I_{Lo2ef\_fr}$	7,25 A	7,31 A	0,83	7,25 A	7,31 A	0,83
$I_{Ci1ef}$ e $I_{Ci2ef}$	5,34 A	5,42 A	1,50	5,34 A	5,42 A	1,50
$V_{Ci1max}$ e $V_{Ci2max}$	342 V	339 V	0,88	342 V	339 V	0,88
$I_{Co1ef}$ e $I_{Co2ef}$	6,76 A	6,79 A	0,44	6,76 A	6,79 A	0,44
$V_{Co1med}$ e $V_{Co2med}$	200 V	200 V	0,00	200 V	200 V	0,00
$V_{omed}$	400 V	400 V	0,00	400 V	400 V	0,00
$I_{SMax}$	36,7 A	36,9 A	0,55	-	-	-
$I_{Smed\_fr}$	4,09 A	4,07 A	0,50	-	-	-
$I_{Sef\_fr}$	8,80 A	8,96 A	1,80	-	-	-
$V_{Smax}$	542 V	527 V	2,80	-	-	-
$I_{S1max}$ e $I_{S2max}$	-	-	-	36,7	36,9 A	0,55
$I_{S1med\_fr}$ e $I_{S2med\_fr}$	-	-	-	2,05 A	2,04 A	0,50
$I_{S1ef\_fr}$ e $I_{S2ef\_fr}$	-	-	-	6,28 A	6,34 A	0,96
$V_{S1max}$ e $V_{S2max}$	-	-	-	542 V	527 V	2,80
$I_{Do1max}$ e $I_{Do2max}$	36,7 A	36,9 A	0,55	36,7 A	36,9 A	0,55
$I_{Do1med\_fr}$ e $I_{Do2med\_fr}$	2,5 A	2,5 A	0,00	2,5 A	2,5 A	0,00
$I_{Do1ef\_fr}$ e $I_{Do2ef\_fr}$	7,21 A	7,23 A	0,30	7,21 A	7,23 A	0,30
$V_{Do1max}$ e $V_{Do2max}$	542 V	540 V	0,40	542 V	540 V	0,40

Fonte: Autoria própria.

A partir dos dados contidos na Tabela 3-3 pode-se constatar que os resultados teóricos e os resultados de simulação numérica são muito semelhantes com erro percentual máximo da ordem de 2,8%. Deste modo, considera-se que o equacionamento desenvolvido é capaz de definir, com considerável exatidão, os patamares das grandezas dos referidos retificadores.



3.7 RESULTADOS EXPERIMENTAIS: RETIFICADORES DT 1S E 2S

Com a finalidade de validar a operação, o equacionamento e a simulação numérica desenvolvida para os retificadores SEPIC DT 1S e 2S, foram construídos dois protótipos. Para tanto, utilizaram-se as especificações de projetos contidas na Tabela 3-1 e os valores dos elementos passivos expostos na Tabela 3-2. Os elementos empregados na montagem dos referidos protótipos podem ser visualizados na Tabela 3-4.

Tabela 3-4. Elementos utilizados na montagem dos protótipos.

Especificação	Valores – Ret. 1S e 2S
Indutor $L_i$	Indutância: 3,385 mH Espiras: 156 Fio: 16 AWG Núcleo: APH46P60
Indutores $L_{o1}$ e $L_{o2}$	Indutância: 60,3 $\mu$ H Espiras: 29 Fio: 64 x 32 AWG Núcleo: EE42/20 3C94
Interruptores $S$ , $S1$ e $S2$	IPZ65R019C7 (700 V/19 m $\Omega$ )
Diodos $D_{o1}$ e $D_{o2}$	MUR1560 (600 V/15 A)
Diodos $D_1$ e $D_2$	1N5408 (1000 V/3 A)
Diodos $D_3$ e $D_4$	MUR860 (600 V/8 A)
Capacitores $C_{i1}$ e $C_{i2}$	1,5 $\mu$ F/520 V
Capacitores $C_{o1}$ e $C_{o2}$	2 x 1500 $\mu$ F/250 V
Circuito de controle	UC3525A

Fonte: Autoria própria.

Os protótipos dos retificadores DT 1S e 2S, os quais são apresentados na Fig. 3-36 e Fig. 3-38 foram elaborados a partir dos esquemáticos expostos na Fig. 3-35 e Fig. 3-37, sequencialmente. Estes protótipos apresentaram potência específica em torno de 0,67 kW/kg e 0,64 kW/kg, e densidade de potência de cerca de 0,55 kW/L e 0,55 kW/L, respectivamente.

O circuito de controle foi implementado utilizando-se o circuito

integrado UC3525. Pelo fato dos conversores DT 1S e 2S operarem em DCM, a corrente de entrada segue naturalmente o formato da tensão de entrada, isto, sem requerer um circuito de controle. Deste modo, o amplificador operacional interno ao CI UC3525 foi configurado para ser o controlador da malha de tensão de saída.

Os resultados apresentados foram obtidos com os retificadores DT 1S e 2S operando em malha fechada de tensão e em potência nominal de saída, ou seja, 1000 W.

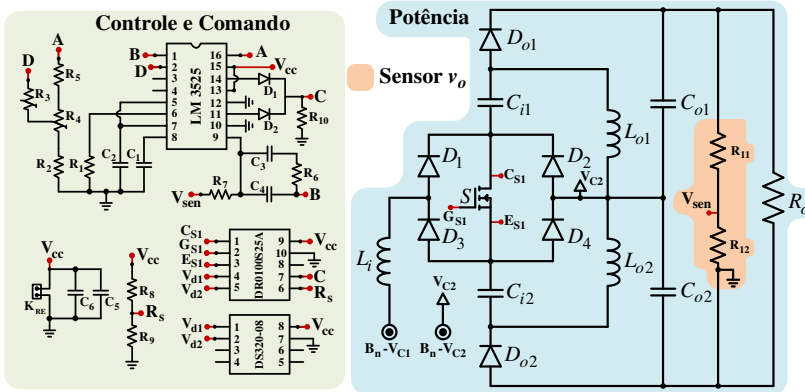


Fig. 3-35. Esquemático: retificador DT 1S.

Fonte: Autoria própria.

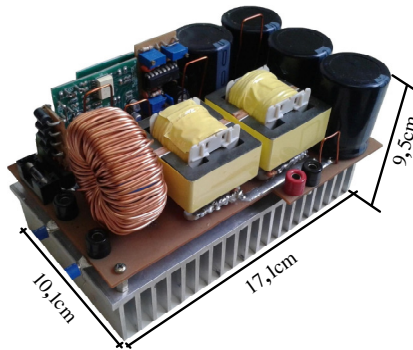


Fig. 3-36. Foto do protótipo do retificador DT 1S.

Fonte: Autoria própria.

### 3.7.1 Resultados Experimentais: Retificador DT 1S

- Tensões e correntes de entrada e saída:

As formas de onda da tensão e da corrente de entrada podem ser

visualizadas por meio da Fig. 3-39. Nota-se que a corrente  $i_{Li}$  possui aspecto senoidal, apresenta uma pequena ondulação (em torno de 10%) em alta frequência e, encontra-se em fase com a respectiva tensão.

O espectro harmônico da referida corrente pode ser visto por intermédio da Fig. 3-40. Verifica-se que a mesma possui THD de aproximadamente 3,2% e fator de potência em torno de 0,999.

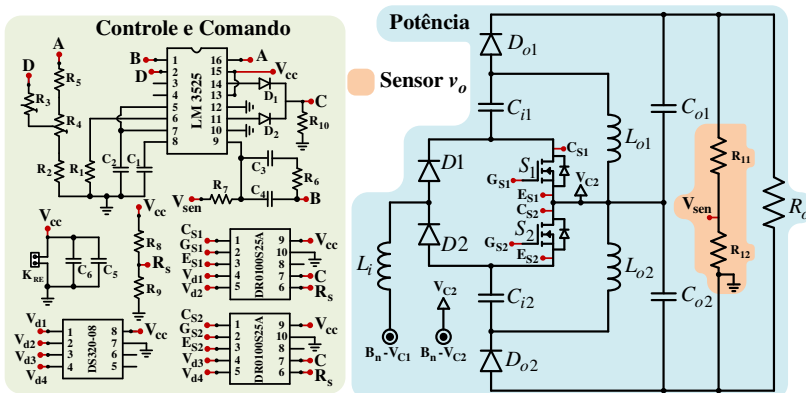


Fig. 3-37. Esquemático: retificador DT 2S.

Fonte: Autoria própria.

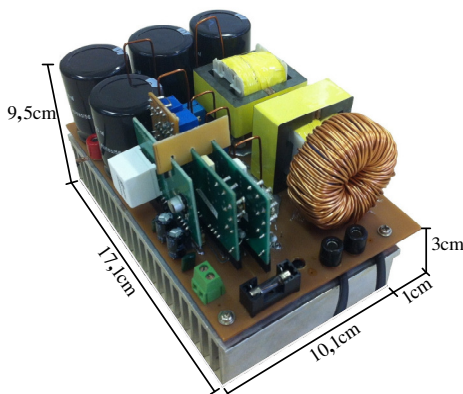


Fig. 3-38. Foto do protótipo do retificador DT 2S.

Fonte: Autoria própria.

Por meio da Fig. 3-41 são apresentadas as formas de onda da tensão e da corrente de saída. Observa-se que as referidas grandezas possuem uma componente em baixa frequência (120 Hz) e uma componente em alta frequência (50 kHz) e, apresentam valor médio de aproximadamente 400,1 V e 2,48 A, respectivamente. Logo o retificador

proposto processa cerca de 990 W.

- Indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ :

O comportamento da corrente do indutor  $L_i$  é apresentado por intermédio da Fig. 3-42.

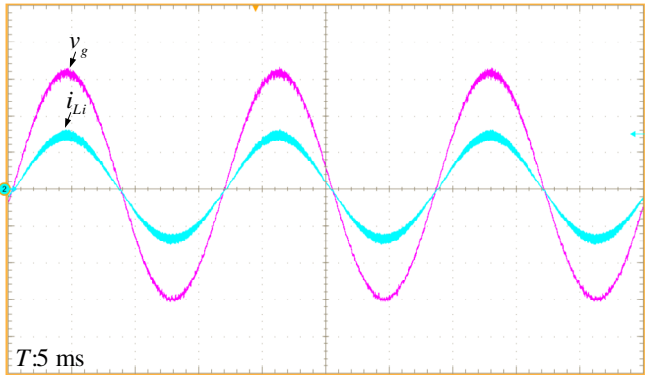


Fig. 3-39. Formas de onda: tensão de entrada  $v_g$  e corrente de entrada  $i_{Li}$ , 100 V/div e 5 A/div, respectivamente.  
Fonte: Autoria própria.

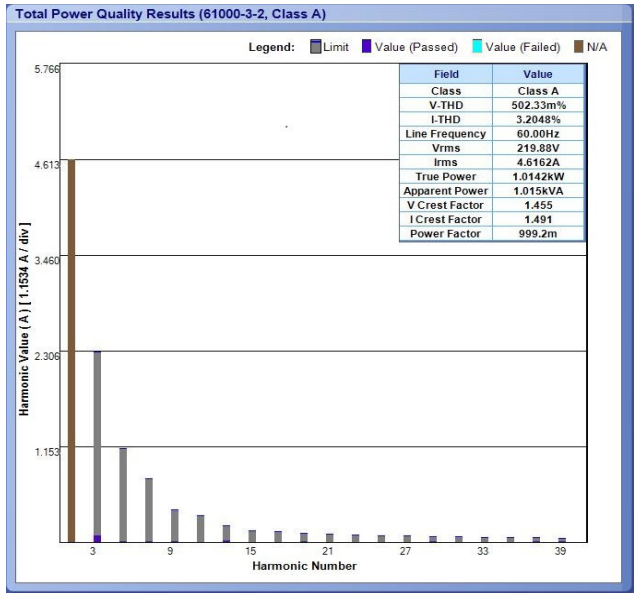


Fig. 3-40. Ret. DT 1S: espectro harmônico da corrente de entrada.  
Fonte: Autoria própria (osciloscópio DPO7054C).

Constata-se que a corrente do indutor  $L_i$  possui formato senoidal com frequência de 60 Hz e uma ondulação ( $\Delta i_{L_i}$ ) com frequência de 50 kHz. Verifica-se também, que a mesma grandeza apresenta ondulações nas regiões  $ec$  (entrada em condução) e  $eb$  (entrada em bloqueio), as quais são oriundas do acionamento do interruptor  $S$ . Tais ondulações são admissíveis, pois não oferecem risco de degradação aos elementos da topologia, e inevitáveis, por se tratar de algo intrínseco aos conversores chaveados.

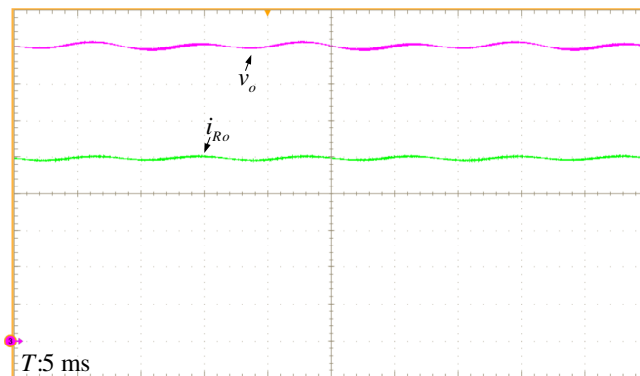


Fig. 3-41. Formas de onda: tensão de saída  $v_o$  e corrente de saída  $i_{Ro}$ , 50 V/div e 500 mA/div, respectivamente..

Fonte: Autoria própria.

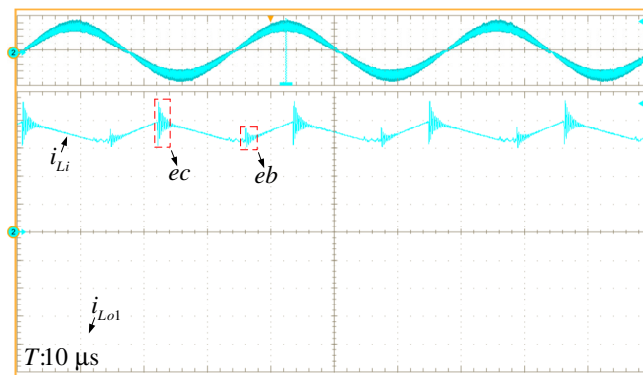


Fig. 3-42. Formas de onda: corrente em  $L_i$  em baixa e alta frequência, 2 A/div.

Fonte: Autoria própria.

Por intermédio da Fig. 3-43 (a) e Fig. 3-43 (b) pode-se visualizar as formas de onda da corrente dos indutores  $L_{o1}$  e  $L_{o2}$ . Nota-se que as correntes  $i_{L_{o1}}$  e  $i_{L_{o2}}$  possuem ondulações com frequências de 60 Hz e

50 kHz com valores máximos de 30,7 A e 28,6 A, respectivamente. Esta diferença entre os valores de ondulação é justificável, pois como já tratado, os retificadores DT 1S e 2S surgem da integração de dois retificadores SEPIC convencional. Assim, somente seria possível ter ondulações com amplitudes equivalentes se os retificadores associados fossem idênticos, o que não é verdadeiro, pois se sabe que os componentes possuem diferenças entre si, até mesmo os que são pertencentes a um mesmo lote de fabricação.

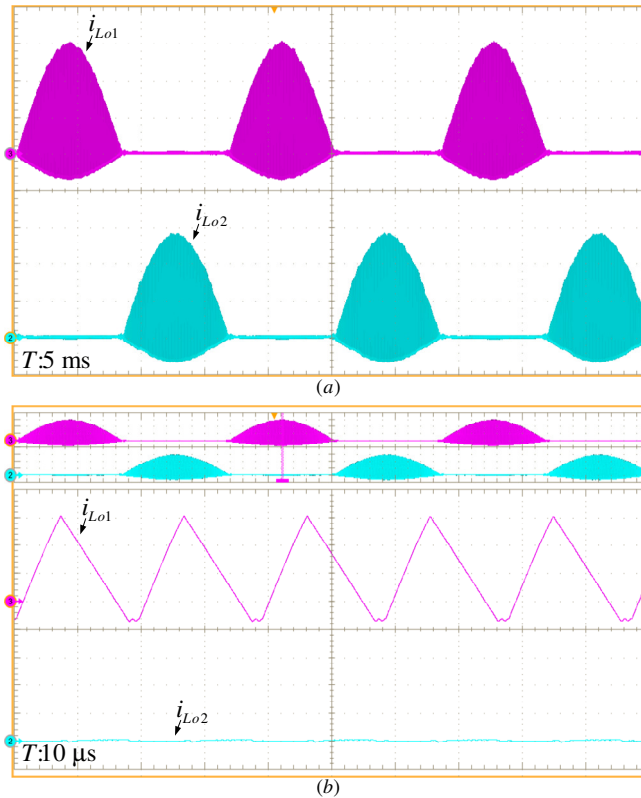


Fig. 3-43. Forma de onda: (a) corrente em  $L_{o1}$  e  $L_{o2}$  em baixa frequência; (b) corrente em  $L_{o1}$  e  $L_{o2}$  em alta frequência, todas com 10 A/div.

Fonte: Autoria própria

- Capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$ :

Por intermédio da Fig. 3-44 (a) e Fig. 3-44 (b) são apresentadas as formas de onda da tensão sobre os capacitores  $C_{i1}$  e  $C_{i2}$ . Observa-se que as tensões  $v_{C_{i1}}$  e  $v_{C_{i2}}$  possuem aspecto de um seno retificado, valor

de pico de aproximadamente 344 V e 342 V e, ondulação em alta frequência em torno de 64 V e 62 V, respectivamente.

Os retificadores SEPIC DT 1S e 2S, quando comparado ao retificador SEPIC clássico, são capazes, como já argumentado, de proporcionar o dobro do valor de tensão de saída mantendo os mesmos patamares de tensão sobre seus semicondutores. Esta tensão duas vezes mais elevada é obtida a partir da soma da tensão dos capacitores  $C_{o1}$  e  $C_{o2}$  como pode ser verificado na Fig. 3-45.

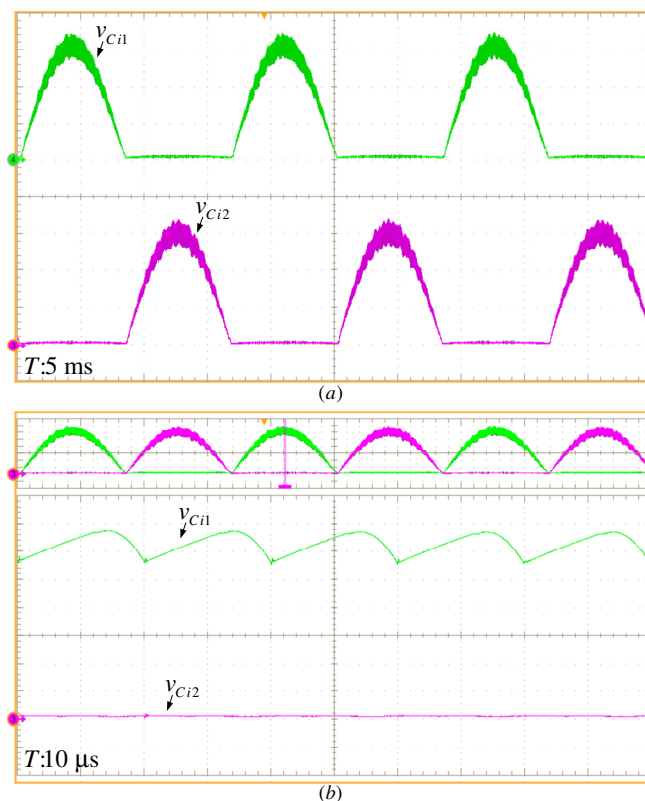


Fig. 3-44. Formas de onda: (a) tensão em  $C_{i1}$  e  $C_{i2}$  em baixa frequência; (b) tensão em  $C_{i1}$  e  $C_{i2}$  em alta frequência, todas com 50 V/div.

Fonte: Autoria própria.

É relevante mencionar que as tensões nos capacitores  $C_{o1}$  e  $C_{o2}$  estão bem equalizadas, com valor médio em torno de 200 V. Ainda com relação a estas grandezas, é perceptível que as ondulações de tensão destes capacitores apresentam frequência de 60 Hz e estão defasadas

de 180 graus entre si.

- Semicondutores  $S$ ,  $D_{o1}$  e  $D_{o2}$ :

O comportamento da corrente do semicondutor  $S$  pode ser visualizado por meio da Fig. 3-46 e Fig. 3-47. Nota-se que a mesma possui envoltória de um seno retificado com frequência de 120 Hz e ondulação máxima de aproximadamente 40,66 A com frequência de 50 kHz. Verifica-se que, de modo análogo à argumentação exposta sobre a corrente dos indutores  $L_{o1}$  e  $L_{o2}$ , a corrente do interruptor em questão apresenta uma pequena diferença entre os patamares nos semiciclos positivo e negativo. Entretanto, a diferença em questão não degrada e tão pouco compromete a correta operação do retificador.

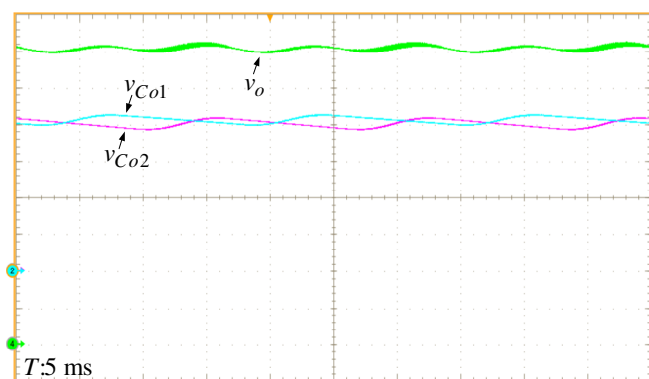


Fig. 3-45. Formas de onda: tensão em  $C_{o1}$ ,  $C_{o2}$  e  $v_o$ , todas com 50 V/div.  
Fonte: Autoria própria.

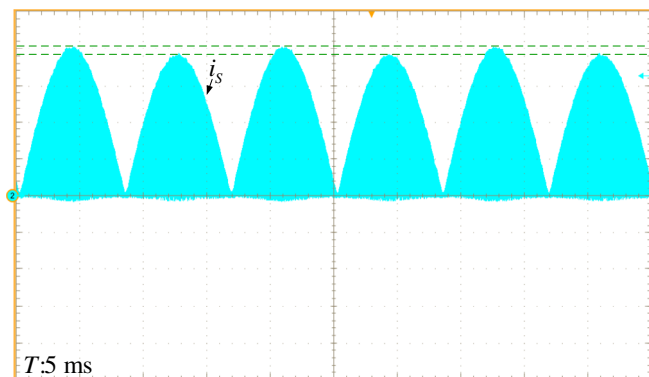


Fig. 3-46. Formas de onda: corrente do interruptor  $S$  em baixa frequência, (10 A/div).

Fonte: Autoria própria.



O aspecto da tensão medida sobre o interruptor  $S$  pode ser visto por intermédio da Fig. 3-48 e Fig. 3-49. Constata-se que a referida tensão possui uma componente em baixa frequência (120 Hz) e outra em alta frequência (50 kHz) e, apresenta amplitude máxima de aproximadamente 569 V.

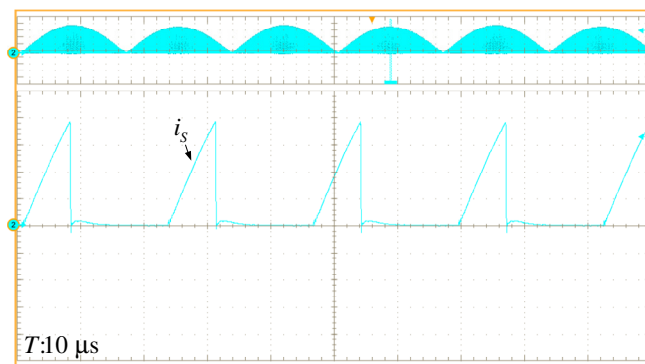


Fig. 3-47. Forma de onda: corrente de  $S$  em alta frequência, 10 A/div.  
Fonte: Autoria própria.

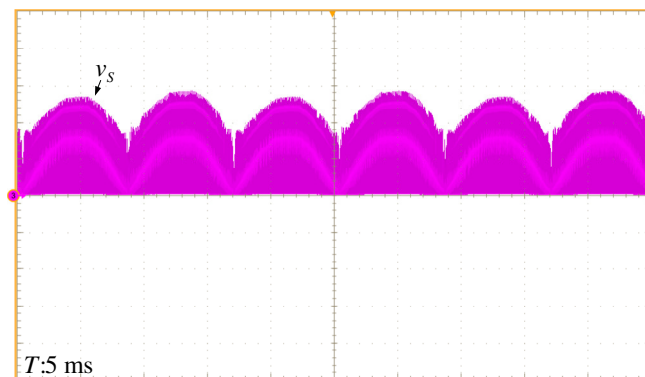


Fig. 3-48. Formas de onda: tensão sobre o interruptor  $S$  em baixa frequência, 200 V/div.  
Fonte: Autoria própria.

As formas de onda da corrente dos diodos  $D_{o1}$  e  $D_{o2}$  podem ser visualizadas por meio da Fig. 3-50 (a) e Fig. 3-50 (b). Verifica-se que as referidas correntes apresentam envoltória de um seno retificado com frequência de 60 Hz, ondulação com frequência de 50 kHz e amplitude máxima de aproximadamente 39,7 A.

Por intermédio da Fig. 3-51 (a) e Fig. 3-51 (b) são apresentados o comportamento da tensão medida sobre os diodos  $D_{o1}$  e  $D_{o2}$ .

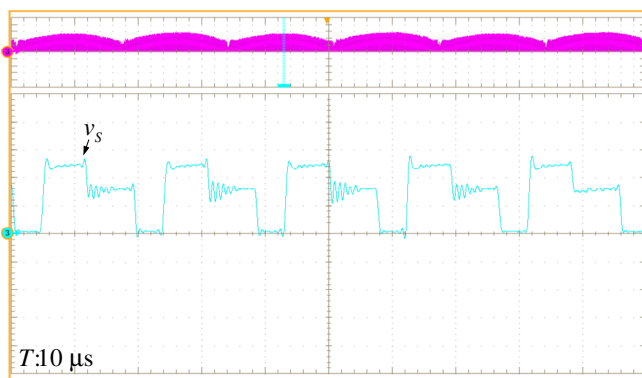
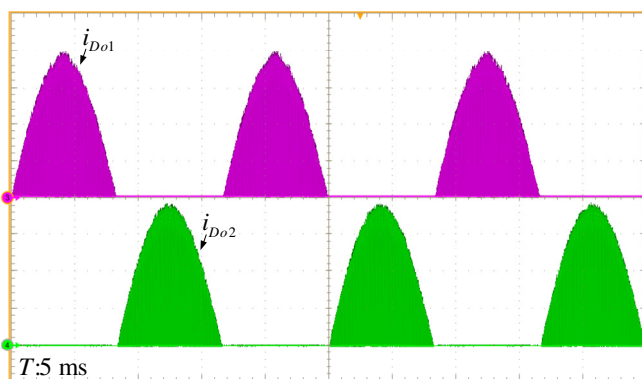
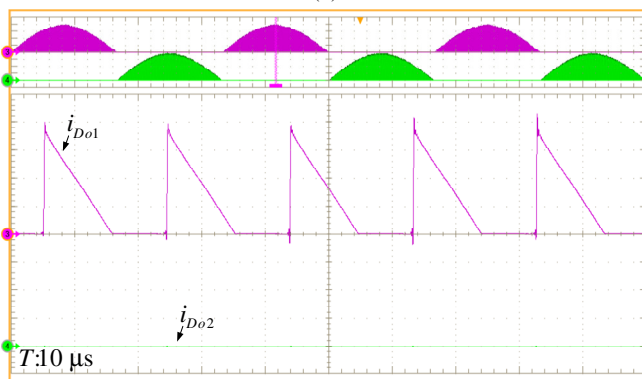


Fig. 3-49. Formas de onda: tensão em  $S$  em alta frequência, 200 V/div.  
Fonte: Autoria própria.



(a)



(b)

Fig. 3-50. Formas de onda: (a) corrente em  $D_{o1}$  e  $D_{o2}$  em baixa frequência;  
(b) corrente em  $D_{o1}$  e  $D_{o2}$  em alta frequência, todas com 10 A/div.  
Fonte: Autoria própria.

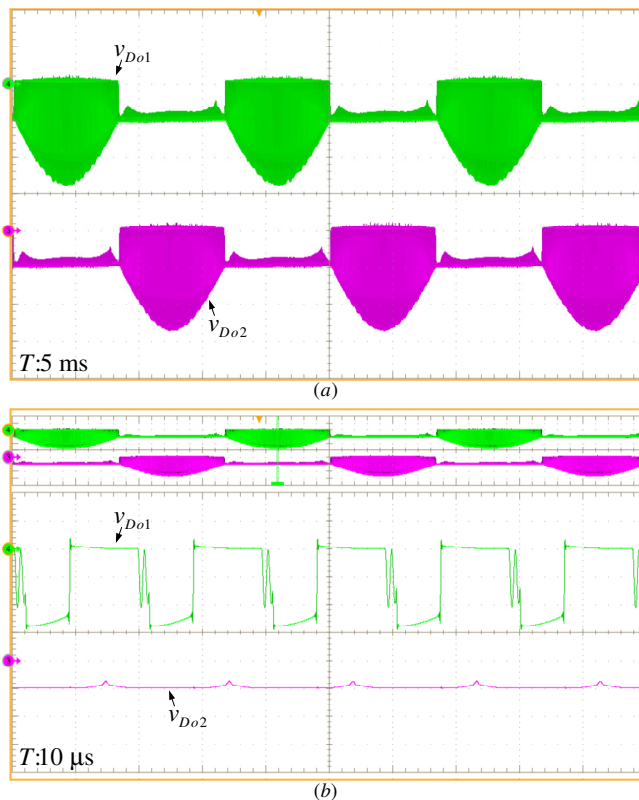


Fig. 3-51. Formas de onda: (a) tensão sobre  $D_{o1}$  e  $D_{o2}$  em baixa frequência; (b) tensão  $D_{o1}$  e  $D_{o2}$  em alta frequência, todas com 200 V/div.

Fonte: Autoria própria.

Observa-se que a tensão medida sobre os diodos  $D_{o1}$  e  $D_{o2}$  apresenta ondulação em alta frequência (50 kHz) e amplitude mínima de cerca de 556 V (valor teórico é de aproximadamente 542 V).

- Resposta ao degrau:

A resposta dinâmica do conversor SEPIC DT 1S frente a um degrau de carga de aproximadamente +15% (de 85% para 100% de carga) pode ser observada na Fig. 3-52. Verifica-se que o tempo de estabilização é de aproximadamente 250 ms e o sobressinal da tensão  $v_o$  é de cerca de 0,5 %. Embora a resposta dinâmica seja mais amortecida (em relação à resposta de simulação), os referidos valores mostram-se similares aos resultados obtidos via simulação (300 ms e 0,5%, respectivamente), por isto, considera-se que o projeto do controlador

está adequado.

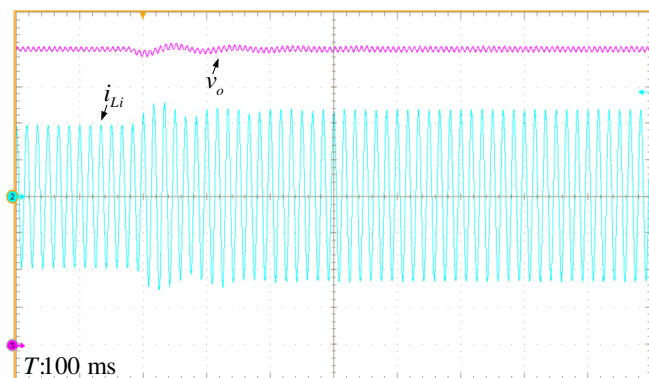


Fig. 3-52. Resposta dinâmica do conversor para um degrau de carga de +15%,  $v_o$ -50 V/div e  $i_{Li}$ -3 A/div.

Fonte: Autoria própria.

O desempenho dinâmico do conversor em questão, perante um degrau de carga de cerca de +43%, pode ser visualizado por meio da Fig. 3-53. Verifica-se que o sobre sinal e o tempo de estabilização da tensão de saída  $v_o$  estão próximos a 2,1% e 300 ms, sequencialmente.

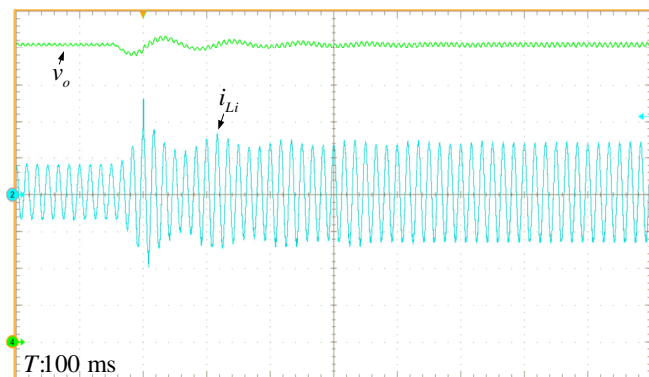


Fig. 3-53. Resposta dinâmica do conversor para um degrau de carga de +43%,  $v_o$ -50 V/div e  $i_{Li}$ -5 A/div.

Fonte: Autoria própria.

### 3.7.2 Resultados Experimentais: Retificador DT 2S

Por meio da Fig. 3-54 e Fig. 3-55 são expostas as formas de onda da corrente dos interruptores  $S_1$  e  $S_2$ . Observa-se que as referidas

correntes contém envoltória de um seno retificado com frequência de 60 Hz e, ondulação de cerca de 37,7 A com frequência de 50 kHz.

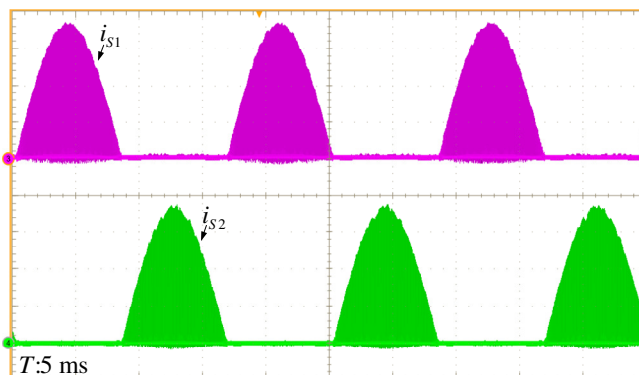


Fig. 3-54. Formas de onda: corrente dos interruptores  $S_1$  e  $S_2$  em baixa frequência, todas com 10 A/div.

Fonte: Autoria própria.

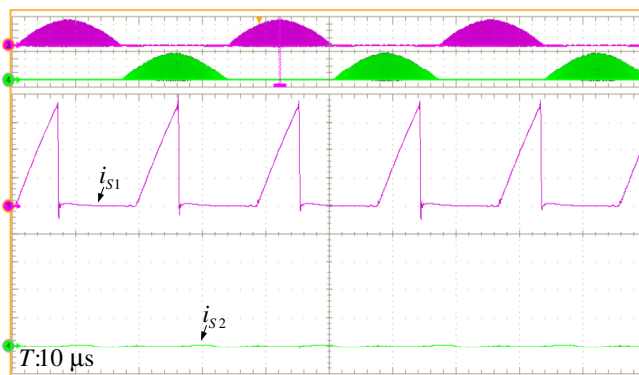


Fig. 3-55. Formas de onda: corr. em  $S_1$  e  $S_2$  em alta freq., todas com 10 A/div.

Fonte: Autoria própria.

As formas de onda das tensões sobre os elementos  $S_1$  e  $S_2$  podem ser visualizadas na Fig. 3-56 (a) e Fig. 3-56 (b). Estas apresentam valor máximo de cerca de 543 V e são constituídas por duas componentes, uma com frequência de 60 Hz e outra com frequência de 50 kHz.

### 3.7.3 Curvas Experimentais dos Retificadores DT 1S e 2S

Por meio da Fig. 3-57, Fig. 3-58 e Fig. 3-59 são apresentadas, respectivamente, as curvas experimentais de rendimento, distorção

harmônica total (THD) e fator de potência (FP) dos retificadores DT 1S e 2S.

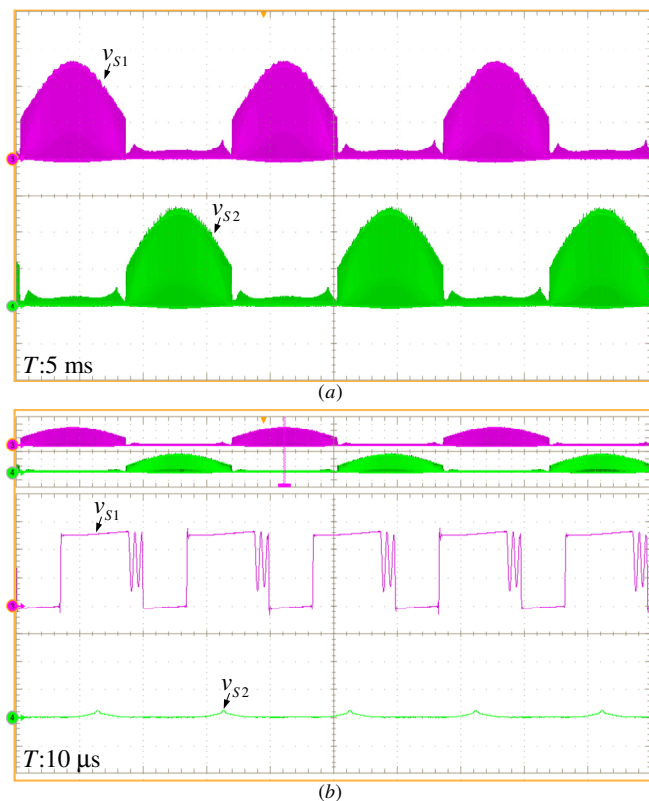


Fig. 3-56. Formas de onda: (a) tensão em  $S_1$  e  $S_2$  em baixa frequência; (b) detalhe da tensão em  $S_1$  e  $S_2$  em alta frequência, todas com 200 V/div.

Fonte: Autoria própria.

Observa-se por meio da Fig. 3-57 que o retificador 1S apresenta rendimento inferior ao retificador 2S em toda faixa de operação, o que é justificável, pois o retificador 2S apresenta menores perdas em condução por ter somente um diodo ativo na primeira etapa de operação. É relevante destacar que o rendimento máximo e rendimento a plena carga para estes retificadores são de 94,5% - 94,34% e 95,81% - 95,75%, respectivamente.

No que tange a distorção harmônica total, o retificador 2S possui melhor desempenho quando comparado ao retificador 1S. O menor

patamar da THD e o valor desta a plena carga para os referidos retificadores são, respectivamente, de 2,96% - 3,2% e 2,0% - 2,0%.

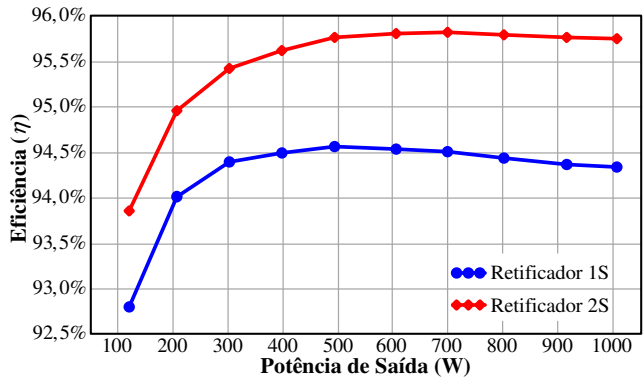


Fig. 3-57. Curvas experimentais do retificador DT 1S e 2S: rendimento *versus* potência de saída.  
Fonte: Autoria própria.

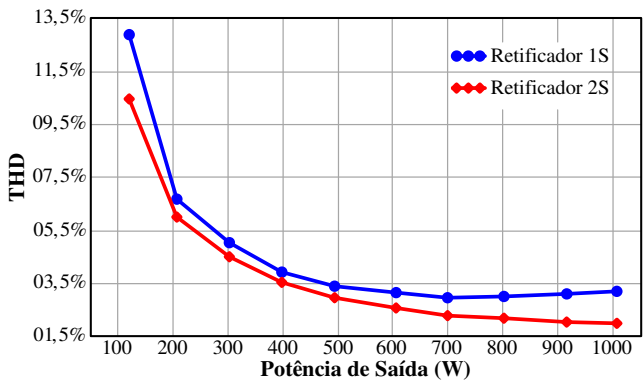


Fig. 3-58. Curvas experimentais do retificador DT 1S e 2S: THD *versus* potência de saída.  
Fonte: Autoria própria.

Em relação ao fator potência (Fig. 3-59), nota-se que a partir de 40% de carga os retificadores apresentam desempenho praticamente igual, com FP máximo de aproximadamente 0,9992 a plena carga.

3.7.4 Análise Comparativa entre o Retificador SEPIC Clássico e o Retificador SEPIC DT

A Tabela 3-5 apresenta um comparativo referente ao número de

componentes e aos esforços de tensão dos semicondutores do retificador SEPIC clássico apresentado na Fig. 2-9 e do conversor SEPIC DT exposto na Fig. 3-1. Verifica-se por meio da referida tabela que embora empregue um maior número de componentes, o conversor SEPIC DT apresenta menores esforços de tensão sobre seus semicondutores.

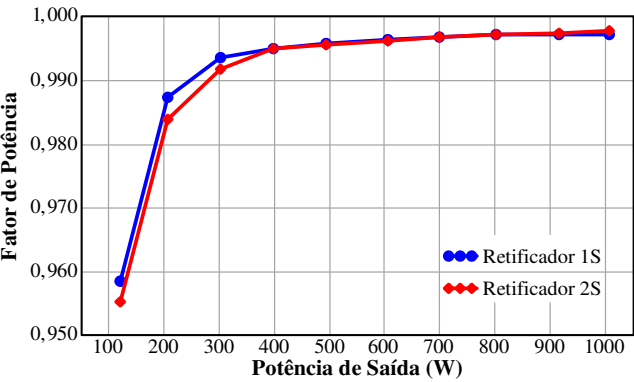


Fig. 3-59. Curvas experimentais do retificador DT 1S e 2S: fator de potência *versus* potência de saída.  
Fonte: Autoria própria.

Tabela 3-5. Análise comparativa entre: retifiador SEPIC clássico e retificador SEPIC DT.

Grandezas	Ret. SEPIC clássico	Retificador SEPIC DT			
		Célula 1S	Célula 2S	Célula 4S	Célula 1B
Números de Elementos	10	14	13	13	10
Máx. tensão diodo (os) de saída	$V_{in} + V_o$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$
Máx. tensão interruptores controlados	$V_{in} + V_o$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$

Fonte: Autoria própria.

3.8 CONCLUSÃO DO CAPÍTULO

Por intermédio deste capítulo foram apresentados os conceitos, etapas de operação, formas de onda teóricas, equacionamento, modelo



dinâmico e sua validação, resultados teóricos, resultados de simulação numérica e resultados experimentais referentes aos retificadores monofásicos SEPIC DT DCM 1S e 2S.

A partir dos estudos analíticos apresentados nas seções 3.3, 3.5, 3.6 e da validação experimental exposta na seção 3.7, constata-se que os referidos retificadores operam de forma adequada, apresentando baixa THD, elevado fator de potência e rendimento a plena carga de aproximadamente 94,34% – 1S e 95,75% – 2S.



## **RETIFICADOR SEPIC CLÁSSICO MONOFÁSICO INTEGRADO A CÉLULA DE CAPACITOR CHAVEADO**

### **4.1 INTRODUÇÃO**

Por intermédio deste capítulo são expostos os conceitos, etapas de operação, formas de onda teóricas, principais equações de projeto, modelo dinâmico, resultados de simulação numérica e resultados experimentais alusivos aos retificadores monofásicos SEPIC+SC 1S e 2S, os quais são concebidos a partir da integração do retificador SEPIC convencional ao conceito de capacitor chaveado.

### **4.2 RETIFICADOR MONOFÁSICO SEPIC INTEGRADO A CÉLULA DE CAPACITOR CHAVEADO**

A estrutura do retificador SEPIC+SC, a qual é apresentada na Fig. 4-1 (a), é concebida a partir da integração de um retificador SEPIC clássico à (às) célula (as) de capacitor chaveado. Por meio desta integração, a tensão de saída do retificador é multiplicada por um fator igual ou superior (caso seja utilizada mais de uma célula de capacitor chaveado) a dois e, os esforços de tensão sobre os semicondutores da estrutura permanecem equivalentes aos esforços dos semicondutores do retificador SEPIC clássico.

A multiplicação em questão é obtida por intermédio dos elementos  $C_S$ ,  $C_{o2}$ ,  $D_{e1}$ ,  $D_{e2}$ ,  $D_{e3}$  e  $D_{o2}$ . Uma célula de multiplicação clássica não utiliza os componentes  $D_{e1}$  e  $D_{o2}$ . Contudo, nesta tese é proposta a utilização destes elementos, pois os mesmos desviam do capacitor  $C_{i1}$  o fluxo de carga e descarga do capacitor  $C_S$ . Deste modo, a tensão no capacitor  $C_{i1}$  permanece inalterada, garantindo, deste maneira, a qualidade da corrente drenada da rede elétrica.

A célula de comutação de três estados do retificador SEPIC+SC pode ser implementada de três modos distintos como evidenciado na Fig. 4-1 (b), (c) e (d). Tais modos são denominados como 1S, 2S e 4S, respectivamente.

Embora apresente três modos distintos de implementação da célula de comutação, este trabalho somente apresentará os estudos

analíticos e verificação experimental das versões 1S e 2S do retificador SEPIC+SC, as quais podem ser visualizadas por meio das figuras Fig. 4-2 e Fig. 4-3.

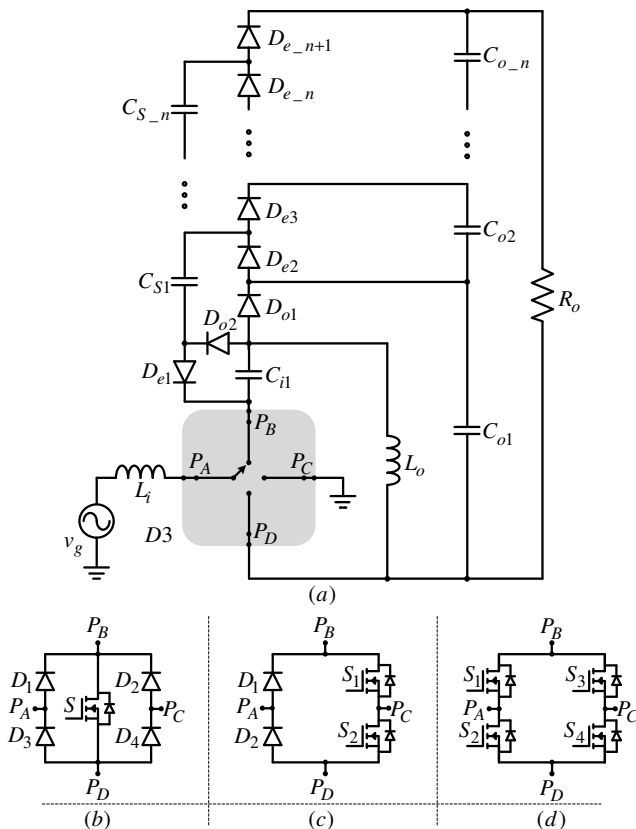


Fig. 4-1. Topologias propostas: (a) estrutura do retificador SEPIC+SC com célula de comutação genérica de três estados e célula de capacitor chaveado generalizada; (b) célula de comutação com um interruptor ativo (1S); (c) célula de comutação com dois interruptores ativos (2S – versão *bridgeless*) e (d) célula de comutação com quatro interruptores ativos (4S – versão *bridgeless*).

Fonte: Autoria própria.

### 4.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC+SC 1S

Sabe-se, como anteriormente evidenciado, que a qualidade da corrente de entrada está diretamente ligada ao número de harmônicos da tensão retificada que o capacitor  $C_{i1}$  é capaz de reproduzir. Logo, quanto mais harmônicos forem reproduzidos por este elemento, maior será a

qualidade da corrente drenada da rede elétrica.

Deste modo, admitindo-se que a tensão sobre este capacitor é igual a tensão retificada, o restante da estrutura opera de modo análogo ao conversor CC-CC SEPIC. Desta maneira, o estudo referente aos retificadores SEPIC+SC 1S e 2S podem ser desenvolvidos a partir dos conceitos e das considerações adotadas nas seções 2.2 e 2.7.

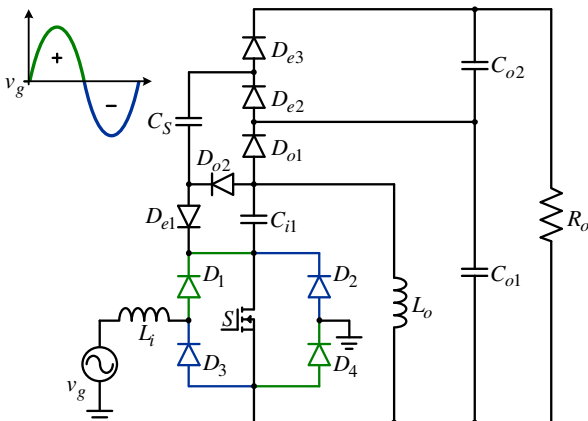


Fig. 4-2. Topologia do retificador monofásico SEPIC+SC 1S.

Fonte: Autoria própria.

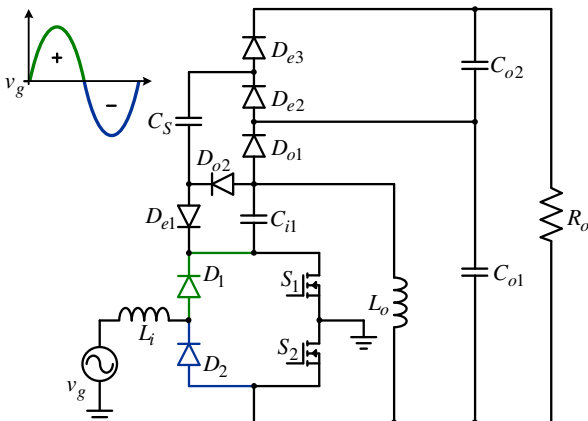


Fig. 4-3. Topologia do retificador monofásico SEPIC+SC 2S.

Fonte: Autoria própria.

#### 4.3.1 Etapas de Operação

No modo de operação descontínuo o retificador SEPIC+SC 1S

apresenta quatro etapas de operação, as quais são tratadas nas seções 4.3.1.1, 4.3.1.2, 4.3.1.3 e 4.3.1.4.

#### 4.3.1.1 Primeira Etapa de Operação

A primeira etapa de operação é inicializada no instante em que o interruptor  $S$  é comandado a conduzir. Os diodos  $D_{e1}$  e  $D_{e2}$  encontram-se polarizados diretamente e os diodos  $D_{o1}$  e  $D_{o2}$  polarizados reversamente. As correntes nos indutores  $L_i$  e  $L_o$  crescem linearmente segundo as relações (4.1) e (4.2), sequencialmente. O capacitor  $C_S$  é alimentado pelo capacitor  $C_{o1}$ . A resistência de carga  $R_o$  é suprida pelos capacitores  $C_{o1}$  e  $C_{o2}$ . O circuito equivalente referente à etapa em questão é apresentado por meio da Fig. 4-4.

$$i_{Li}(t) = \frac{v_g}{L_i}t + i_{Limin}(t) \quad (4.1)$$

$$i_{Lo}(t) = \frac{v_g}{L_o}t + i_{Lomin}(t) \quad (4.2)$$

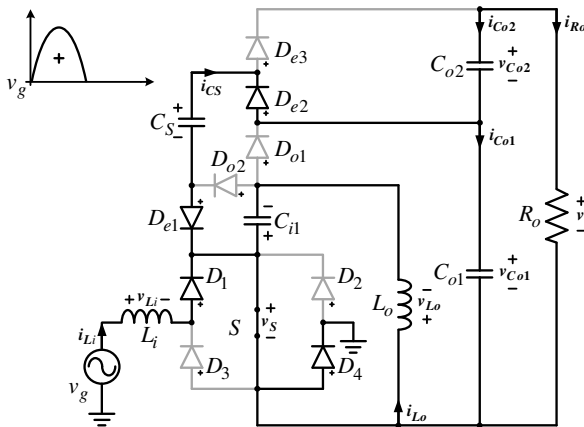


Fig. 4-4. Circuito equivalente referente à primeira etapa de operação.

Fonte: Autoria própria.

#### 4.3.1.2 Segunda Etapa de Operação

No momento em que o interruptor  $S$  é comandado a bloquear inicia-se a segunda etapa de operação. Neste instante, os elementos  $D_{e1}$  e  $D_{e2}$  entram em estado de bloqueio e os diodos  $D_{o1}$  e  $D_{o2}$  em condução,

com isto, a energia armazenada nos indutores  $L_i$  e  $L_o$  é transferida para os capacitores  $C_{o1}$ ,  $C_{o2}$  e para carga  $R_o$ . As correntes em  $L_i$  e  $L_o$  decrescem linearmente conforme as relações (4.3) e (4.4), respectivamente. Por meio da Fig. 4-5 é apresentado o circuito equivalente que representa a segunda etapa de operação do conversor.

$$i_{Li}(t) = -\frac{v_o}{2L_i}t + i_{Limax}(t) \quad (4.3)$$

$$i_{Lo}(t) = -\frac{v_o}{2L_o}t + i_{Lomax}(t) \quad (4.4)$$

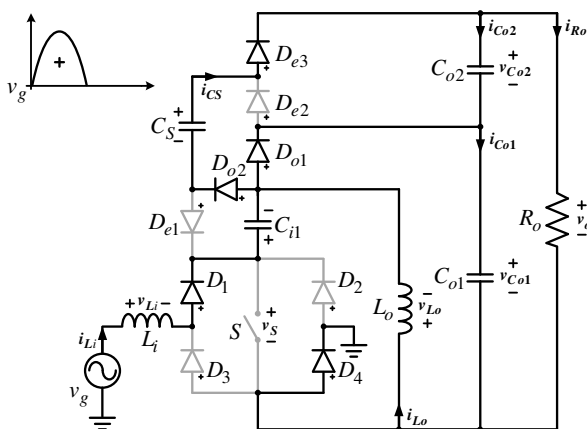


Fig. 4-5. Circuito equivalente referente à segunda etapa de operação.  
Fonte: Autoria própria.

#### 4.3.1.3 Terceira Etapa de Operação

A terceira etapa de operação é inicializada quando a corrente do semicondutor  $D_{o1}$  atinge o patamar zero. Logo, a energia armazenada nos indutores  $L_i$  e  $L_o$  segue sendo transferida aos elementos  $C_{o1}$ ,  $C_{o2}$  e  $R_o$  por meio dos componentes  $D_{o2}$  e  $C_S$ . O circuito equivalente que representa esta etapa pode ser visualizado por meio da Fig. 4-6.

#### 4.3.1.4 Quarta Etapa de Operação

A quarta etapa de operação inicia-se no momento em que as correntes dos indutores  $L_i$  e  $L_o$  igualam-se a um mesmo patamar, porém com sinais contrários. Desta maneira, o diodo  $D_{o2}$  é bloqueado e o retificador entra no modo descontínuo de operação. Por intermédio da

Fig. 4-7 é apresentado o circuito equivalente que representa a etapa de operação em questão.

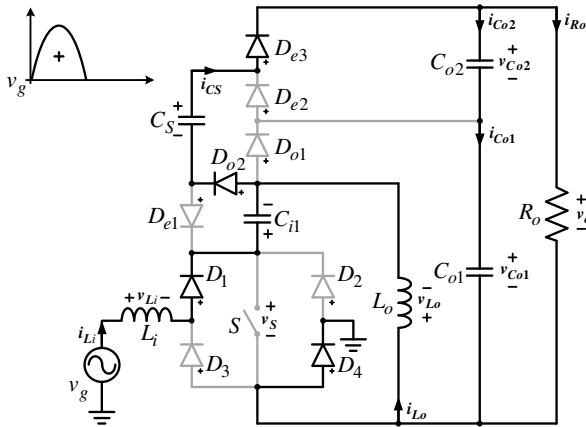


Fig. 4-6. Circuito equivalente referente à terceira etapa de operação.

Fonte: Autoria própria.

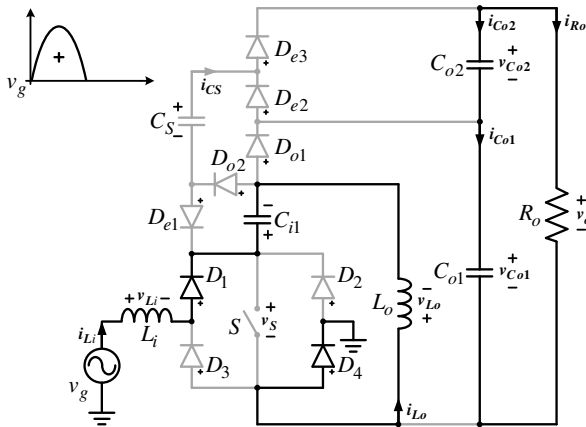


Fig. 4-7. Circuito equivalente referente à quarta etapa de operação.

Fonte: Autoria própria.

#### 4.3.2 Formas de Onda

Por intermédio da Fig. 4-8 e Fig. 4-9 são apresentadas, sequencialmente, as principais formas de onda ideais de corrente e tensão do retificador SEPIC+SC 1S para um período de comutação. Mediante a Fig. 4-8, pode-se observar as formas de onda de corrente nos



indutores  $L_i$ , e  $L_o$ , no capacitor  $C_{i1}$  e nos semicondutores  $S$ ,  $D_{o1}$  e  $D_{o2}$ . Por meio da Fig. 4-9 são expostas as tensões sobre os indutores  $L_i$ ,  $L_o$  e sobre os elementos  $S$ ,  $D_{o1}$  e  $D_{o2}$ .

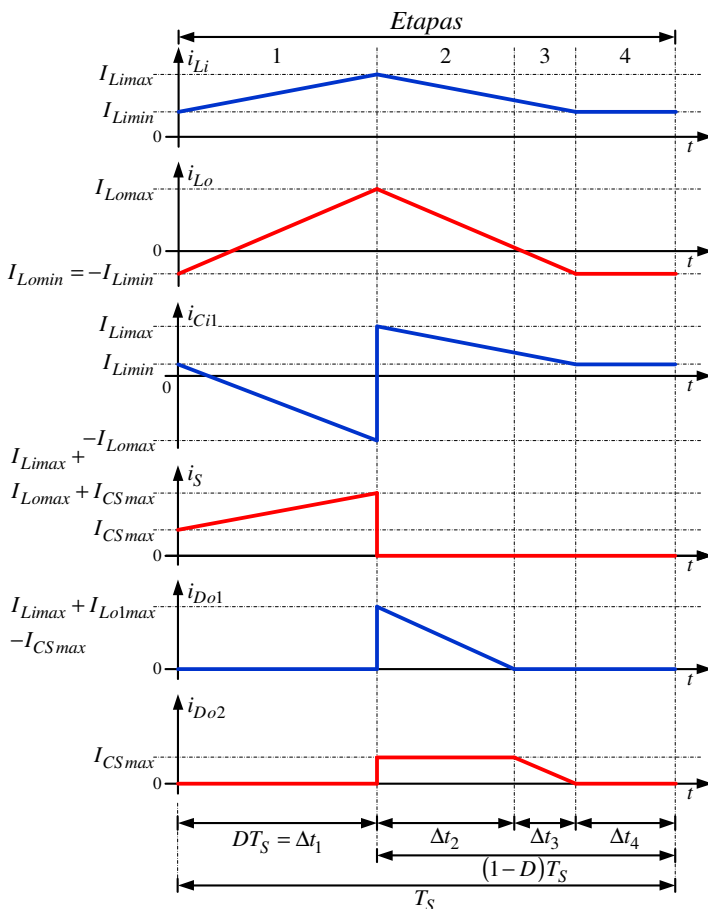


Fig. 4-8. Formas de onda ideais de corrente para um período de chaveamento.  
Fonte: Autoria própria

As principais formas de onda ideais do retificador SEPIC+SC 1S para um período da rede elétrica podem ser observadas na Fig. 4-10. Por intermédio desta são apresentadas: a tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ); a tensão de saída ( $v_o$ ) e a tensão nos capacitores  $C_{o1}$ ,  $C_{o2}$  e  $C_S$  ( $v_{Co1}$ ,  $v_{Co2}$  e  $v_{CS}$ ). Verifica-se que o referido retificador apresenta corrente e tensão de entrada em fase e com mesmo formato e, garante a multiplicação da tensão de saída ( $v_{Co1} = v_{Co2}$  e  $v_o = 2v_{Co1}$ ).

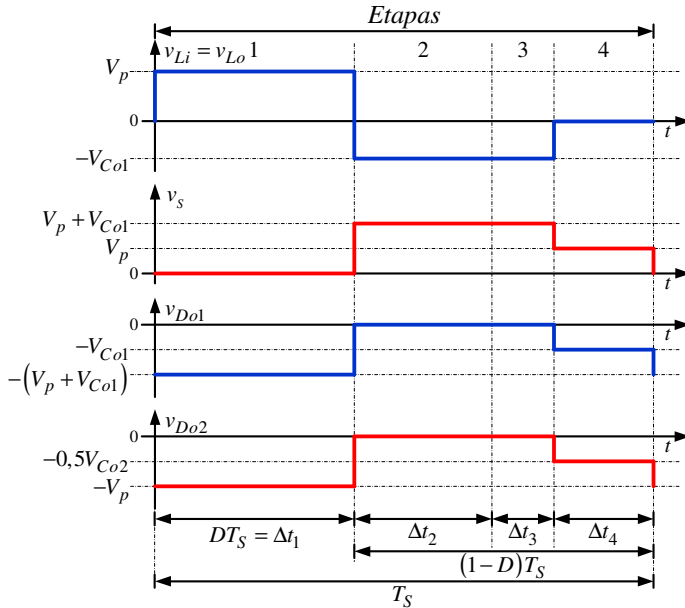


Fig. 4-9. Formas de onda ideais de tensão para um período de chaveamento.

Fonte: Autoria própria

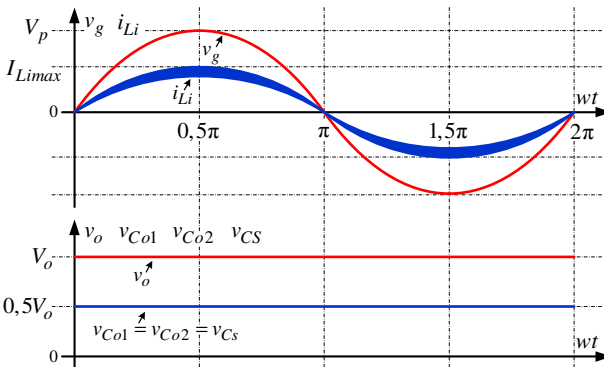


Fig. 4-10. Formas de onda ideais para um período da rede elétrica.

Fonte: Autoria própria.

#### 4.3.3 Principais Equações de Projeto do Retificador SEPIC+SC 1S

As principais equações de projeto do retificador SEPIC+SC 1S são apresentadas nesta seção. Estas são desenvolvidas basicamente a partir das expressões expostas nas seções 2.2 e 2.7.

- Magnéticos:

Os valores das indutâncias de  $L_i$  e  $L_o$  são definidos por (4.5) e (4.6), respectivamente. A indutância de  $L_i$  é calculada a partir de uma especificação de ondulação de corrente, e a indutância de  $L_o$  é obtida a partir do valor de  $L_i$ . Deste modo, garante-se que o retificador opere no modo de condução descontínuo.

$$L_i = \frac{V_p D}{\Delta i_{L_i} f_s} \quad (4.5)$$

$$L_o = \frac{L_i R_o V_p^2 D^2}{4L_i V_o^2 f_s^2 - R_o V_p^2 D^2} \quad (4.6)$$

As expressões (4.7), (4.8) e (4.9) definem, respectivamente, os valores médio e eficaz das correntes dos indutores  $L_i$  e  $L_o$ .

$$I_{Lief\_fr} = \frac{\sqrt{6}}{12} \sqrt{\frac{D^3 V_p^2 \left( 3V_o^2 L_i D (L_i + 2L_o) + L_o^2 (4V_o^2 - 9V_p^2 D) \right)}{V_o^2 L_i^2 L_o^2 f_s^2}} \quad (4.7)$$

$$I_{Lomed\_fr} = \frac{D^2 V_p^2 (L_i + L_o)}{2V_o L_i L_o f_s} \quad (4.8)$$

$$I_{Loef\_fr} = \sqrt{\frac{D^3 V_p^2 \left( V_o L_i^2 \left[ 16(4V_p - 6DV_p) + 3V_o \pi (4 - 3D) \right] + 27V_p^2 L_o D \pi (-L_o + 2L_i) \right)}{72V_o^2 L_i^2 L_o^2 f_s^2 \pi}} \quad (4.9)$$

- Capacitores:

Os valores das capacitâncias de  $C_{i1}$ ,  $C_{o1}$ ,  $C_{o2}$  são definidos por (4.10) e (4.11), sequencialmente.  $C_{i1}$  é definido a partir de uma especificação de ondulação de tensão e os capacitores  $C_{o1}$ ,  $C_{o2}$  determinados a partir de uma especificação de *hold-up-time*.

$$C_{i1} = \frac{D^2 V_p \left[ D(2V_p L_o - V_o L_i) + 2V_o L_i \right]^2}{8V_o^2 L_i^2 L_o \Delta V_{C_{i1}} f_s^2} \quad (4.10)$$

$$C_{o1} = C_{o2} = \frac{4P_o t_{hut}}{V_o^2 - (0,9V_o)^2} \quad (4.11)$$

A Fig. 4-11 (a) destaca a célula de capacitor chaveado integrada ao retificador SEPIC. Esta célula pode ser representada por um circuito equivalente conforme exposto na Fig. 4-11 (b), onde  $R_{on-c}$  é equivalente a soma das resistência dos semicondutores ( $R_{DSon}$ ) e da resistência dos capacitores ( $R_{SE}$ ).

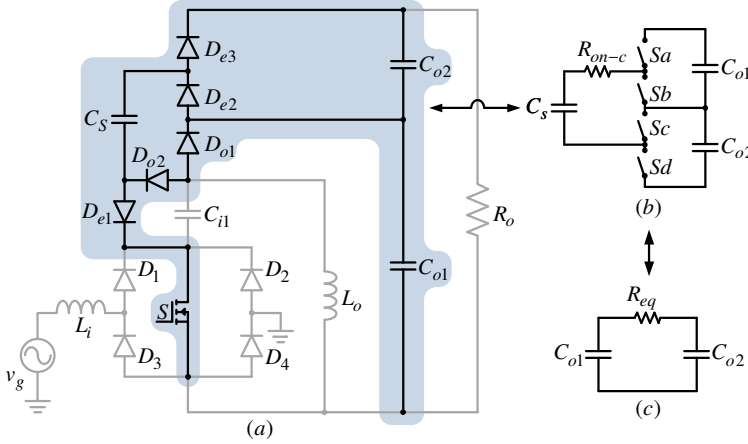


Fig. 4-11. (a) célula de capacitor chaveado integrado ao retificador SEPIC; (b) circuito equivalente da célula de capacitor chaveado empregada ao retificador SEPIC+SC 1S e (c) resistência equivalente da célula de capacitor chaveado.

Fonte: Autoria própria.

A célula de capacitor chaveado demonstrada na Fig. 4-11 (b), pode ser representada por uma resistência equivalente ( $R_{eq}$ ) como apresentado na Fig. 4-11 (c) e na expressão (4.12) [10]. A partir desta expressão, verifica-se que a referida resistência é uma função que depende da frequência de comutação  $f_s$ , da razão cíclica  $D$  e da constante de tempo  $\tau$  (4.13).

$$R_{eq} = \frac{1}{f_s C_S} \frac{1 - e^{\frac{-1}{f_s \tau}}}{1 - e^{\frac{-D}{f_s \tau}} - e^{\frac{-(1-D)}{f_s \tau}} + e^{\frac{-1}{f_s \tau}}} \quad (4.12)$$

$$\tau = C_S (R_{on} + R_{ce}) \quad (4.13)$$

A partir de (4.12) pode-se traçar o comportamento da resistência equivalente em função do produto  $f_s\tau$ , para uma razão cíclica fixa de 0,35, assim como demonstrado em Fig. 4-12.

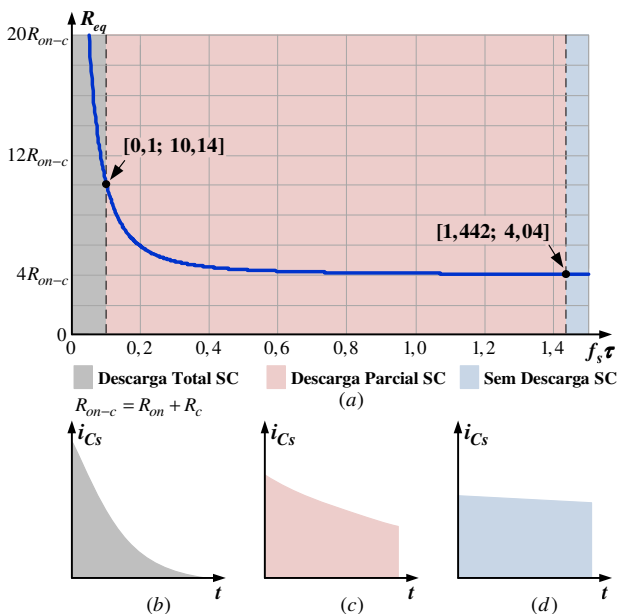


Fig. 4-12. Curva comportamental da resistência equivalente ( $R_{eq}$ ) em função de  $f_s\tau$ .

Fonte: Autoria própria.

Pelo aspecto da curva de  $R_{eq}$  e da corrente em cada um dos modos de operação torna-se evidente, como já argumentado anteriormente, que o modo DT-SC apresenta maiores perdas, porém demanda menor valor de capacitância, isto admitindo frequência constante. O modo SD-SC apresenta menores perdas, contudo demanda maiores capacitâncias, consequentemente maior volume. O modo DP-SC representa a melhor faixa de operação no que tange a escolha de um ponto ótimo de relação entre perdas e volume do capacitor  $C_s$ .

A Fig. 4-12 apresenta também um ponto interno ao modo DP-SC, cujo produto  $f_s\tau$  é equivalente a 0,5. Este ponto é escolhido, pois um  $f_s\tau > 0,5$  implica em aumentar o volume de  $C_s$  ou a frequência de comutação, sem que se reduza significativamente o valor de  $R_{eq}$  como pode ser observado na Tabela 4-1. Com relação ao modo DP-SC (Tabela 4-1), observa-se que ao se dobrar o valor  $f_s\tau$  obtém-se apenas um decréscimo 6% em relação à resistência equivalente, para tanto se

torna necessário utilizar o dobro de capacitância (o que aumenta volume) ou dobrar a frequência de chaveamento.

Definindo  $R_{eq}$  assim como demonstrado em (4.14) e efetuando a substituição de  $f_s\tau = 0,5$  e  $D = 0,35$  em (4.14), chega-se à expressão (4.15), que determina o valor da capacitância de  $C_S$ .

Tabela 4-1. Faixa dos modos de operação de  $C_S$ .

Modo de Operação	Intervalo de operação	$R_{eq}$ em relação à mínima resistência
DT-SC	$f_s\tau \leq 0,07$	$f_s\tau \leq 0,07 \rightarrow 3,27 \text{ pu}$
DP-SC	$0,07 < f_s\tau < 1,306$	$f_s\tau \leq 0,5 \rightarrow 1,08 \text{ pu}$
		$f_s\tau \leq 1,0 \rightarrow 1,02 \text{ pu}$
SD-SC	$f_s\tau \geq 1,306$	$f_s\tau \leq 1,4 \rightarrow 1,01 \text{ pu}$

\*Valor de  $R_{eq}$  ( $\approx 4,4 = 1\text{pu}$ ) quando o produto  $f_s\tau$  tende ao infinito.

Fonte: Autoria própria.

$$C_S = \frac{1}{f_s R_{eq}} \frac{1 - e^{\frac{-1}{f_s\tau}}}{1 - e^{\frac{-D}{f_s\tau}} - e^{\frac{-(1-D)}{f_s\tau}} + e^{\frac{-1}{f_s\tau}}} \quad (4.14)$$

$$C_S = \frac{1}{f_s R_{eq}} \frac{0,865}{0,366} \quad (4.15)$$

As expressões (4.16), (4.17), (4.18) e (4.19) definem, respectivamente, o valor eficaz das correntes de  $C_{il}$ ,  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ .

$$I_{C_{il}ef\_fr} = \sqrt{\frac{D^3 V_p^2 \left[ 3D \left[ -3L_i^2 V_o^2 \pi - 9L_o^2 V_p^2 \pi + 32L_i L_o V_p V_o \right] + 4V_o \left( 3L_i^2 V_o \pi + 32L_o^2 V_g \right) \right]}{72V_o^2 L_i^2 L_o^2 f_s^2 \pi}} \quad (4.16)$$

$$I_{C_{o1}ef\_fr} \cong \sqrt{\frac{8D^3 V_g^3 R_o^2 - 24DV_g V_o^2 L_{eq}^2 f_s^2}{9V_o L_{eq}^2 f_s^2 R_o^2 \pi} + \frac{2D(I_{CSmax}^2)}{3}} \quad (4.17)$$

$$I_{Co2ef\_fr} \cong \sqrt{\frac{4DV_p \left( R_o^2 I_{Co2max}^2 - V_o^2 \right) + V_o^3 \pi}{V_o R_o^2 \pi}} \quad (4.18)$$

$$I_{CSef\_fr} \cong \sqrt{\frac{DV_p I_{CSmax}^2 - I_{CSmin}^2 \left( 4DV_p - V_o \pi \right)}{V_o \pi}} \quad (4.19)$$

- Semicondutores:

A tensão máxima sobre os elementos  $S$ ,  $D_{o1}$ ,  $D_{o2}$ ,  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$  é definida, sequencialmente, por meio de (4.20), (4.21), (4.22) e (4.23).

$$V_{Smax} = V_p + 0,5V_o \quad (4.20)$$

$$V_{Do1max} = -(V_p + 0,5V_o) \quad (4.21)$$

$$V_{Do2max} = V_{De1max} = V_p \quad (4.22)$$

$$V_{De2max} = V_{De3max} = 0,5V_o \quad (4.23)$$

O valor eficaz da corrente do interruptor  $S$  e o valor médio da corrente dos semicondutores  $D_{o1}$ ,  $D_{o2}$ ,  $D_{e1}$ ,  $D_{e2}$ ,  $D_{e3}$ ,  $D1$ ,  $D2$ ,  $D3$  e  $D4$  são determinados por meio de (4.24), (4.25) e (4.26), respectivamente.

$$I_{Sef\_fr} = \sqrt{\frac{D \left( D^2 V_p^2 \pi + 2\pi f_s^2 L_{eq}^2 I_{CSmax}^2 \right) + 8DV_p f_s L_{eq} I_{CSmax}}{12\pi f_s^2 L_{eq}^2}} \quad (4.24)$$

$$I_{Do1med\_fr} = \dots I_{De3med\_fr} = I_{Ro} = \frac{D^2 V_p^2 (L_i + L_o)}{4V_o L_i L_o f_s} \quad (4.25)$$

$$I_{D1\dots Amed\_ret\_fr} = \frac{D^2 V_p (L_i + L_o)}{2\pi L_i L_o f_s} \quad (4.26)$$

- Característica estática:

O ganho estático para o retificador SEPIC+SC 1S é definido pela relação entre a tensão de saída e a tensão de pico de entrada assim como exposto na expressão (4.27).

O valor da resistência mínima e o valor da razão cíclica máxima para o referido retificador são definidos por meio de (4.28) e (4.29).

As curvas de característica estática do retificador em questão são

equivalentes às apresentadas na Fig. 2-8. Contudo, agora com o fator  $k_x$  definido por (4.30).

$$G = \frac{V_o}{V_p} = \frac{D}{2} \sqrt{\frac{R_o (L_i + L_o)}{L_i L_o f_s}} \quad (4.27)$$

$$R_{omin} = \frac{4L_i L_o f_s}{(1-D)^2 (L_i + L_o)} \quad (4.28)$$

$$D_{max} = 1 - 2 \sqrt{\frac{L_i L_o f_s}{R_o (L_i + L_o)}} \quad (4.29)$$

$$k_x = \sqrt{\frac{R_o (L_i + L_o)}{4L_i L_o f_s}} \quad (4.30)$$

#### 4.4 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC+SC 2S

O retificador SEPIC+SC 2S possui quatro etapas de operação e elas são análogas às apresentadas na seção 3.3.1. Os seus respectivos circuitos equivalentes podem ser visualizados por intermédio da Fig. 4-13, Fig. 4-14, Fig. 4-15 e Fig. 4-16.

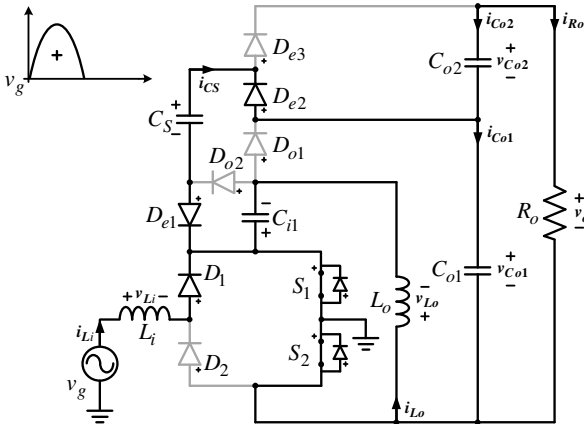


Fig. 4-13. Circuito equivalente referente à primeira etapa de operação.  
Fonte: Autoria própria.

##### 4.4.1 Formas de Onda

Esta seção se limitará a apresentar as formas de ondas referentes



aos elementos  $S_1$  e  $S_2$ , tendo em vista que as formas de onda dos demais componentes são equivalentes as do retificador SEPIC+SC 1S.

Por meio da Fig. 4-17 são apresentadas as formas de onda de corrente e tensão dos semicondutores  $S_1$  e  $S_2$ .

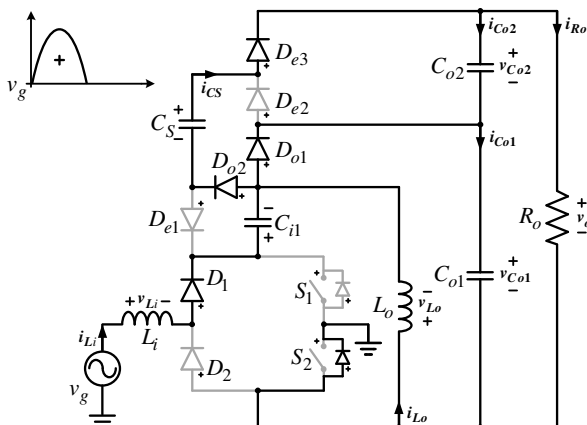


Fig. 4-14. Circuito equivalente referente à segunda etapa de operação.

Fonte: Autoria própria.

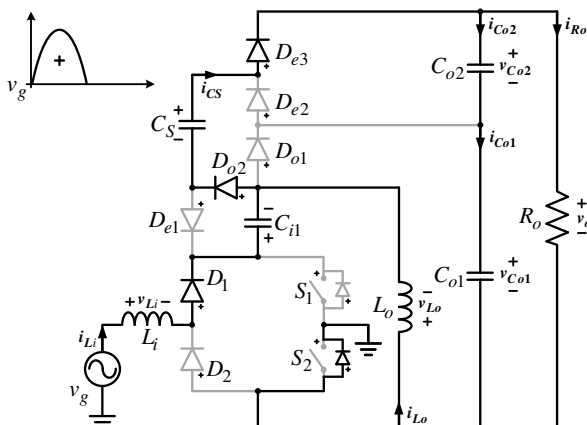


Fig. 4-15. Circuito equivalente referente à terceira etapa de operação.

Fonte: Autoria própria.

#### 4.4.2 Equacionamento

Assim como para as formas de onda, esta seção se limitará a apresentar as equações de projeto referentes aos interruptores  $S_1$  e  $S_2$ .

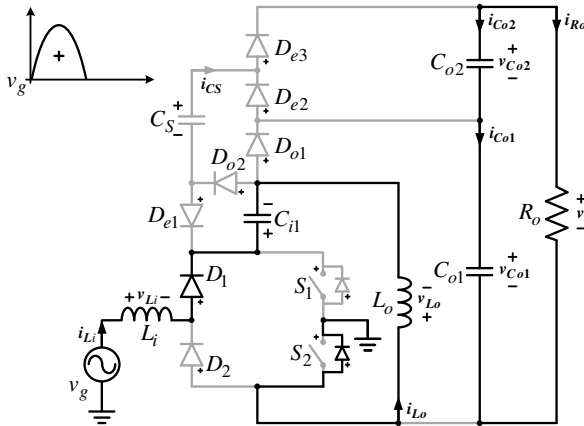


Fig. 4-16. Circuito equivalente referente à quarta etapa de operação.  
Fonte: Autoria própria.

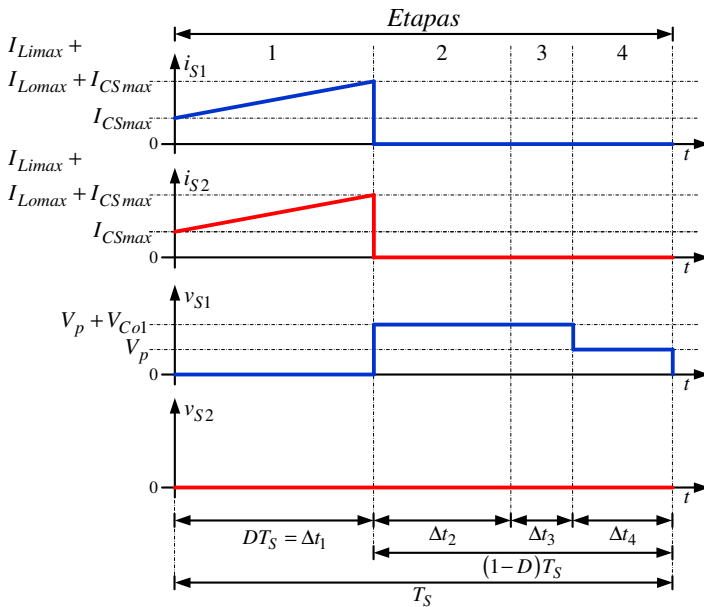


Fig. 4-17. Formas de onda de corrente e tensão dos interruptores  $S_1$  e  $S_2$ .  
Fonte: Autoria própria.

Por intermédio de (4.31) e (4.32), são definidos, respectivamente, os esforços máximos de tensão e o valor eficaz da corrente dos semicondutores  $S_1$  e  $S_2$ .

$$V_{S1max} = V_{S2max} = V_p + 0,5V_o \quad (4.31)$$

$$I_{S1ef\_fr} = I_{S2\_fr} \cong \frac{\left\{ \begin{aligned} &3D^2V_p^2V_o^2\pi \left[ L_i^2 (D^2 - 4D + 8) + 4L_o (L_o + 2L_i) \right] \\ &+ 12V_o f_s L_i L_o^2 I_{CSmax} (4V_o f_s L_i I_{CSmax} \pi + D^2 V_p^2) \\ &+ 24DV_p V_o^2 f_s L_i L_o I_{CSmax} [L_i (4 - D) + 2L_o] \\ &+ 32D^3 V_p^3 V_o L_i L_o (2 - D) \end{aligned} \right\}}{144\pi V_o^2 L_i^2 L_o^2 f_s^2} \quad (4.32)$$

#### 4.5 MODELAGEM DOS RETIFICADORES MONOFÁSICOS SEPIC+SC 1S E 2S

A modelagem dos retificadores SEPIC+SC 1S e 2S é desenvolvida a partir da estratégia de controle apresentada na Fig. 3-14, do circuito equivalente para determinação da planta da tensão de saída exposto na Fig. 3-15, e das considerações adotadas na seção 3.5.

##### 4.5.1 Planta dos Retificadores Monofásicos SEPIC+SC 1S e 2S

De modo análogo a argumentação apresentada na seção 3.4.1, ao se aplicar um distúrbio na razão cíclica  $d$ , ter-se-á uma variação na corrente  $i_o$  composta pela variação direta e variação indireta: a variação direta origina-se da alteração da razão cíclica em (4.25), e a indireta é ocasionada pela variação da tensão de saída. Desta forma, a variação de  $i_o$ , para uma determinada perturbação de razão cíclica, pode ser dada em funções parciais como exposto em (4.33).

$$\hat{i}_o(\hat{d}, \hat{v}_o) = \frac{\partial i_o}{\partial d} \hat{d} + \frac{\partial i_o}{\partial v_o} \hat{v}_o \quad (4.33)$$

Efetuando-se as devidas substituições e realizando as operações matemáticas pertinentes, assim como apresentado na seção 3.5.1, obtém-se a expressão (4.34), a qual representa a função de transferência do modelo da planta pelo método de pequenos sinais. A variável  $k$  é determinada por (4.35) e a capacitância equivalente de saída ( $C_{oeq}$ ) definida por (4.36).

Ao se realizar as devidas substituições em (4.34) chega-se a equação (4.37), a qual é a representação final do modelo proposto.

$$G(s) = \frac{\widehat{v_o}(s)}{\widehat{d}(s)} = \frac{k}{R_o C_{oeq}s + \frac{Dk}{2V_o} + 1} \quad (4.34)$$

$$k = \frac{R_o D V_p^2 (L_i + L_o)}{2V_o L_i L_o f_s} \quad (4.35)$$

$$C_{oeq} = D \left( \frac{(C_{o1} + C_S) C_{o2}}{(C_{o1} + C_S) + C_{o2}} \right) + \frac{2DV_p}{V_o} \left( \frac{(C_{o2} + C_S) C_{o1}}{(C_{o2} + C_S) + C_{o1}} \right) + \frac{V_o (1-D) - 2DV_p}{V_o} \left( \frac{C_{o1} C_{o2}}{C_{o1} + C_{o2}} \right) \quad (4.36)$$

$$G(s) = \frac{2286}{0,415s + 2} \quad (4.37)$$

#### 4.5.2 Validação do Modelo

Utilizando-se dos valores dos elementos passivos da Tabela 4-2, dos parâmetros de projeto apresentados na Tabela 4-3 e da metodologia de validação adotada na seção 3.5.2, obteve-se como respostas dos retificadores ( $v_o$ ) e do modelo ( $v_{mod}$ ) representado por (4.37), as formas de onda expostas em Fig. 4-18.

Verifica-se por meio da Fig. 4-18 que a resposta dinâmica dos retificadores monofásicos SEPIC+CS 1S e 2S e do modelo proposto, frente à perturbação de razão cíclica, possuem comportamento similar. Logo, pode-se afirmar que o modelo proposto representa de forma satisfatória o comportamento dinâmico dos referidos retificadores.

#### 4.5.3 Compensador, Ganho do Modulador e Ganho do Sensor

O projeto do compensador, a determinação do ganho do modulador e do ganho do sensor são análogos aos expostos nas seções 3.5.3, 3.5.4 e 3.5.5, respectivamente. Desta forma, torna-se desnecessário reapresentá-los.

### 4.6 SIMULAÇÃO NUMÉRICA: RETIFICADORES SEPIC+SC 1S E 2S

A partir dos parâmetros apresentados na Tabela 4-3 e dos valores dos elementos passivos da Tabela 4-2, foi desenvolvida uma simulação

numérica por meio do *software* PSIM<sup>®</sup>, com a finalidade de validar o equacionamento elaborado para os retificadores SEPIC+SC 1S e 2S.

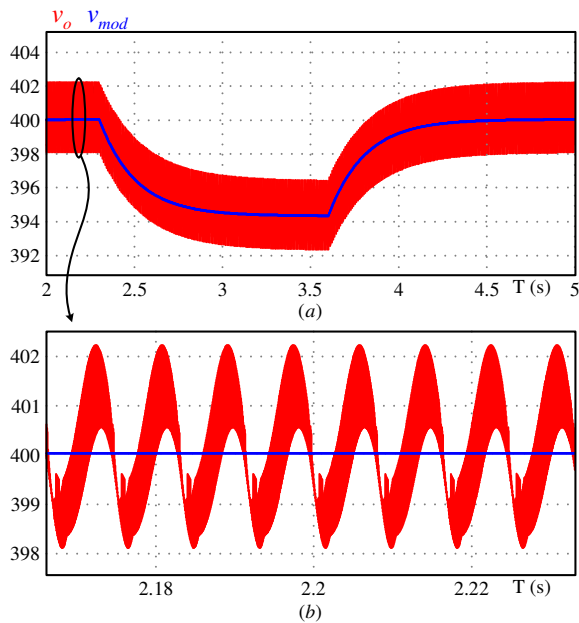


Fig. 4-18. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de  $v_o$  e  $v_{mod}$ , (b) detalhe do regime estacionário de  $v_o$  e  $v_{mod}$ .

Fonte: Autoria própria.

Tabela 4-2. Valores de projeto: elementos passivos.

Elementos	Valores
Indutor $L_i$	6,77 mH
Indutor $L_o$	120,6 $\mu$ H
Capacitor $C_{i1}$	700 nF
Capacitores $C_{o1}$ , $C_{o2}$ e $C_S$	2 mF

Fonte: Autoria própria.

4.6.1 Resultados de Simulação Numérica: Retificador SEPIC+SC 1S

- Tensões e correntes de entrada e saída:

Por intermédio das Fig. 4-19 e Fig. 4-20 são apresentadas,

sequencialmente, as formas de onda da tensão e corrente de entrada e da tensão e corrente de saída. Destaca-se, que em ambas as figuras, as correntes são multiplicadas por uma constante a fim de proporcionar uma visualização adequada destas em relação as suas respectivas tensões.

Tabela 4-3. Especificações de projeto.

Especificação	Valores – Retificadores SEPIC+SC 1S e 2S
Tensão de entrada – $V_p$	311 V
Tensão de saída – $V_o$	400 V
Potência de saída – $P_o$	500 W
Frequência de comutação – $f_s$	50 kHz
Razão cíclica – $D$	0,35
Tempo <i>hold-up-time</i> – $T_{hut}$	8,33 ms
Ondulação da tensão em $C_{i1}$ - $\Delta V_{Ci1}$ e $C_{i2}$ - $\Delta V_{Ci2}$	20%
Ondulação da corrente do indutor $L_i$ - $\Delta i_{Li}$	10%

Fonte: Autoria própria.

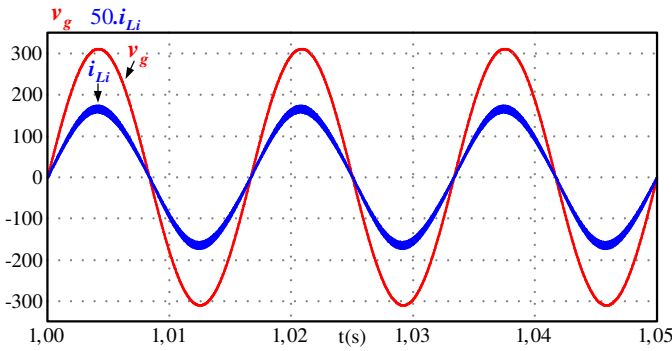


Fig. 4-19. Formas de onda: tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ).

Fonte: Autoria própria.

Verifica-se por meio da Fig. 4-19 que a tensão ( $v_g$ ) e corrente ( $i_{Li}$ ) de entrada estão em fase e com mesmo formato, o que caracteriza o elevado fator de potência da topologia.

Por meio da Fig. 4-20 constata-se que a tensão  $v_o$  e a corrente  $i_{Ro}$

possuem ondulações com frequência de 120 Hz e 50 kHz e apresentam valor médio de aproximadamente 400 V e 1,25 A (312,5 A/250), respectivamente. Logo, o retificador proposto processa cerca de 500 W.

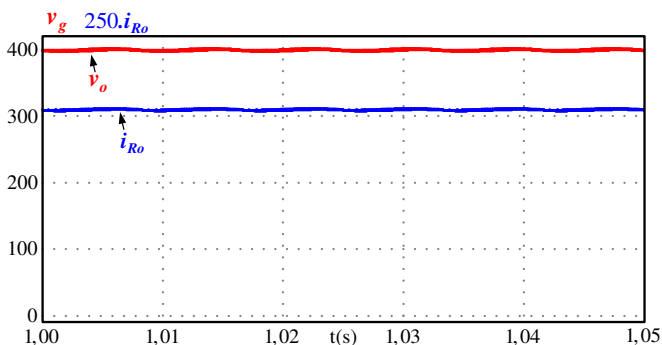


Fig. 4-20. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).

Fonte: Autoria própria.

- Capacitores  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ :

Por meio da Fig. 4-21 são expostas as formas de onda da tensão dos capacitores  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ . Nota-se que as tensões  $v_{Co1}$  e  $v_{Co2}$  são subtraídas por uma constante. Esta operação é efetuada com a finalidade de evitar a sobreposição destas e assim proporcionar uma melhor visualização das mesmas e também de  $v_{CS}$ . Tais tensões mostram-se equalizadas e apresentam valor médio de aproximadamente 200 V.

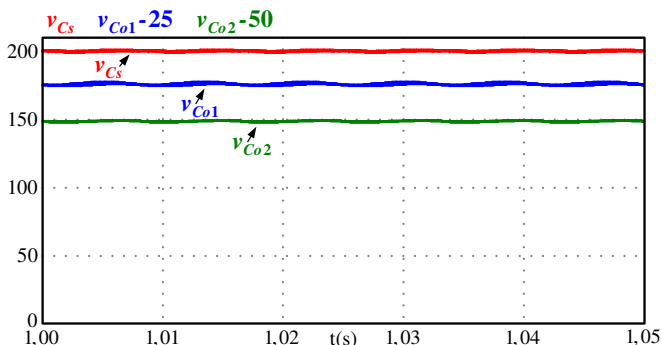


Fig. 4-21. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ .

Fonte: Autoria própria.

Apresenta-se por intermédio da Fig. 4-22 a tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e a tensão de saída do retificador ( $v_o$ ). Observa-se

por meio desta, que a tensão  $v_o$  é obtida a partir da soma das tensões de  $C_{o1}$  e  $C_{o2}$ , ou seja,  $v_o = v_{Co1} + v_{Co2}$ . Deste modo, tem-se comprovado que o retificador SEPIC+SC 1S é capaz, como já argumentado, de proporcionar, quando comparado a retificador SEPIC clássico, o dobro do valor de tensão de saída mantendo os mesmos esforços de tensão (Fig. 4-25 e Fig. 4-26) sobre os seus semicondutores.

A forma de onda da corrente do capacitor  $C_S$  pode ser observada na Fig. 4-23 e na Fig. 4-24. Constata-se que a referida corrente possui ondulações com frequência de 120 Hz e 50 kHz e apresenta valor eficaz em torno de 3,68 A.

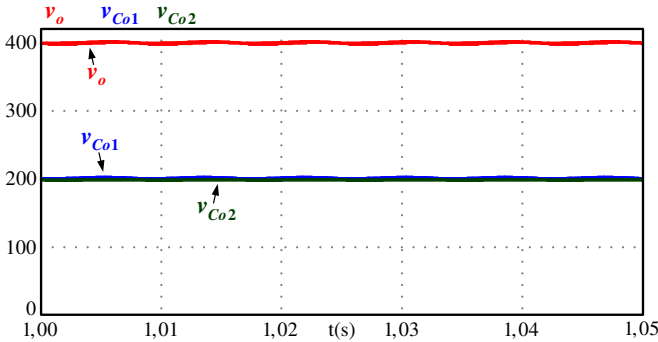


Fig. 4-22. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída.

Fonte: Autoria própria.

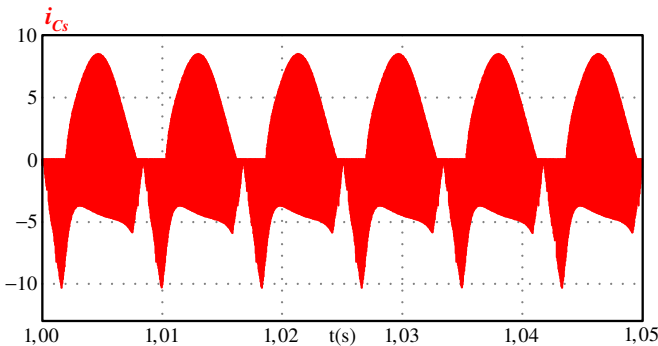


Fig. 4-23. Formas de onda: corrente do capacitor  $C_S$  em baixa frequência.

Fonte: Autoria própria.

- Semicondutores  $S$ ,  $D_{o1}$ :

O comportamento da tensão sobre os semicondutores  $S$  e  $D_{o1}$



pode ser observado por meio da Fig. 4-25 e Fig. 4-26, respectivamente.

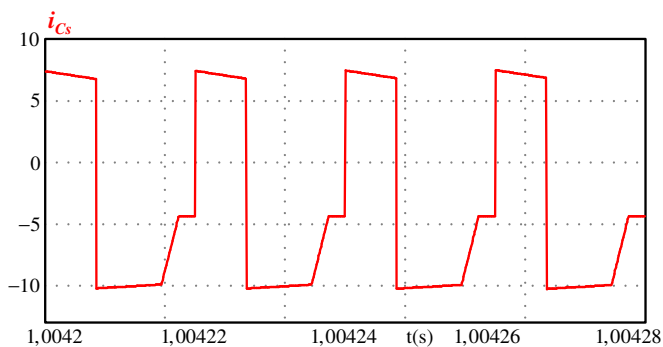


Fig. 4-24. Formas de onda: corrente do capacitor  $C_S$  em alta frequência.  
Fonte: Autoria própria.

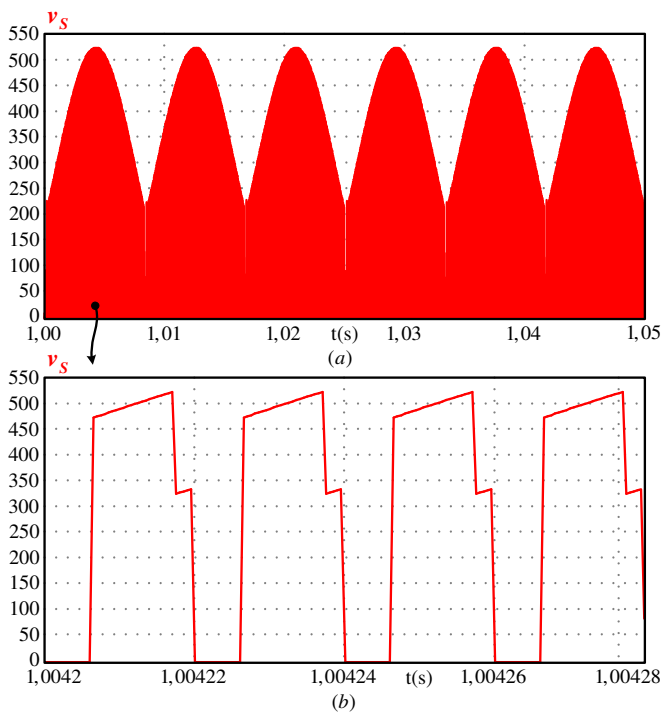


Fig. 4-25. Formas de onda: (a) tensão sobre o interruptor  $S$  em baixa frequência;  
(b) tensão do interruptor  $S$  em alta frequência.

Fonte: Autoria própria.

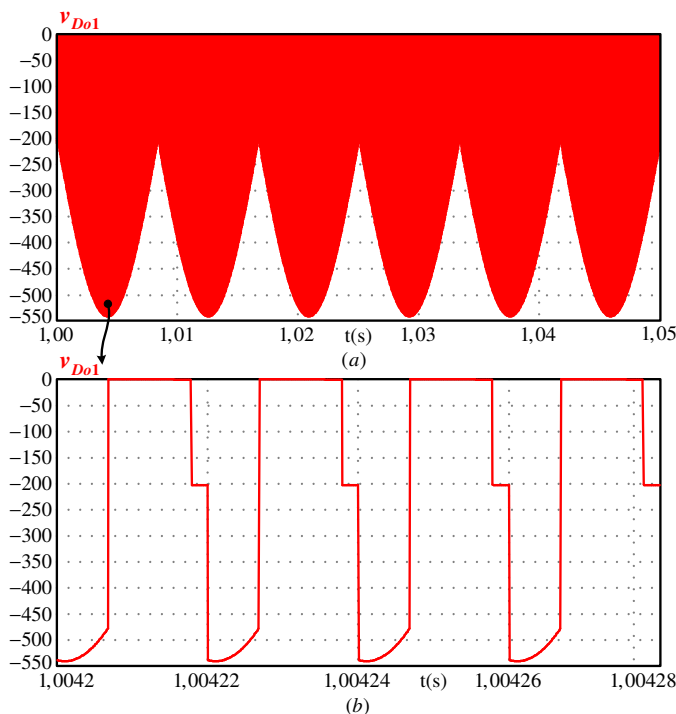


Fig. 4-26. Formas de onda: (a) tensão sobre o diodo  $D_{o1}$  em baixa frequência; (b) detalhe da tensão sobre o diodo  $D_{o1}$  em alta frequência.

Fonte: Autoria própria.

Observa-se que as tensões sobre os elementos  $S$  e  $D_{o1}$  (Fig. 4-25 e Fig. 4-26) são constituídas por duas componentes, uma com frequência de 60 Hz e outra com frequência de 50 kHz. A tensão máxima aplicada sobre o interruptor  $S$  é igual a 528 V enquanto que a tensão reversa máxima imposta ao diodo  $D_{o1}$  é equivalente a 540 V (valores teóricos: 542 V e 542 V, respectivamente).

#### 4.6.2 Resultados de Simulação Numérica: Retificador SEPIC+SC 2S

Esta seção se restringirá a apresentar as formas de ondas referentes aos semicondutores  $S_1$  e  $S_2$ , isto, pois as formas de onda dos demais elementos são equivalentes as do retificador SEPIC+SC 1S já expostas no item 4.6.1.

A forma de onda da tensão sobre os interruptores  $S_1$  e  $S_2$  pode ser visualizada por intermédio da Fig. 4-27 (a) e Fig. 4-27 (b). Verifica-se que as tensões em questão possuem componentes com frequências de

60 Hz e 50 kHz e apresentam amplitude máxima de aproximadamente 528 V (valor teórico é de 542 V).

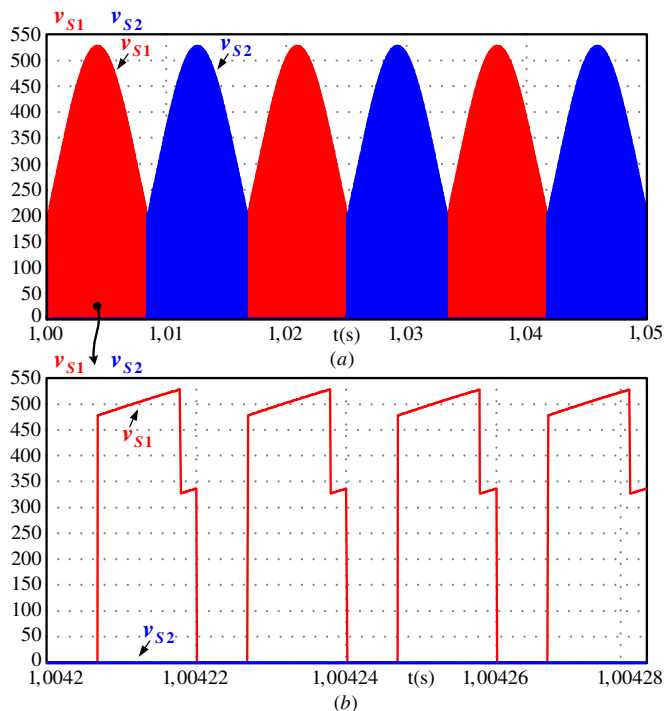


Fig. 4-27. Formas de onda: (a) tensão sobre os interruptores  $S_1$  e  $S_2$  em baixa frequência; (b) tensão sobre os interruptores  $S_1$  e  $S_2$  em alta frequência.

Fonte: Autoria própria.

#### 4.6.3 Análise Comparativa: Resultados Teóricos e de Simulação

A presente seção tem por objetivo confrontar os valores teóricos e os valores obtidos via simulação numérica, referentes aos esforços de tensão e corrente dos retificadores SEPIC+SC 1S e 2S. Para tanto elaborou-se a Tabela 4-4.

A partir dos dados expostos na referida tabela, torna-se possível afirmar que os resultados teóricos e os resultados de simulação numérica são semelhantes, com erro percentual máximo de cerca de 10%. Deste modo, atesta-se que o equacionamento desenvolvido é capaz de definir, com considerável exatidão, os valores das grandezas dos retificadores tratados neste capítulo.

Tabela 4-4. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente dos retificadores SEPIC+SC 1S e 2S.

GRANDEZAS	RESULTADOS					
	Ret. SEPIC+SC 1S			Ret. SEPIC+SC 2S		
	Teor.	Siml.	Er. %	Teor.	Siml.	Er. %
$I_{Lief\_fr}$	2,27 A	2,30 A	1,32	2,27 A	2,30 A	1,32
$I_{Lomed\_fr}$	2,5 A	2,50 A	0,00	2,5 A	2,50 A	0,00
$I_{Loef\_fr}$	5,12 A	5,19 A	1,37	5,12 A	5,19 A	1,37
$I_{Ci1ef}$	3,78 A	3,87 A	2,38	3,78 A	3,87 A	2,38
$V_{Ci1max}$	342 V	339 V	0,88	342 V	339 V	0,88
$I_{Co1ef}$	6,47 A	5,82 A	10,61	6,47 A	5,82 A	10,01
$I_{Co2ef}$	1,91 A	1,95 A	2,05	1,91 A	1,95 A	2,05
$I_{Csef}$	3,97 A	3,68 A	7,88	3,97 A	3,68 A	7,88
$V_{Co1med}$	200 V	201 V	0,50	200 V	201 V	0,50
$V_{Co2med}$	200 V	199 V	0,50	200 V	199 V	0,50
$V_{Csmed}$	200 V	200 V	0,00	200 V	200 V	0,00
$V_{omed}$	400 V	400 V	0,00	400 V	400 V	0,00
$I_{Sef\_fr}$	6,3 A	7,03 A	10,38	-	-	-
$V_{Smax}$	542 V	528 V	2,60	-	-	-
$I_{S1ef\_fr}$ e $I_{S2ef\_fr}$	-	-	-	5,94 A	6,43 A	7,62
$V_{S1max}$ e $V_{S2max}$	-	-	-	542 V	528 V	2,60
$I_{Do1med\_fr}$ e $I_{Do2med\_fr}$	1,25 A	1,25 A	0,00	1,25 A	1,25 A	0,00
$V_{Do1max}$	542 V	541 V	0,18	542 V	541 V	0,18
$V_{Do2max}$	342 V	340 V	0,58	342 V	340 V	0,58
$I_{De1med\_fr}$ .. $I_{De3med\_fr}$	1,25 A	1,25 A	0,00	1,25 A	1,25 A	0,00
$V_{De1max}$	342 V	340 V	0,58	342 V	340 V	0,58
$V_{De2max}$ e $V_{De3max}$	200 V	201 V	0,50	200 V	201 V	0,50

Fonte: Autoria própria.

4.7 RESULTADOS EXPERIMENTAIS: RETIFICADORES SEPIC+SC 1S E 2S

Os protótipos apresentados por intermédio da Fig. 4-29 e Fig. 4-31 foram construídos com a finalidade de validar a operação, o

equacionamento e a simulação numérica desenvolvida para os retificadores SEPIC+SC 1S e 2S. Para tanto, utilizaram-se as especificações de projetos contidas na Tabela 4-3 e os valores dos elementos passivos expostos na Tabela 4-2. Os elementos utilizados na montagem dos referidos protótipos podem ser visualizados por meio da Tabela 4-5.

Tabela 4-5. Elementos utilizados na montagem dos protótipos.

Especificação	Valores – Ret. 1S e 2S
Indutor $L_i$	Indutância: 6,77 mH
	Espiras: 220
	Fio: 18 AWG
	Núcleo: APH46P60
Indutor $L_o$	Indutância: 120,6 $\mu$ H
	Espiras: 29
	Fio: 64 x 32 AWG
	Núcleo: EE42/20 3C94
Interruptores $S, S_1$ e $S_2$	IPZ65R019C7 (700 V/19 m $\Omega$ )
Diodos $D_{o1}$ e $D_{o2}$	MUR860 (600 V/8 A)
Diodos $D_{e1} \dots D_{o3}$	MUR860 (600 V/8 A)
Diodos $D_1 \dots D_4$ (1S)	TU810 (1000 V/8 A)
Diodos $D_1$ e $D_2$ (2S)	MUR460 (600 V/4 A)
Capacitores $C_{i1}$ e $C_{i2}$	1,5 $\mu$ F/520 V
Capacitores $C_{o1}$ e $C_{o2}$	2 x 1500 $\mu$ F/250 V
Capacitor $C_s$	2 x 1500 $\mu$ F/250 V
Circuito de controle	UC3525A

Fonte: Autoria própria.

Os protótipos dos retificadores SEPIC+SC 1S e 2S foram elaborados a partir dos esquemáticos expostos na Fig. 4-28 e Fig. 4-30, respectivamente. Os referidos protótipos apresentaram potência específica em torno de 0,4 kW/kg e 0,38 kW/kg, e densidade de potência de aproximadamente 0,28 kW/L e 0,28 kW/L, respectivamente.

O circuito de controle foi implementado utilizando-se o circuito integrado UC3525. Para isto, o amplificador operacional interno ao CI em questão foi configurado para ser o controlador da malha de tensão de saída.

Os resultados que nesta seção são apresentados, foram obtidos com os retificadores SEPIC+SC 1S e 2S operando em malha fechada de tensão e em potência nominal, ou seja, 500 W.

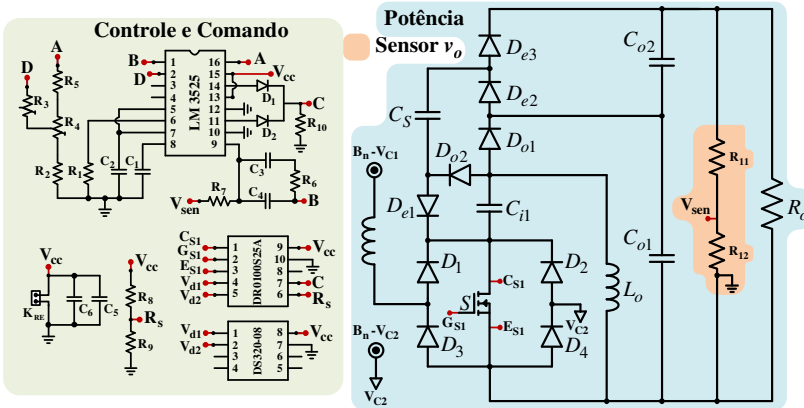


Fig. 4-28. Esquemático: retificador SEPIC+SC 1S.

Fonte: Autoria própria.

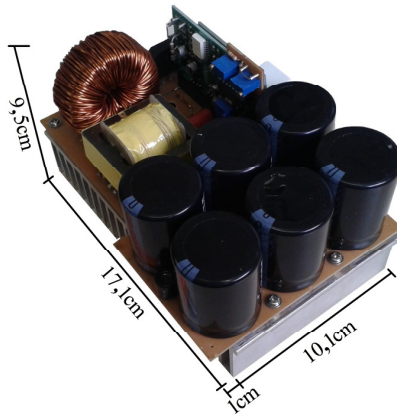


Fig. 4-29. Foto do protótipo do retificador SEPIC+SC 1S.

Fonte: Autoria própria.

#### 4.7.1 Resultados Experimentais: Retificador SEPIC+SC 1S

- Tensões e correntes de entrada e saída:

Por meio da Fig. 4-32 pode-se observar o comportamento da tensão e corrente de entrada. Verifica-se que a corrente  $i_{Li}$  possui formato senoidal, encontra-se em fase com a respectiva tensão e

apresenta uma pequena ondulação em alta frequência, algo em torno de 10%.

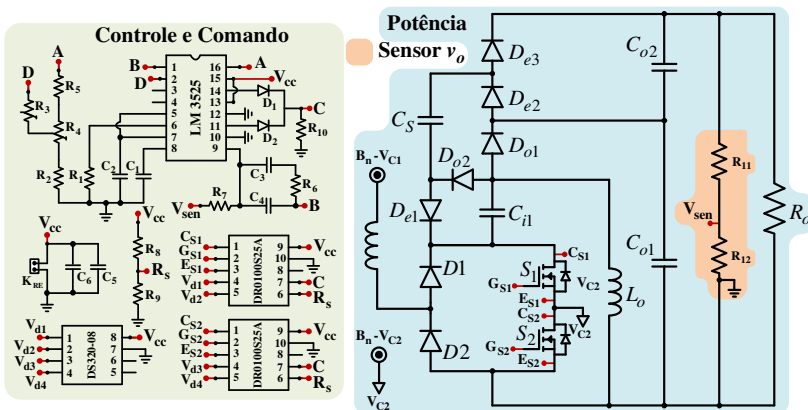


Fig. 4-30. Esquemático: retificador SEPIC+SC 2S.

Fonte: Autoria própria.

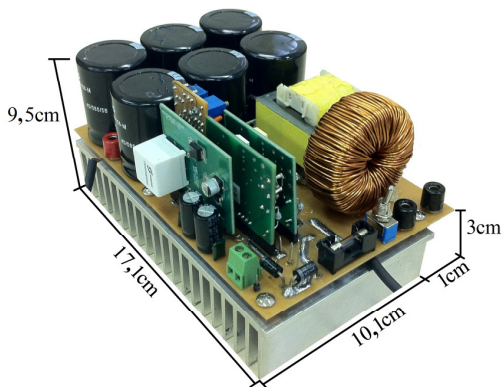


Fig. 4-31. Foto do protótipo do retificador SEPIC+SC 2S.

Fonte: Autoria própria.

O espectro harmônico da corrente de entrada pode ser visto na Fig. 4-33. Constata-se que a mesma possui THD de aproximadamente 4,53% e fator de potência em torno de 0,995.

Por intermédio da Fig. 3-41 são expostas as formas de onda da tensão e corrente de saída. Observa-se que as referidas grandezas possuem uma componente em baixa frequência (120 Hz) e uma componente em alta frequência (50 kHz) e, apresentam valor médio de aproximadamente 400,3 V e 1,28 A, respectivamente. Assim, o retificador SEPIC+SC 1S processa cerca de 512 W.

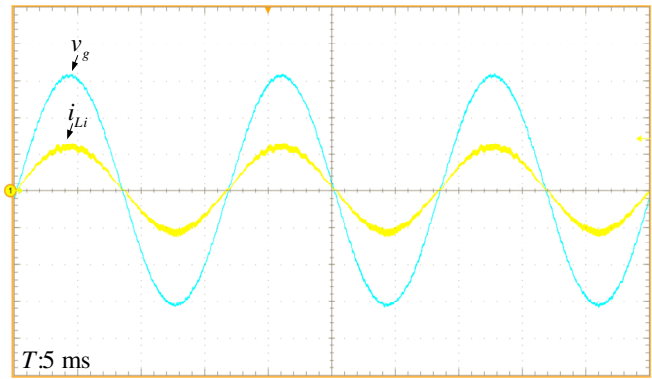


Fig. 4-32. Formas de onda: tensão de entrada  $v_g$  e corrente de entrada  $i_{Li}$ , 100 V/div e 5 A/div, respectivamente.  
Fonte: Autoria própria.

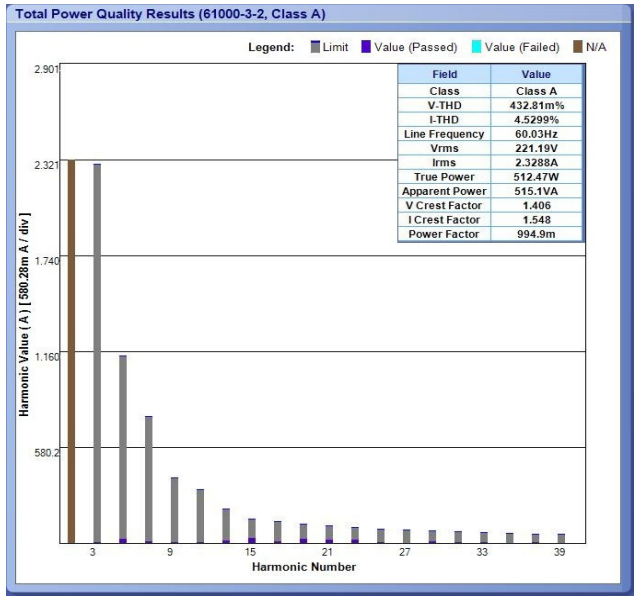


Fig. 4-33. Ret. SEPIC+SC 1S: espectro harmônico da corrente de entrada.  
Fonte: Autoria própria (osciloscópio DPO7054C).

- Indutores  $L_i$  e  $L_o$ :

O comportamento da corrente dos indutores  $L_i$  e  $L_o$  é apresentado na Fig. 4-35 (a) e Fig. 4-35 (b). Contata-se que a corrente  $i_{Li}$  possui aspecto senoidal com frequência de 60 Hz e uma ondulação ( $\Delta i_{Li}$ ) da ordem de 10% com frequência de 50 kHz.



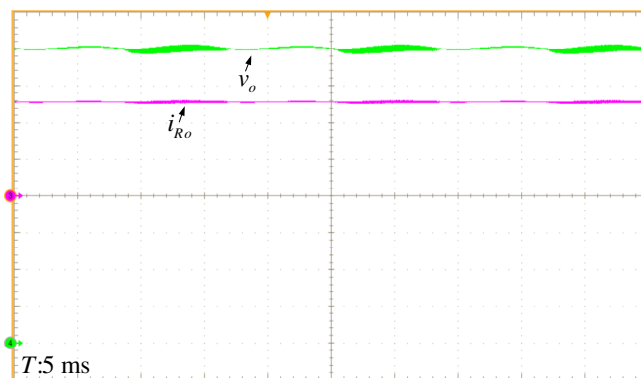


Fig. 4-34. Formas de onda: tensão  $v_o$  (50 V/div) e corrente  $i_{Ro}$  (500 mA/div).  
Fonte: Autoria própria.

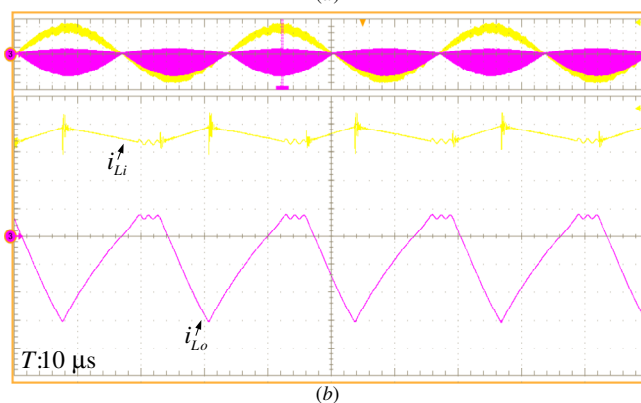
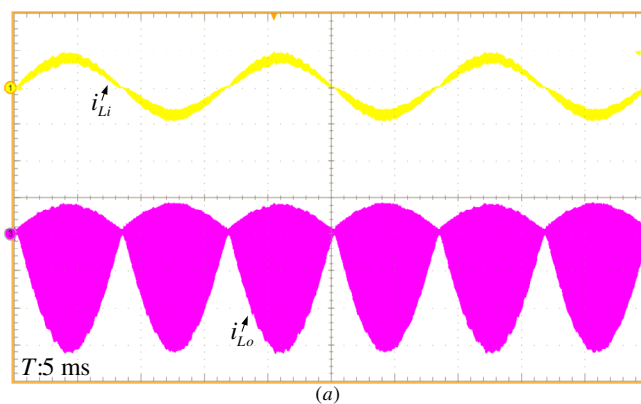


Fig. 4-35 Forma de onda: (a) corrente em  $L_i$  e  $L_o$  em baixa freq., ambas com 10 A/div; (b) corrente em  $L_i$  e  $L_o$  em alta freq.,  $i_{Li}$ -1 A/div,  $i_{Lo}$ -5 A/div.  
Fonte: Autoria própria.

Verifica-se, por meio da Fig. 4-35 (a) e Fig. 4-35 (b), que a corrente do indutor  $i_{Lo}$  possui componentes com frequência de 120 Hz e 50 kHz, apresenta valor eficaz de 5,1 A e variação máxima ( $\Delta i_{Lo}$ ) de aproximadamente 20,5 A.

- Capacitores  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ :

Por intermédio da Fig. 4-36 podem ser visualizadas as formas de onda da tensão medida sobre os capacitores  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ . Observa-se que tais tensões mostram-se equalizadas e possuem valor médio de aproximadamente 200 V (o valor teórico é de 200 V).

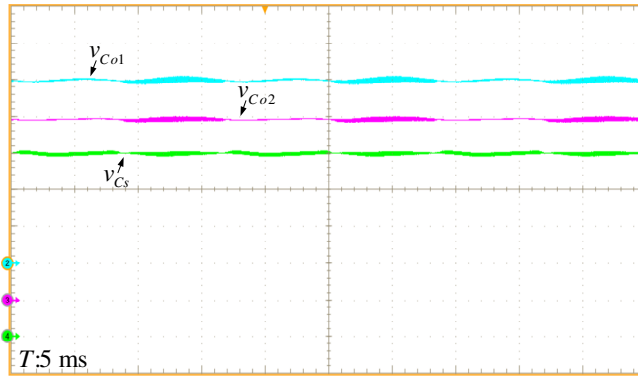


Fig. 4-36. Formas de onda: tensão em  $C_{o1}$ ,  $C_{o2}$  e  $C_S$ , todas com 40 V/div.  
Fonte: Autoria própria.

As formas de onda da tensão sobre os capacitores  $C_{o1}$  ( $v_{Co1}$ ) e  $C_{o2}$  ( $v_{Co2}$ ) e da tensão  $v_o$  podem ser observadas por meio da Fig. 4-37. As referidas grandezas apresentam valor médio de aproximadamente, 200 V, 200 V e 400 V, respectivamente. Como esperado, o valor médio da tensão de saída é duas vezes mais elevado que o valor médio das tensões de  $C_{o1}$  e  $C_{o2}$ , ou seja,  $v_{Co1} = v_{Co2} \rightarrow 2v_{Co1} = v_o$ . Este fato torna evidente a característica de multiplicação da tensão de saída, a qual é obtida por meio da célula de capacitor chaveado integrada o retificador SEPIC clássico.

As formas de onda da ondulação de tensão ( $\Delta v_{Cs}$ ) e corrente do capacitor  $C_S$  podem ser visualizadas por meio da Fig. 4-38 e Fig. 4-39. Constata-se que a corrente  $i_{Cs}$  possui ondulações com frequência de 120 Hz e 50 kHz e apresenta valor eficaz em torno de 3,79 A.

- Semicondutores  $S$ ,  $D_{o1}$ ,  $D_{o2}$ ,  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$ :

O comportamento da corrente e tensão do semicondutor  $S$  pode

ser visualizado por meio da Fig. 4-40 e Fig. 4-41. Nota-se que  $i_s$  possui envoltória de um seno retificado com frequência de 120 Hz e ondulação máxima de aproximadamente 28,54 A.

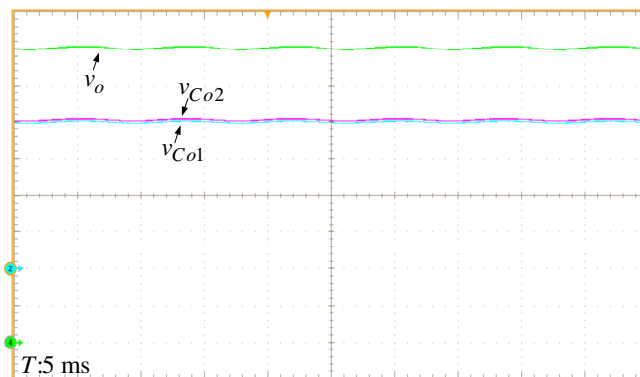


Fig. 4-37. Formas de onda: tensão em  $C_{o1}$ ,  $C_{o2}$  e  $v_o$ , todas com 50 V/div.  
Fonte: Autoria própria.

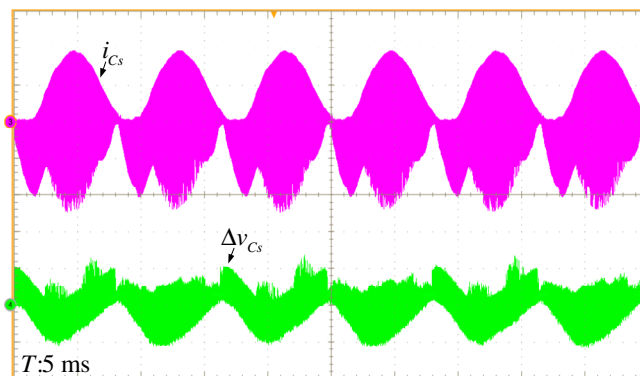


Fig. 4-38. Formas de onda: ondulação de tensão ( $\Delta v_{C_s}$ ) e corrente do capacitor  $C_s$  em baixa frequência, 3 V/div e 5 A/div, respectivamente.  
Fonte: Autoria própria.

A partir da Fig. 4-41 verifica-se que a tensão sobre o interruptor  $S$  é constituída por duas componentes, uma com frequência de 120 Hz e outra com frequência de 50 kHz e, apresenta amplitude máxima de aproximadamente 526 V (o valor teórico é de 542 V).

Por meio da Fig. 4-42 (a) e Fig. 4-42 (b) são expostos o comportamento da tensão sobre os diodos  $D_{o1}$  ( $v_{D_{o1}}$ ) e  $D_{o2}$  ( $v_{D_{o2}}$ ). Constata-se que as grandezas em questão possuem componentes com frequência de 120 Hz e 50 kHz e apresentam valor mínimo de cerca de

558 V e 328 V, respectivamente.

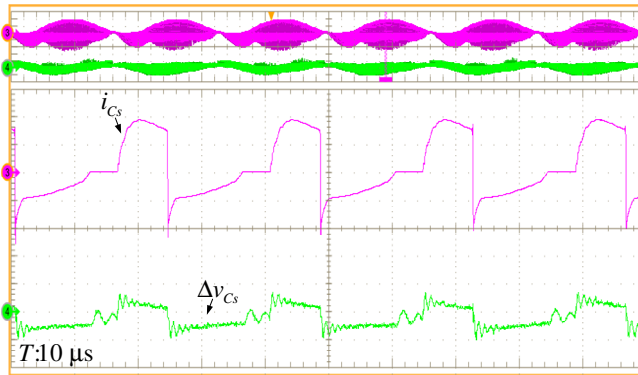


Fig. 4-39. Formas de onda: corrente e ondulação de tensão ( $\Delta v_{C_s}$ ) do capacitor  $C_s$  em alta frequência, 5 A/div e 3 V/div, respectivamente.

Fonte: Autoria própria.

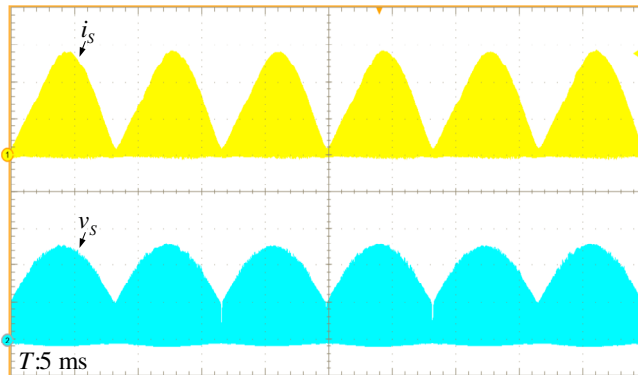


Fig. 4-40. Formas de onda: corrente e tensão do interruptor  $S$  em baixa frequência, 10 A/div e 200 V/div, respectivamente.

Fonte: Autoria própria.

Por intermédio da Fig. 4-43 (a) e Fig. 4-43 (b) são apresentadas as formas de onda da tensão sobre os diodos  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$ . O valor da máxima tensão reversa aplicada a cada um destes semicondutores é de cerca de 213 V, 207 V e 326 V, respectivamente.

- Resposta ao degrau:

A resposta dinâmica do retificador SEPIC+SC 1S frente a um degrau de carga de aproximadamente +15% pode ser visualizada por meio da Fig. 4-44.

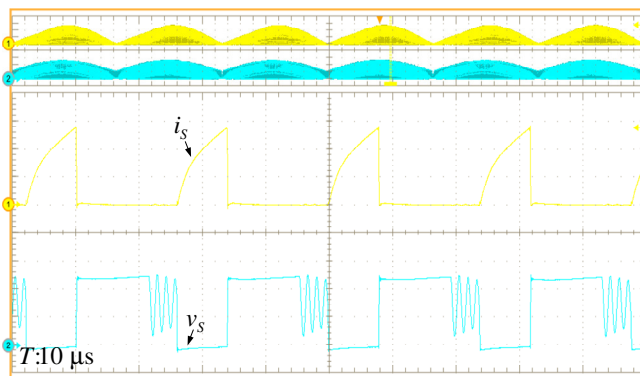
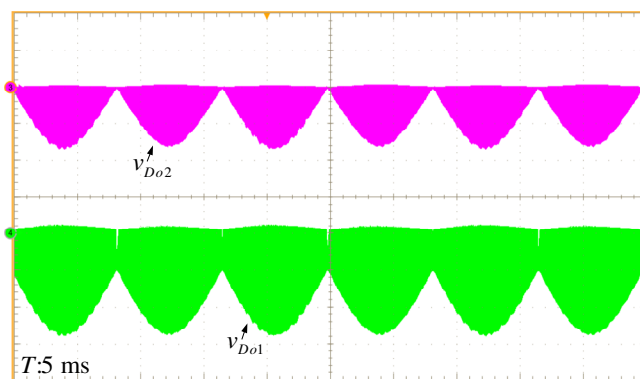
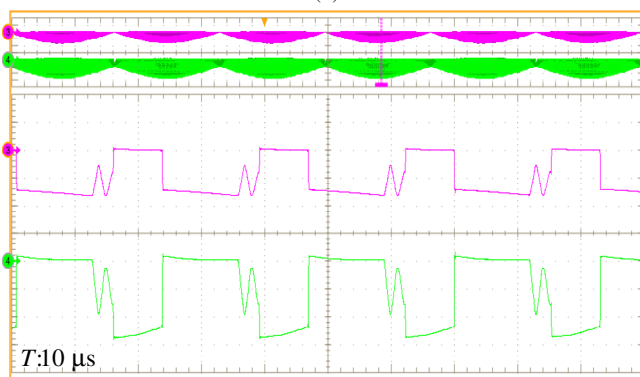


Fig. 4-41. Forma de onda: corrente e tensão em  $S$  em alta frequência, 10 A/div.  
Fonte: Autoria própria.



(a)



(b)

Fig. 4-42. Formas de onda: (a) tensão em  $D_{o1}$  e  $D_{o2}$  em baixa frequência;  
(b) tensão em  $D_{o1}$  e  $D_{o2}$  em alta frequência, todas com 200 V/div.  
Fonte: Autoria própria.

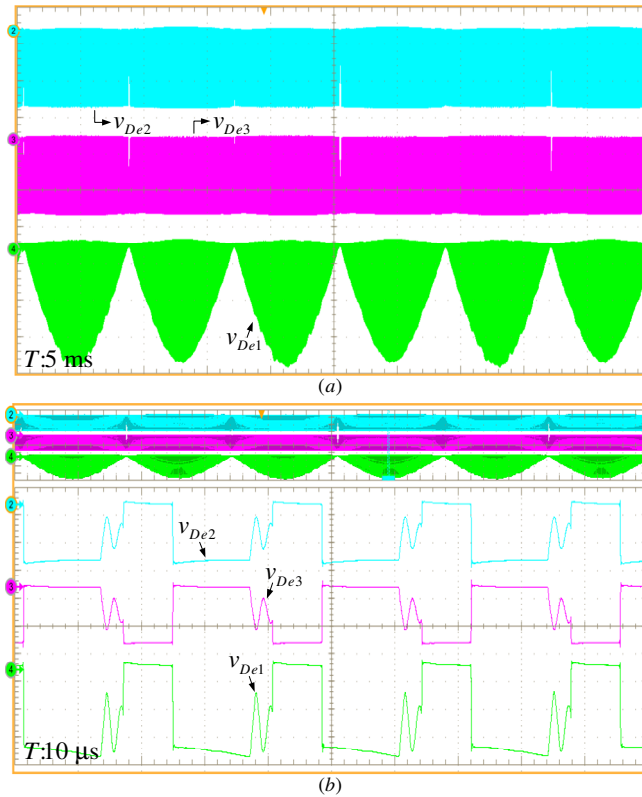


Fig. 4-43. Formas de onda: (a) tensão em  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$  em baixa frequência; (b) tensão em  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$  em alta frequência, todas com 100 V/div.  
Fonte: Autoria própria.

A partir da Fig. 4-44 é possível observar que o tempo de estabilização do sistema é de aproximadamente 300 ms e o sobressinal da tensão  $v_o$  é de cerca de 0,85 %. Estes valores apresentam-se em conformidade com os resultados obtidos via simulação numérica, e por isto, considera-se que o projeto do controlador está correto.

O desempenho dinâmico do referido conversor, frente a um degrau de carga de cerca de +40%, é apresentado por intermédio da Fig. 4-45. Verifica-se que o sobre sinal e o tempo de estabilização da tensão de saída  $v_o$  são de aproximadamente 1,2% e 350 ms, sequencialmente.

#### 4.7.2 Resultados Experimentais: Retificador SEPIC+SC 2S

Pode-se, por meio da Fig. 4-46, visualizar as formas de onda da corrente dos interruptores  $S_1$  e  $S_2$ . Observa-se que as correntes  $i_{S1}$  e  $i_{S2}$

além de possuírem componentes com frequências de 120 Hz e 50 kHz, ondulação de aproximadamente 24,6 A, apresentam uma parcela negativa, que corresponde a corrente que circula pelo diodos intrínsecos destes semicondutores.

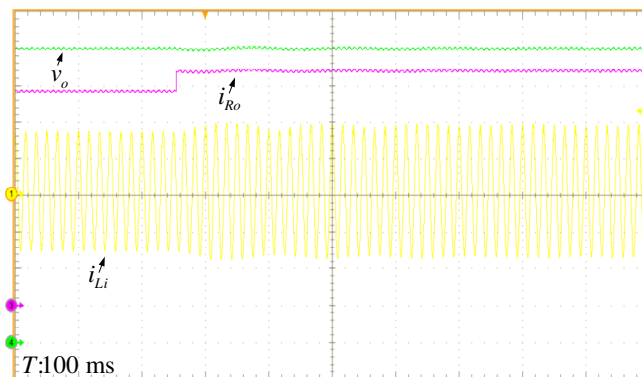


Fig. 4-44. Resposta dinâmica do conversor para um degrau de carga de +15%,  $v_o$ -50 V/div,  $i_{Li}$ -2 A/div e  $i_{Ro}$ -200 mA/div.

Fonte: Autoria própria.

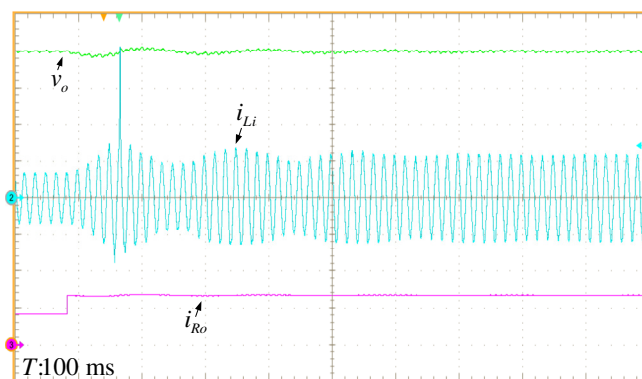


Fig. 4-45. Resposta dinâmica do conversor para um degrau de carga de +40%,  $v_o$ -50 V/div,  $i_{Li}$ -3 A/div, e  $i_{Ro}$ -1 A/div.

Fonte: Autoria própria.

A forma de onda da tensão medida sobre os semicondutores  $S_1$  e  $S_2$  pode ser visualizada por meio da Fig. 4-47 (a) e Fig. 4-47 (b). Observa-se que as tensões  $v_{S1}$  e  $v_{S2}$  possuem ondulações em baixa e alta frequência e apresentam amplitude máxima em torno de 523 V e 527 V, respectivamente.

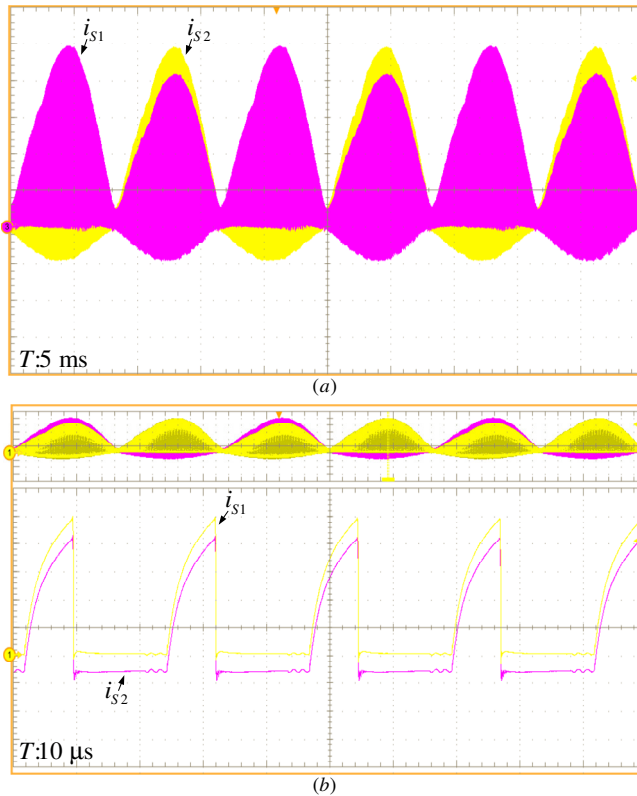


Fig. 4-46. Formas de onda: (a) corrente dos interruptores  $S_1$  e  $S_2$  em baixa frequência, (b) corrente nos interruptores  $S_1$  e  $S_2$  em alta frequência, todas com 5 A/div.

Fonte: Autoria própria.

Ao se observar a Fig. 4-47 (b) é constatado a ocorrência de pequenos intervalos em que há picos de tensão ( $v_{ds}$ ) sobre os interruptores  $S_1$  e  $S_2$ . Teoricamente, tais picos não deveriam existir, contudo, suas ocorrências podem ser justificadas com o auxílio dos circuitos equivalentes expostos nas Fig. 4-13 e Fig. 4-14.

Por meio destes circuitos, verifica-se que na primeira etapa de operação os semicondutores  $S_1$  e  $S_2$  estão em condução, assim, há circulação de corrente elétrica pelo canal dos mesmos. Na segunda etapa os referidos interruptores são comandados a bloquear, logo, a corrente deixa de fluir entre os terminais dreno e source dos mesmos. Contudo, há circulação de corrente pelo diodo intrínseco do semiconductor  $S_2$ . Deste modo, verifica-se a ocorrência de uma transição de circulação de



corrente, ou seja, na primeira etapa de operação uma determinada corrente flui pelo canal do interruptor  $S_2$  e, na segunda, uma corrente circula pelo diodo intrínseco ao semiconductor  $S_2$ .

A referida transição teoricamente deveria ocorrer instantaneamente, entretanto, fisicamente existe um pequeno atraso na entrada em condução do diodo, e por isto, a presença de tensão sobre o interruptor  $S_2$ .

A ocorrência dos picos de tensão sobre o interruptor  $S_1$  é justificada de modo análogo à argumentação ora apresentada.

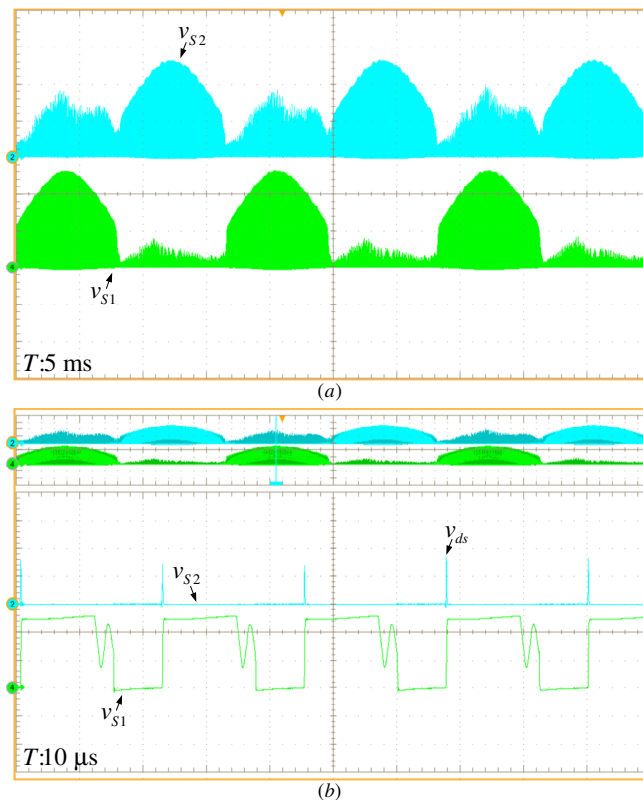


Fig. 4-47. Formas de onda: (a) tensão nos interruptores  $S_1$  e  $S_2$  em baixa frequência; (b) detalhe da tensão nos interruptores  $S_1$  e  $S_2$  em alta frequência.

Fonte: Autoria própria.

#### 4.7.3 Curvas Experimentais dos Retificadores SEPIC+SC 1S e 2S

Por intermédio da Fig. 4-48, Fig. 4-49 e Fig. 4-50 são apresentadas as curvas experimentais de rendimento, distorção

harmônica total e fator de potência dos retificadores SEPIC+SC 1S e 2S, respectivamente.

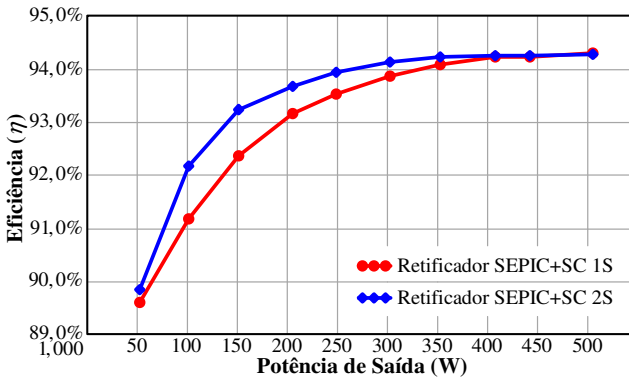


Fig. 4-48. Curvas experimentais do retificador SEPIC+SC 1S e 2S: rendimento *versus* potência de saída.

Fonte: Autoria própria.

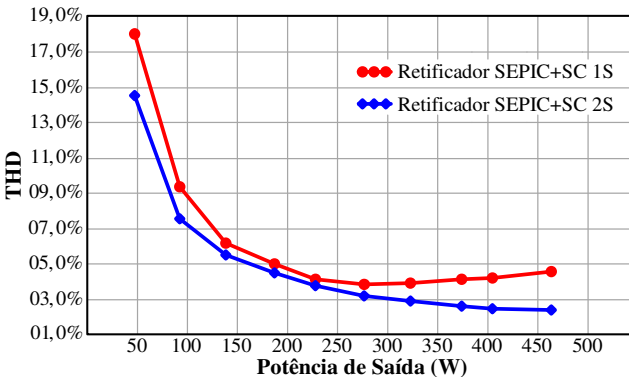


Fig. 4-49. Curvas experimentais do retificador DT 1S e 2S: THD *versus* potência de saída.

Fonte: Autoria própria.

Observa-se por meio da Fig. 4-48 que o retificador SEPIC+SC 1S apresenta rendimento inferior ao retificador SEPIC+SC 2S até 70% de carga. Na faixa de 70% até 100% de operação os retificadores apresentam performance praticamente iguais. Tal fato se justifica, pois a partir de 70% de carga as perdas em condução tornam-se aproximadamente equivalentes nos referidos retificadores. Destaca-se que o rendimento a plena carga para estes conversores é de aproximadamente 94,3%.

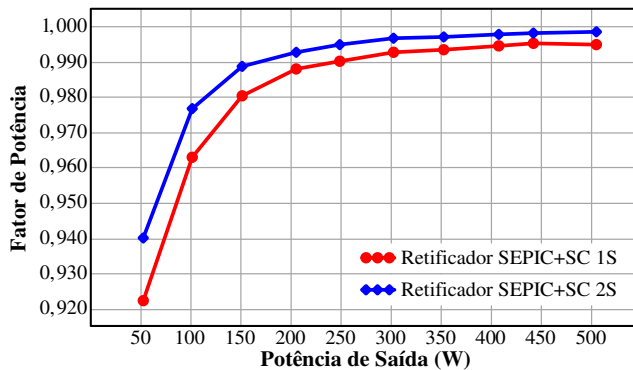


Fig. 4-50. Curvas experimentais do retificador DT 1S e 2S: fator de potência *versus* potência de saída.

Fonte: Autoria própria.

Com relação à distorção harmônica total, o retificador SEPIC+SC 2S possui melhor desempenho quando comparado ao retificador SEPIC+SC 1S. O menor patamar da THD e o valor desta a plena carga para os retificadores em questão são, sequencialmente, de 3,8% - 4,5% e 2,4% - 2,4%.

No que tange ao fator potência (Fig. 3-59), nota-se que o retificador SEPIC+SC 1S possui desempenho inferior ao conversor SEPIC+SC 2S em toda faixa de operação. O FP destes a plena carga é 0,995 e 0,998, respectivamente.

#### 4.7.4 Análise Comparativa entre o Retificador SEPIC Clássico e o Conversor SEPIC+SC

A partir da Tabela 4-6, apresenta-se um comparativo relativo ao número de elementos e aos esforços de tensão dos semicondutores do retificador SEPIC clássico exposto na Fig. 2-9 e do conversor SEPIC+SC apresentado por meio da Fig. 4-1.

Constasse-se por meio da tabela em questão que embora utilize um maior número de elementos, o conversor SEPIC+SC apresenta menores níveis de tensão sobre seus semicondutores.

## 4.8 CONCLUSÃO DO CAPÍTULO

Este capítulo teve como finalidade apresentar os conceitos, etapas de operação, formas de onda teóricas, equacionamento, modelo dinâmico e sua validação, resultados teóricos, resultados de simulação

numérica e resultados experimentais relativos aos retificadores monofásicos SEPIC+SC 1S e SEPIC+SC 2S.

Tabela 4-6. Análise comparativa entre: retificador SEPIC Clássico e retificador SEPIC+SC.

Grandezas		Ret. SEPIC clássico	Retificador SEPIC+SC <sup>1</sup>		
			Célula 1S	Célula 2S	Célula 4S
Números de Elementos		10	16	15	15
Máxima tensão sobre os diodos de saída		$V_p + V_o$	$V_p + \frac{V_o}{1+n}$	$V_p + \frac{V_o}{1+n}$	$V_p + \frac{V_o}{1+n}$
Máxima tensão sobre os interruptores controlados		$V_p + V_o$	$V_p + \frac{V_o}{1+n}$	$V_p + \frac{V_o}{1+n}$	$V_p + \frac{V_o}{1+n}$

<sup>1</sup> Conversor com  $n$  igual a 1.

Fonte: Autoria própria.

Tomando como base os resultados teóricos, os quais foram obtidos a partir das expressões propostas nas sessões 4.2.3 e 4.3.2, dos resultados de simulação numérica, apresentados na seção 4.5, e dos resultados experimentais obtidos por meio dos protótipos expostos na seção 4.6, é possível constatar que os referidos conversores operam de forma correta, validando deste modo, a integração entre o retificador SEPIC convencional e o conceito do capacitor chaveado.

Os referidos retificadores apresentaram desempenhos similares em relação a rendimento (em torno de 94,3%), contudo a versão 2S apresentou melhor performance em THD e fator de potência.

## **RETIFICADOR MONOFÁSICO SEPIC DT INTEGRADO A CÉLULA DE CAPACITOR CHAVEADO**

### **5.1 INTRODUÇÃO**

**E**ste capítulo tem por finalidade apresentar os conceitos, etapas de operação, formas de onda teóricas, principais equações de projeto, modelo dinâmico, resultados de simulação numérica e resultados experimentais alusivos ao retificador monofásico SEPIC DCM DT+SC constituído por dois interruptores controlados.

### **5.2 RETIFICADOR MONOFÁSICO SEPIC DT INTEGRADO A CÉLULA DE CAPACITOR CHAVEADO**

A estrutura do retificador SEPIC DT+SC exposta na Fig. 5-1 é obtida a partir da integração de um retificador SEPIC DT à (às) célula (as) de capacitor chaveado. Devido a esta integração, a tensão de saída do retificador é multiplicada por um fator que está diretamente ligado ao número de células utilizadas. Mesmo a tensão de saída apresentando maior amplitude, os semicondutores da estrutura são submetidos aos mesmos esforços de tensão que os semicondutores do conversor SEPIC DT.

A multiplicação em questão é obtida por meio dos componentes  $C_{S1}$ ,  $C_{S2}$ ,  $C_{o3}$ ,  $C_{o4}$ ,  $D_{e1}$  ...  $D_{e6}$ ,  $D_{o2}$  e  $D_{o4}$ . Além de compor o estágio de multiplicação de tensão, os elementos  $D_{e1}$ - $D_{o2}$  e  $D_{e4}$ - $D_{o4}$  desviam dos capacitores  $C_{i1}$  e  $C_{i2}$  o fluxo de carga e descarga dos capacitores  $C_{S1}$  e  $C_{S2}$ , respectivamente. Desta forma, a tensão nos capacitores  $C_{i1}$  e  $C_{i2}$  permanecem inalteradas e, com isto, garante-se a qualidade da corrente drenada da rede elétrica.

A célula de comutação de três estados do retificador SEPIC DT + SC pode ser implementada de três formas conforme demonstrado na Fig. 5-1 (b), (c) e (d). Estes modos são designados como 1S, 2S e 4S, respectivamente. Dentre as referidas formas de implementação a presente tese se limitará a apresentar os estudos analíticos e a validação experimental da versão 2S do conversor SEPIC DT+SC, a qual é apresentada por meio da Fig. 5-2.

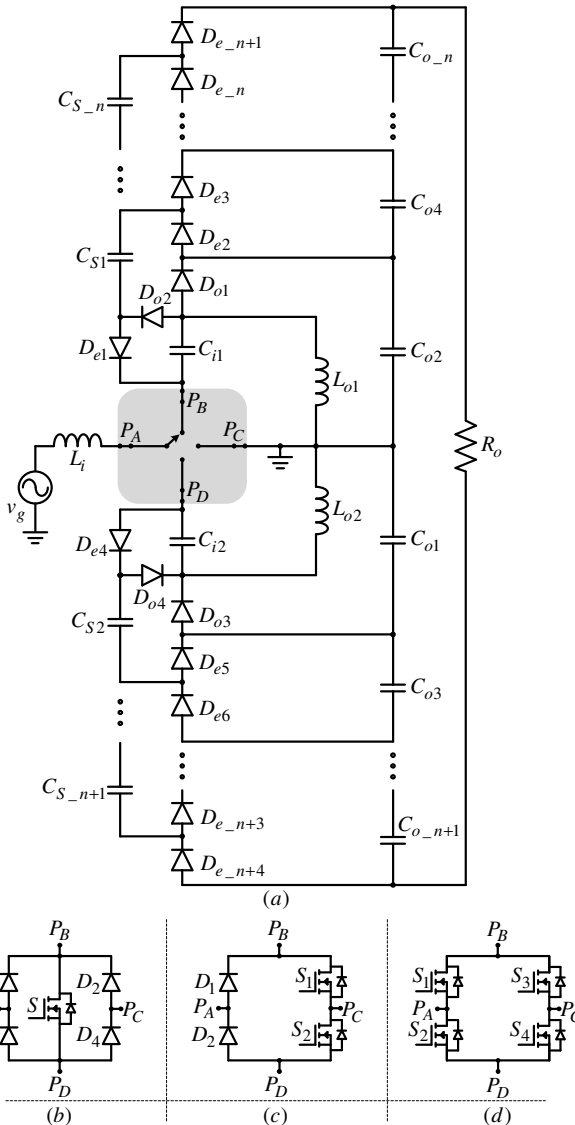


Fig. 5-1. Topologias propostas: (a) estrutura do retificador monofásico SEPIC DT+SC com célula de comutação genérica de três estados e célula de capacitor chaveado generalizada; (b) célula de comutação com um interruptor ativo (1S); (c) célula de comutação com dois interruptores ativos (2S – versão *bridgeless*) e (d) célula de comutação com quatro interruptores ativos (4S – versão *bridgeless*).

Fonte: Autoria própria.

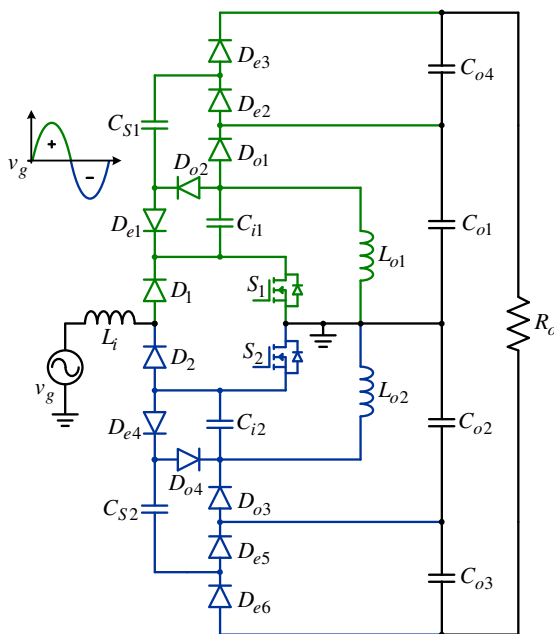


Fig. 5-2. Topologia do retificador monofásico SEPIC+SC 2S.

Fonte: Autoria própria.

### 5.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC DT+SC 2S

Ao se admitir que a tensão sobre os capacitores  $C_{i1}$  e  $C_{i2}$  é igual a tensão retificada de entrada, como considerado nos capítulos 3 e 4, o restante da estrutura do retificador SEPIC DT+SC 2S opera de modo análogo ao conversor CC-CC SEPIC. Deste modo, o estudo referente ao retificador em questão pode ser elaborado a partir dos conceitos e das considerações adotadas nas seções 2.2, 2.7, 3.3, 3.4, 4.3 e 4.4.

#### 5.3.1 Etapas de Operação

No modo de operação descontínuo o retificador SEPIC DT+SC 2S possui quatro etapas de operação, as quais são abordadas nos itens 5.3.1.1, 5.3.1.2, 5.3.1.3 e 5.3.1.4.

##### 5.3.1.1 Primeira Etapa de Operação

No momento em que o interruptor  $S_1$  é comandado a conduzir, inicia-se a primeira etapa de operação. Após este comando, os diodos  $D_{e1}$  e  $D_{e2}$  entram em condução enquanto que os diodos  $D_{o1}$ ,  $D_{o2}$  e  $D_{e3}$

permanecem polarizados reversamente. As correntes nos indutores  $L_i$  e  $L_{o1}$  crescem linearmente conforme as relações (5.1) e (5.2), respectivamente. O capacitor  $C_{S1}$  é alimentado pelo capacitor  $C_{o1}$ . A resistência de carga é suprida pelos capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ . O circuito equivalente referente à primeira etapa de operação pode ser visualizado por meio da Fig. 5-3.

$$i_{Li}(t) = \frac{v_g}{L_i}t + i_{Li\min}(t) \quad (5.1)$$

$$i_{Lo1}(t) = \frac{v_g}{L_{o1}}t + i_{Lo1\min}(t) \quad (5.2)$$

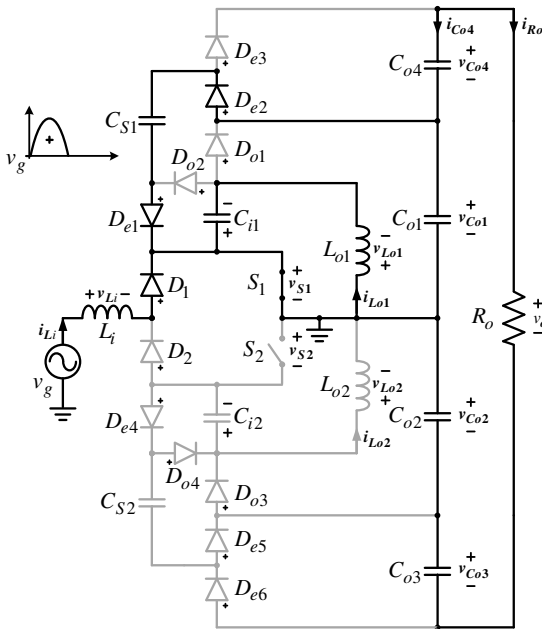


Fig. 5-3. Circuito equivalente referente à primeira etapa de operação.

Fonte: Autoria própria.

### 5.3.1.2 Segunda Etapa de Operação

A segunda etapa de operação é inicializada no momento em que  $S_1$  é comandado a bloquear. A partir deste instante, os elementos  $D_{e1}$  e  $D_{e2}$  entram em estado de bloqueio e os diodos  $D_{o1}$ ,  $D_{o2}$  e  $D_{e3}$  em condução, com isto, a energia previamente armazenada nos indutores  $L_i$



e  $L_{o1}$  é entregue para os capacitores  $C_{o1}$ ,  $C_{o2}$  e para carga  $R_o$ . As correntes em  $L_i$  e  $L_{o1}$  decrescem linearmente de acordo com as relações (5.3) e (5.4), sequencialmente. Por meio da Fig. 5-4 é apresentado o circuito equivalente que representa a referida etapa.

$$i_{Li}(t) = -\frac{v_o}{4L_i}t + i_{Limax}(t) \quad (5.3)$$

$$i_{Lo1}(t) = -\frac{v_o}{4L_{o1}}t + i_{Lo1max}(t) \quad (5.4)$$

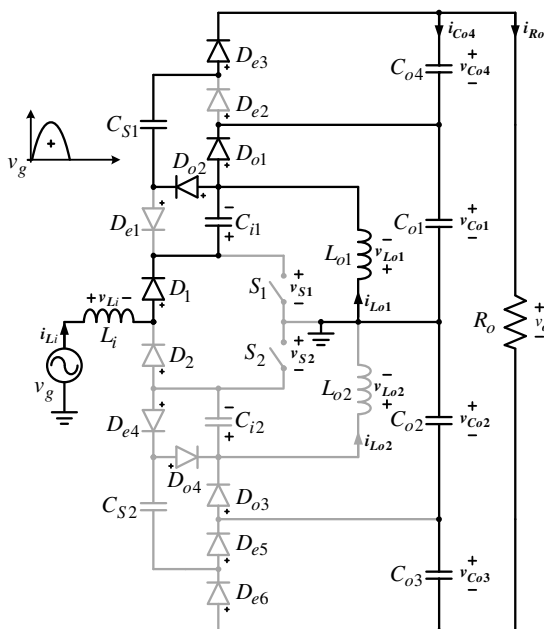


Fig. 5-4. Circuito equivalente referente à segunda etapa de operação.

Fonte: Autoria própria.

### 5.3.1.3 Terceira Etapa de Operação

A terceira etapa de operação é inicializada quando a corrente do semiconductor  $D_{o1}$  atinge o nível zero. Deste modo, a energia armazenada nos indutores  $L_i$  e  $L_{o1}$  segue sendo transferida aos elementos  $C_{o1}$ ,  $C_{o2}$  e  $R_o$  por intermédio dos componentes  $D_{o2}$ ,  $D_{e3}$  e  $C_{S1}$ . O circuito equivalente que representa a etapa em questão pode ser visualizado por meio da Fig. 5-5.

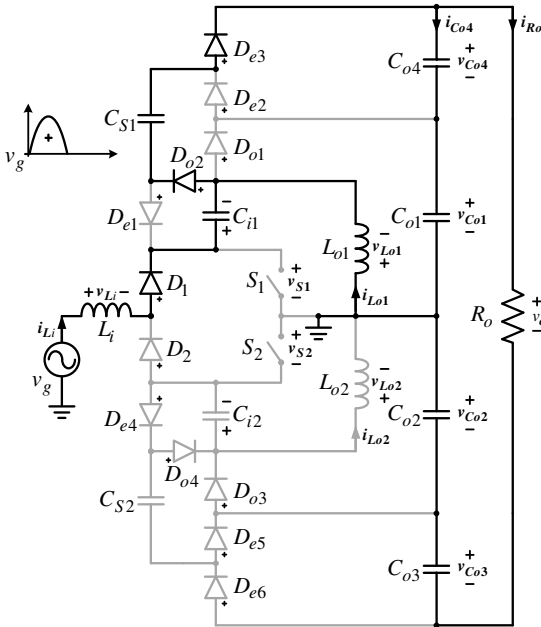


Fig. 5-5. Circuito equivalente referente à terceira etapa de operação.

Fonte: Autoria própria.

### 5.3.1.4 Quarta Etapa de Operação

No instante em que as correntes dos indutores  $L_i$  e  $L_{o1}$  igualam-se a um mesmo patamar, porém com sinais contrários, é iniciada a quarta etapa de operação. A partir deste momento, a energia armazenada em  $L_i$  e  $L_{o1}$  deixa de ser entregue aos elementos  $C_{o1}$ ,  $C_{o4}$  e  $R_o$  e, por isto, o retificador entra no modo descontínuo de operação. Por meio da Fig. 5-6 é apresentado o circuito equivalente que representa a referida etapa de operação.

### 5.3.2 Formas de Onda

Por intermédio da Fig. 5-7 e Fig. 5-8 podem ser visualizadas, respectivamente, as principais formas de onda ideais de corrente e tensão do retificador SEPIC DT+SC 2S para um período de comutação. Por meio da Fig. 5-7, apresenta-se as formas de onda de corrente dos indutores  $L_i$ ,  $L_{o1}$ , e  $L_{o2}$ , dos capacitores  $C_{i1}$ ,  $C_{i2}$  e dos semicondutores  $S_1$ ,  $S_2$ ,  $D_{o1}$ ,  $D_{o2}$ ,  $D_{o3}$  e  $D_{o4}$ . A partir da Fig. 5-8 podem ser observadas as formas de onda de tensão sobre os indutores  $L_i$ ,  $L_{o1}$ , e  $L_{o2}$  e sobre os

elementos  $S_1$ ,  $S_2$ ,  $D_{o1}$ ,  $D_{o2}$ ,  $D_{o3}$  e  $D_{o4}$ .

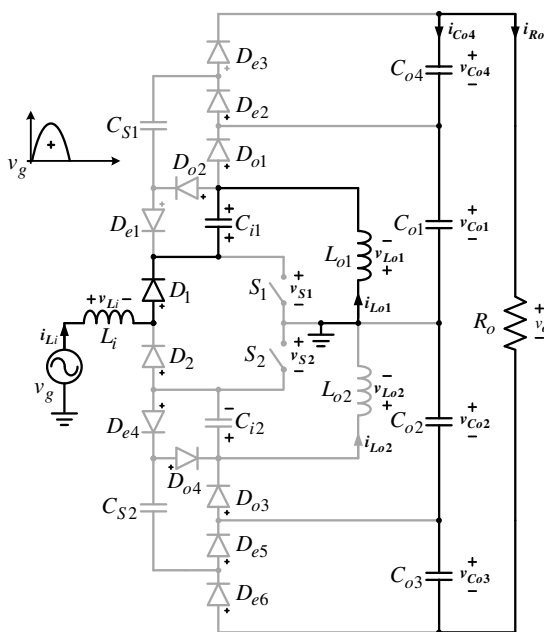


Fig. 5-6. Circuito equivalente referente à quarta etapa de operação.

Fonte: Autoria própria.

As principais formas de onda ideais do retificador SEPIC DT+SC 2S para um período da rede elétrica podem ser visualizadas por meio da Fig. 5-9. Por intermédio desta são apresentadas: a tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ); a tensão de saída ( $v_o$ ) e a tensão nos capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  ( $v_{Co1}$ ,  $v_{Co2}$ ,  $v_{Co3}$ , e  $v_{Co4}$ ). Constata-se que o retificador em questão apresenta corrente e tensão de entrada em fase e garante a multiplicação da tensão de saída ( $v_o = 4v_{Co1}$ ).

### 5.3.3 Equações de Projeto do Retificador SEPIC DT+SC 2S

As principais equações de projeto do retificador SEPIC DT+SC 2S são apresentadas nesta seção. Estas são desenvolvidas basicamente a partir das expressões expostas nas seções 3.3.3 e 3.3.4.

- Magnéticos:

Os valores das indutâncias de  $L_i$ ,  $L_{o1}$  e  $L_{o2}$  são definidos por (5.5) e (5.6), respectivamente.

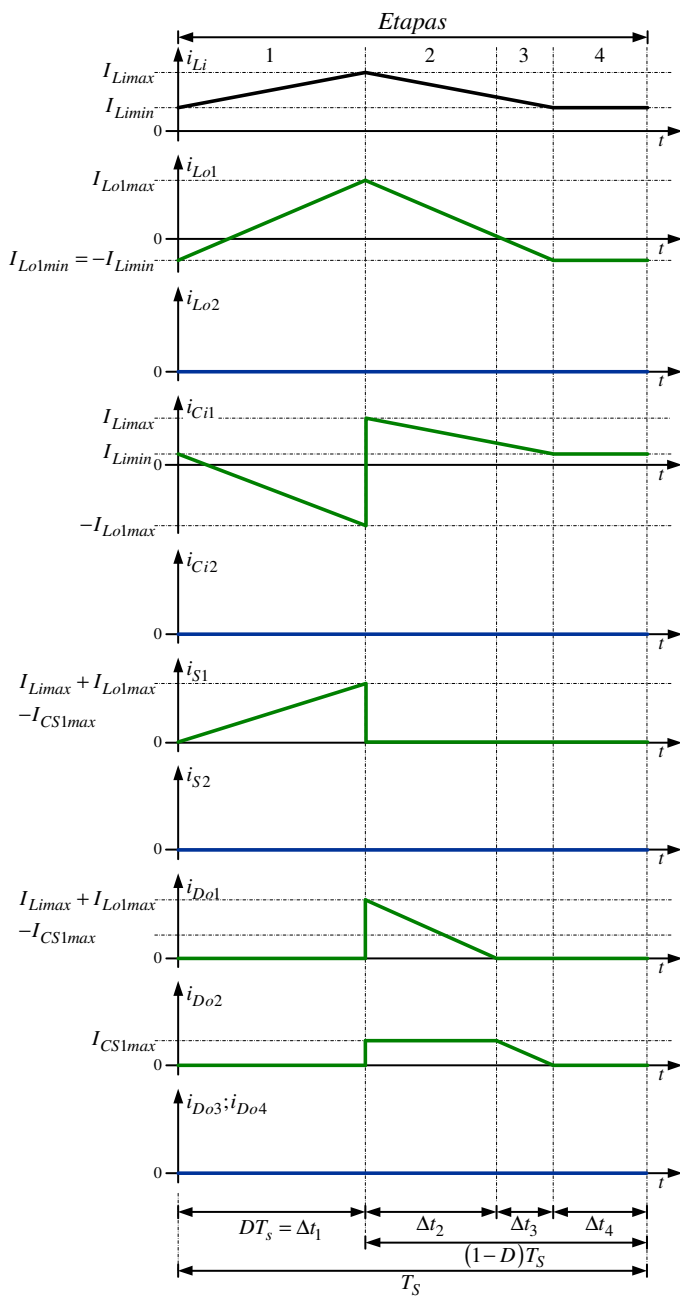


Fig. 5-7. Formas de onda ideais de corrente para um período de chaveamento.

Fonte: Autoria própria

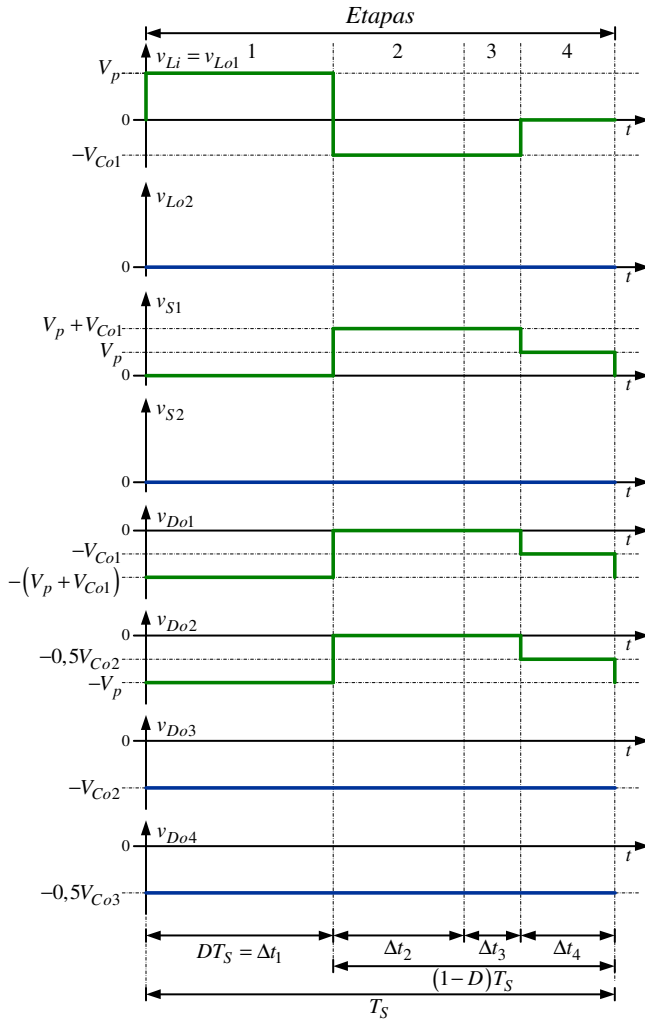


Fig. 5-8. Formas de onda ideais de tensão para um período de chaveamento.

Fonte: Autoria própria

Assim como nos retificadores SEPIC+SC e SEPIC DT, o indutor de entrada  $L_i$  é calculado a partir de uma especificação de ondulação de corrente, e as indutâncias de  $L_{o1}$  e  $L_{o2}$  são obtidas a partir do valor de  $L_i$ .

$$L_i = \frac{V_p D}{\Delta i_{Li} f_s} \quad (5.5)$$

$$L_{o1} = L_{o2} = \frac{L_i R_o V_p^2 D^2}{4L_i V_o^2 f_s - R_o V_p^2 D^2} \quad (5.6)$$

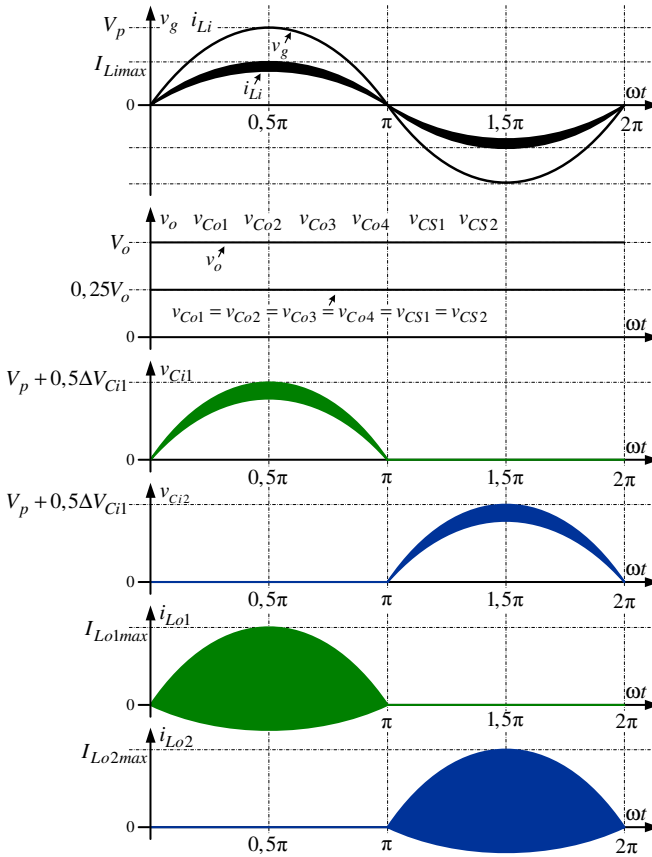


Fig. 5-9. Formas de onda ideais para um período da rede elétrica.  
Fonte: Autoria própria.

As expressões (5.7), (5.8) e (5.9) definem, sequencialmente, os valores médio e eficaz das correntes dos indutores  $L_i$ ,  $L_{o1}$  e  $L_{o2}$ .

$$I_{Lief\_fr} = \sqrt{\frac{D^3 V_p^2 \left( 3V_o^2 L_i D (L_i + 2L_{o1}) + 4L_{o1}^2 (V_o^2 - 9V_p^2 D) \right)}{24V_o^2 L_i^2 L_{o1}^2 f_s^2}} \quad (5.7)$$

$$I_{Lo1med\_fr} = I_{Lo2med\_fr} = \frac{D^2 V_p^2 (L_i + L_{o1})}{2V_o L_i L_{o1} f_s} \quad (5.8)$$

$$I_{Lo1ef\_fr} = I_{Lo2ef\_fr} = \sqrt{\frac{D^3 V_p^2 \left( V_o L_i^2 \left[ 32(4V_p - 6DV_p) + 3V_o \pi(4 - 3D) \right] + 108V_p^2 L_{o1} D \pi (-L_{o1} + 2L_i) \right)}{144V_o^2 L_i^2 L_{o1}^2 f_s^2 \pi}} \quad (5.9)$$

- Capacitores:

Os valores das capacitâncias de  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  são definidos por (5.10) e (5.11), sequencialmente.  $C_{i1}$  e  $C_{i2}$  são definidos a partir de uma especificação de ondulação de tensão e  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  determinados mediante uma especificação de *hold-up-time*.

$$C_{i1} = C_{i2} = \frac{D^2 V_p \left[ D(4V_p L_{o1} - V_o L_i) + 2V_o L_i \right]^2}{8V_o^2 L_i^2 L_{o1} \Delta V_{C_{i1}} f_s^2} \quad (5.10)$$

$$C_{o1} = C_{o2} = C_{o3} = C_{o4} = \frac{8P_o t_{hut}}{V_o^2 - (0,9V_o)^2} \quad (5.11)$$

Seguindo a metodologia de projeto adotada na seção 4.4.3, os valores das capacitâncias de  $C_{S1}$  e  $C_{S2}$  são definidos por intermédio de (5.12).

$$C_{S1} = C_{S2} = \frac{1}{f_s R_{eq}} \frac{0,865}{0,366} \quad (5.12)$$

As expressões (5.13), (5.14), (5.15) e (5.16), definem, respectivamente, o valor eficaz das correntes de  $C_{i1}$ - $C_{i2}$ ,  $C_{o1}$ - $C_{o2}$ ,  $C_{o3}$ - $C_{o4}$  e  $C_{S1}$ - $C_{S2}$ .

$$I_{Ci1ef\_fr} = I_{Ci2ef\_fr} = \sqrt{\frac{D^3 V_p^2 \left( 3L_i^2 V_o^2 \pi(4 - 3D) + V_p L_{o1}^2 (-108DV_p \pi + 128V_o) + 192DL_i L_{o1} V_p V_o \right)}{144V_o^2 L_i^2 L_{o1}^2 f_s^2 \pi}} \quad (5.13)$$

$$I_{Co1ef\_fr} = I_{Co2ef\_fr} = \sqrt{\frac{2V_p^2 D^2 R_o (-3V_o L_{eq} f_s \pi + 4DV_p R_o) + 3V_o^2 L_{eq}^2 f_s^2 (3\pi V_o - 8DV_p)}{18L_{eq}^2 f_s^2 R_o^2 V_o \pi} + \left( \frac{2D(I_{CS1max}^2)}{3} + \frac{V_o^2}{2R_o^2} \right)} \quad (5.14)$$

$$I_{Co3ef\_fr} = I_{Co4ef\_fr} \cong \sqrt{\frac{2DV_p (R_o^2 I_{Co3max}^2 - V_o^2) + V_o^3 \pi}{V_o R_o^2 \pi}} \quad (5.15)$$

$$I_{CS1ef\_fr} = I_{CS2ef\_fr} \cong \sqrt{\frac{DV_p I_{CS1max}^2 - I_{CS1min}^2 (4DV_p - V_o \pi)}{2V_o \pi}} \quad (5.16)$$

- Semicondutores:

O valor máximo das tensões sobre os semicondutores  $S_1$  e  $S_2$ ,  $D_{o1}$ ,  $D_{o2}$ ,  $D_{o3}$ ,  $D_{o4}$ ,  $D_{e1}$ ,  $D_{e2}$ ,  $D_{e3}$ ,  $D_{e4}$ ,  $D_{e5}$  e  $D_{e6}$  são determinados, sequencialmente, por meio das expressões (4.20), (4.21), (4.22) e (4.23).

$$V_{S1max} = V_{S2max} = V_p + 0,25V_o \quad (5.17)$$

$$V_{Do1max} = V_{Do3max} = -(V_p + 0,25V_o) \quad (5.18)$$

$$V_{Do2max} = V_{Do4max} = V_{De1max} = V_{De4max} = V_p \quad (5.19)$$

$$V_{De2max} = V_{De3max} = V_{De5max} = V_{De6max} = 0,25V_o \quad (5.20)$$

O valor eficaz da corrente dos interruptores  $S_1$  e  $S_2$  e o valor médio da corrente dos diodos  $D_{o1}$ ,  $D_{o2}$ ,  $D_{o3}$ ,  $D_{o4}$ ,  $D_{e1}$ ,  $D_{e2}$ ,  $D_{e3}$ ,  $D_{e4}$ ,  $D_{e5}$ ,  $D_{e6}$ ,  $D_1$  e  $D_2$  são definidos pelas equações (5.21), (5.22) e (5.23), respectivamente.

$$I_{S1ef\_fr} = I_{S2ef\_fr} \cong \sqrt{\frac{D \left( D^2 V_p^2 \pi + 2\pi f_s^2 L_{eq}^2 I_{CS1max}^2 \right) + 4DV_p f_s L_{eq} I_{CS1max}}{12\pi f_s^2 L_{eq}^2}} \quad (5.21)$$

$$I_{Do1med\_fr} = \dots I_{De6med\_fr} = I_{Ro} = \frac{D^2 V_p^2 (L_i + L_{o1})}{4V_o L_i L_{o1} f_s} \quad (5.22)$$



$$I_{D1med\_ret\_fr} = I_{D2med\_ret\_fr} = \frac{D^2 V_p (L_i + L_{o1})}{2\pi L_i L_{o1} f_s} \quad (5.23)$$

- Característica estática:

A relação entre a tensão de saída e a tensão de pico de entrada, assim como exposto na expressão (5.24), define o ganho estático do retificador SEPIC DT+SC 2S.

Os valores da resistência mínima e da razão cíclica máxima para o referido retificador são definidos por meio de (5.25) e (5.26).

As curvas de característica estática do retificador em questão são equivalentes às apresentadas na Fig. 2-8. Contudo, agora com o fator  $k_x$  definido por (5.27).

$$G = \frac{V_o}{V_p} = \frac{D}{2} \sqrt{\frac{R_o (L_i + L_{o1})}{L_i L_{o1} f_s}} \quad (5.24)$$

$$R_{omin} = \frac{4L_i L_{o1} f_s}{(1-D)^2 (L_i + L_{o1})} \quad (5.25)$$

$$D_{max} = 1 - 2 \sqrt{\frac{L_i L_{o1} f_s}{R_o (L_i + L_{o1})}} \quad (5.26)$$

$$k_x = \sqrt{\frac{R_o (L_i + L_{o1})}{4L_i L_{o1} f_s}} \quad (5.27)$$

## 5.4 MODELAGEM DO RETIFICADOR MONOFÁSICO SEPIC DT+SC 2S

A modelagem do retificador SEPIC DT+SC 2S é elaborada a partir da estratégia de controle exposta na Fig. 3-14, do circuito equivalente para determinação da planta da tensão de saída apresentado na Fig. 3-15, e das considerações adotadas na modelagem dos retificadores SEPIC DT 1S e 2S.

### 5.4.1 Planta do Retificador Monofásico SEPIC DT+SC 2S

Seguido os mesmos passos apresentados na seção 3.5.1, chega-se a expressão (5.28), a qual representa a função de transferência do modelo da planta pelo método de pequenos sinais. A variável  $k$  é determinada por (5.29) e a capacitância equivalente de saída ( $C_{oeq}$ ) definida por (5.30).

Ao se realizar as devidas substituições em (5.28) obtém-se a equação (5.32), a qual é a representação final do modelo proposto.

$$G(s) = \frac{\widehat{v_o}(s)}{\widehat{d}(s)} = \frac{k}{R_o C_{oeq} s + \frac{Dk}{2V_o} + 1} \quad (5.28)$$

$$k = \frac{R_o D V_p^2 (L_i + L_o)}{2V_o L_i L_o f_s} \quad (5.29)$$

$$C_{oeq} = \left[ D \left[ \frac{(C_{ox1} + C_{ox2})}{C_{ox1} C_{ox2}} \right] + \frac{4DV_p}{V_o} \left( \frac{(C_{ox3} + C_{ox2})}{C_{ox3} C_{ox2}} \right) \right] + \frac{V_o (1-D) - 4DV_p}{V_o} \left( \frac{(C_{ox2} + C_{ox2})}{C_{ox2} C_{ox4}} \right) \quad (5.30)$$

$$C_{ox1} = \frac{(C_{o1} + C_{s1}) C_{o4}}{(C_{o1} + C_{s1}) + C_{o4}}; C_{ox2} = \frac{C_{o2} C_{o3}}{C_{o2} + C_{o3}} \quad (5.31)$$

$$C_{ox3} = \frac{(C_{o4} + C_{s1}) C_{o1}}{(C_{o4} + C_{s1}) + C_{o1}}; C_{ox4} = \frac{C_{o1} C_{o4}}{C_{o1} + C_{o4}}$$

$$G(s) = \frac{4571}{0,361s + 2} \quad (5.32)$$

#### 5.4.2 Validação do Modelo

A partir das especificações de projeto expostas na Tabela 5-2, dos valores dos elementos passivos da Tabela 5-1 e da metodologia de validação utilizada na seção 3.5.2, obteve-se como respostas do retificador ( $v_o$ ) e do modelo ( $v_{mod}$ ) representado por (5.32), as formas de onda apresentadas em Fig. 5-10.

Constata-se por meio da Fig. 5-10 que a resposta dinâmica do retificador monofásico SEPIC DT+CS 2S e do modelo proposto, frente à perturbação de razão cíclica, possuem comportamento similar. Deste modo, torna-se possível afirmar que o modelo proposto representa de forma adequada o comportamento dinâmico do referido retificador.

#### 5.4.3 Compensador, Ganho do Modulador e Ganho do Sensor

O projeto do compensador, a determinação do ganho do modulador e do ganho do sensor são análogos aos expostos nas seções 3.5.3, 3.5.4 e 3.5.5, respectivamente.

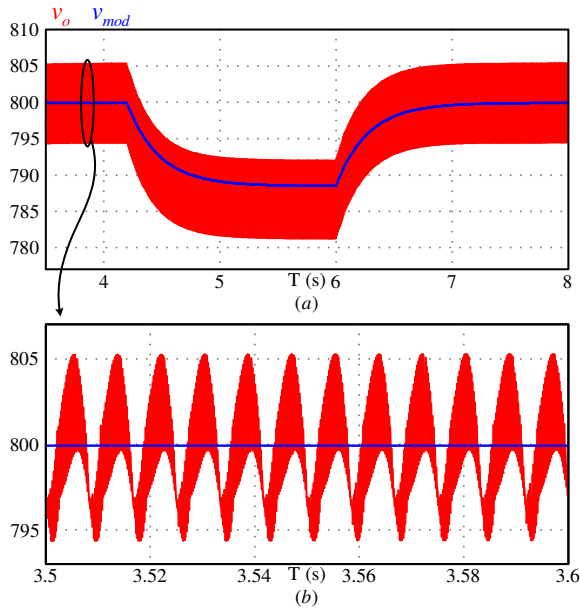


Fig. 5-10. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de  $v_o$  e  $v_{mod}$ , (b) detalhe do regime estacionário de  $v_o$  e  $v_{mod}$ .

Fonte: Autoria própria.

### 5.5 SIMULAÇÃO NUMÉRICA: RETIFICADOR SEPIC DT+SC 2S

A partir das especificações de projeto apresentadas na Tabela 5-2 e dos valores dos elementos passivos da Tabela 5-1, foi elaborada uma simulação numérica, por meio do *software* PSIM<sup>®</sup>, com a finalidade de validar o equacionamento desenvolvido para o retificador SEPIC DT+SC 2S.

Tabela 5-1. Valores de projeto: elementos passivos.

Elementos	Valores
Indutor $L_i$	3,385 mH
Indutor $L_{o1}$ e $L_{o2}$	60,3 $\mu$ H
Capacitor $C_{i1}$ e $C_{i2}$	1,399 $\mu$ F
Capacitores $C_{o1}$ , $C_{o2}$ , $C_{o3}$ e $C_{o4}$	2 mF
Capacitores $C_{S1}$ e $C_{S2}$	100 $\mu$ F

Fonte: Autoria própria.

5.5.1 Resultados de Simulação Numérica: Ret. SEPIC DT+SC 2S

- Tensões e correntes de entrada e saída:

Por intermédio da Fig. 5-11 e Fig. 5-12 são expostas, respectivamente, as formas de onda da tensão e corrente de entrada e da tensão e corrente de saída. Verifica-se por meio da Fig. 5-11 que a tensão ( $v_g$ ) e corrente ( $i_{Li}$ ) de entrada estão em fase, o que caracteriza o elevado fator de potência do retificador SEPIC DT+SC 2S.

Tabela 5-2. Especificações de projeto.

Especificação	Valores – Retificador SEPIC DT+SC 2S
Tensão de entrada – $V_p$	311 V
Tensão de saída – $V_o$	800 V
Potência de saída – $P_o$	1000 W
Frequência de comutação – $f_s$	50 kHz
Razão cíclica – $D$	0,35
Tempo <i>hold-up-time</i> – $T_{hut}$	16,667 ms
Ondulação da tensão em $C_{i1}$ - $\Delta V_{Ci1}$ e $C_{i2}$ - $\Delta V_{Ci2}$	20%
Ondulação da corrente do indutor $L_i$ - $\Delta i_{Li}$	10%

Fonte: Autoria própria.

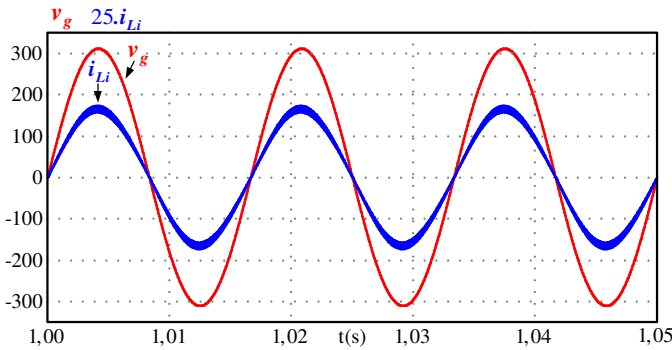


Fig. 5-11. Formas de onda: tensão ( $v_g$ ) e corrente de entrada ( $i_{Li}$ ).

Fonte: Autoria própria.

Por meio da Fig. 5-12 é possível observar que a tensão  $v_o$  e a

corrente  $i_{Ro}$  possuem ondulações em baixa e em alta frequência, 120 Hz e 50 kHz, respectivamente, e apresentam valor médio de aproximadamente 800 V e 1,25 A (625,5 A/500), sequencialmente. Logo, o referido retificador processa cerca de 1000 W.

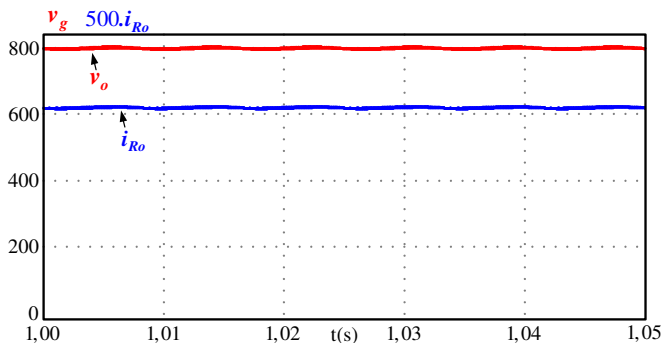


Fig. 5-12. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).

Fonte: Autoria própria.

- Capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$ ,  $C_{S1}$  e  $C_{S2}$ :

Por meio da Fig. 5-13 são apresentadas as formas de onda da tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ . Verifica-se que as tensões  $v_{Co3}$  e  $v_{Co4}$  são subtraídas por uma constante. Tal operação é efetuada com a finalidade de proporcionar uma melhor visualização das mesmas em relação a  $v_{Co1}$  e  $v_{Co2}$ .

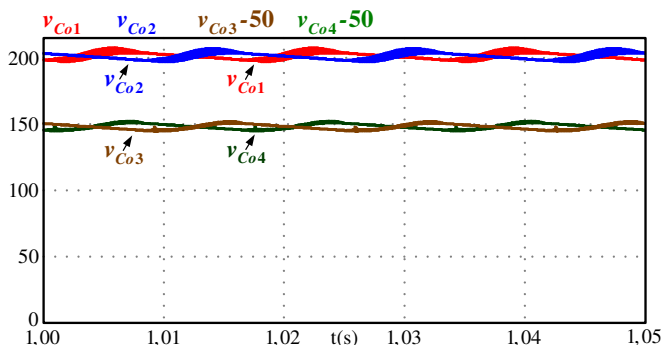


Fig. 5-13. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ .

Fonte: Autoria própria.

As tensões dos capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  expostas na Fig. 5-13 mostram-se equalizadas com valor médio de aproximadamente

200 V. As referidas tensões contêm ondulações com frequências de 60 Hz e 50 kHz.

Apresenta-se por meio da Fig. 5-14 a tensão medida sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  e a tensão de saída do retificador ( $v_o$ ). Verifica-se por meio desta, que a tensão  $v_o$  é obtida a partir da soma das tensões de  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ , ou seja,  $v_o = v_{Co1} + v_{Co2} + v_{Co3} + v_{Co4}$ . Deste modo, tem-se comprovado que o retificador SEPIC DT+SC 2S é capaz de proporcionar, quando comparado a retificador SEPIC DT e ao retificador SEPIC clássico, uma multiplicação de duas e quatro vezes o valor de tensão de saída, respectivamente. Embora apresente maior valor de tensão de saída, os esforços de tensão sobre os seus semicondutores permanecem equivalentes aos estresses de tensão dos interruptores dos conversores SEPIC DT e SEPIC clássico.

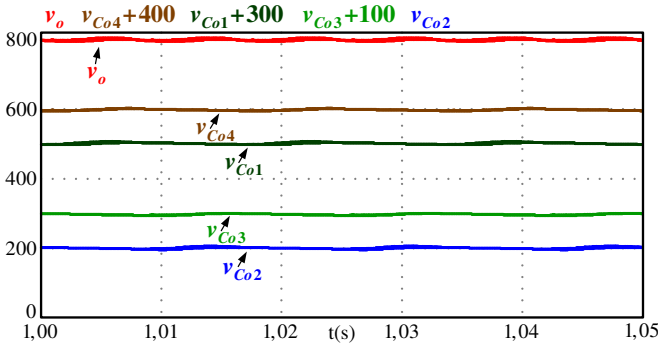


Fig. 5-14. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$  e tensão de saída ( $v_o$ ).

Fonte: Autoria própria.

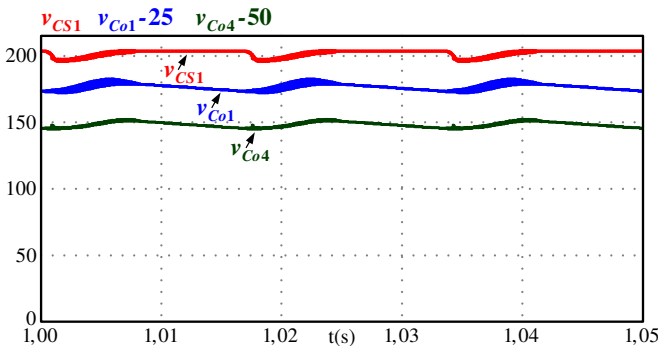


Fig. 5-15. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o4}$  e  $C_{S1}$ .

Fonte: Autoria própria.

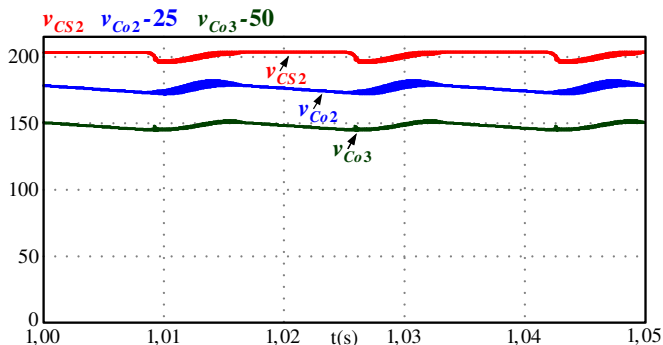


Fig. 5-16. Formas de onda: tensão sobre os capacitores  $C_{o2}$ ,  $C_{o3}$  e  $C_{S2}$ .

Fonte: Autoria própria.

As formas de onda de tensão dos capacitores  $C_{o1}$ - $C_{o4}$ - $C_{S1}$  e  $C_{o2}$ - $C_{o3}$ - $C_{S2}$  são apresentadas na Fig. 5-15 e Fig. 5-16, respectivamente. Por meio destas é possível observar que as tensões nos capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$ ,  $C_{S1}$  e  $C_{S2}$  estão equalizadas, possuem ondulações com frequência de 60 Hz e 50 kHz e valor médio de cerca de 200 V.

As formas de onda das correntes dos capacitores  $C_{S1}$  e  $C_{S2}$  podem ser observadas nas figuras Fig. 5-17 e Fig. 5-18. As referidas grandezas possuem ondulações com frequência de 60 Hz e 50 kHz e apresentam valor eficaz em torno de 5,47 A.

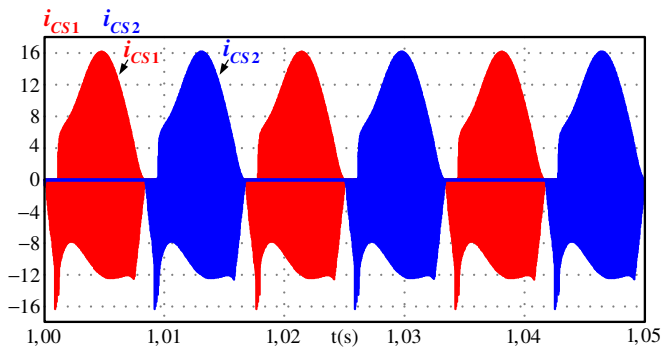


Fig. 5-17. Formas de onda: correntes em  $C_{S1}$  e  $C_{S2}$  em baixa frequência.

Fonte: Autoria própria.

- Semicondutores  $S_1$ ,  $S_2$ ,  $D_{o1}$  e  $D_{o3}$ :

As formas de onda das tensões medidas sobre os semicondutores  $S_1$ ,  $S_2$ ,  $D_{o1}$  e  $D_{o3}$  podem ser visualizadas por intermédio da Fig. 5-19 e Fig. 5-20, respectivamente.

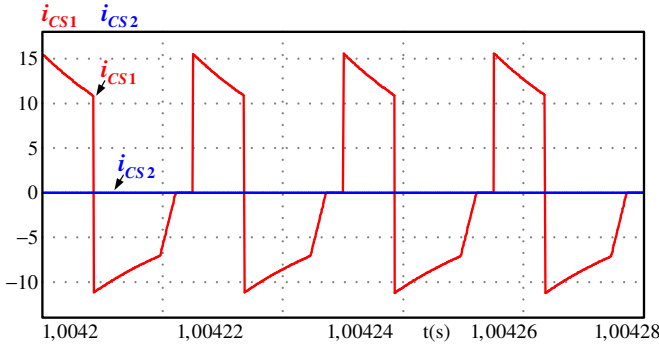


Fig. 5-18. Formas de onda: correntes em  $C_{S1}$  e  $C_{S2}$  em alta frequência.  
Fonte: Autoria própria.

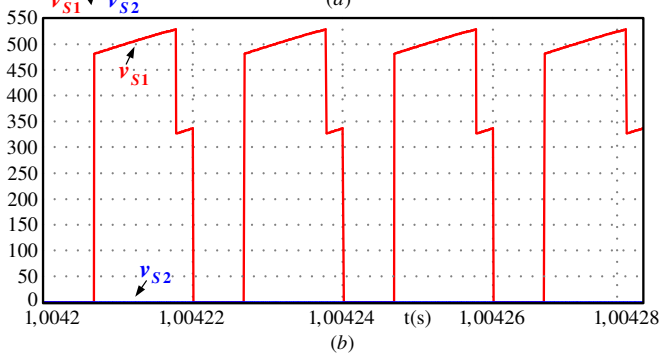
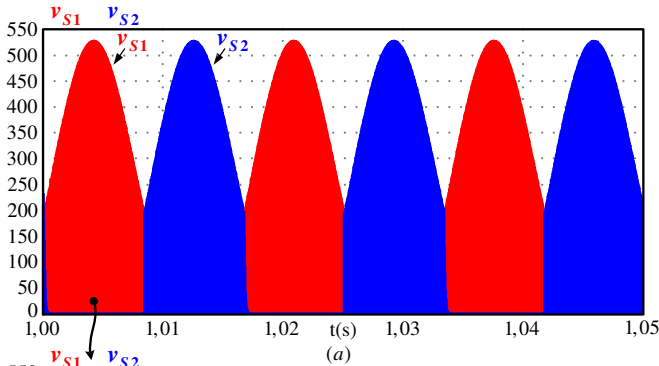


Fig. 5-19. Formas de onda: (a) tensão sobre os interruptores  $S_1$  e  $S_2$  em baixa frequência; (b) tensão dos interruptores  $S_1$  e  $S_2$  em alta frequência.  
Fonte: Autoria própria.

Observa-se que a tensão sobre os elementos  $S_1$ ,  $S_2$ ,  $D_{o1}$  e  $D_{o3}$  (Fig. 4-25 e Fig. 4-26) possuem componentes com frequências de 60 Hz e



50 kHz e apresentam amplitude máxima de 529 V e 542 V, respectivamente (valores teóricos: 542 V e 542 V).

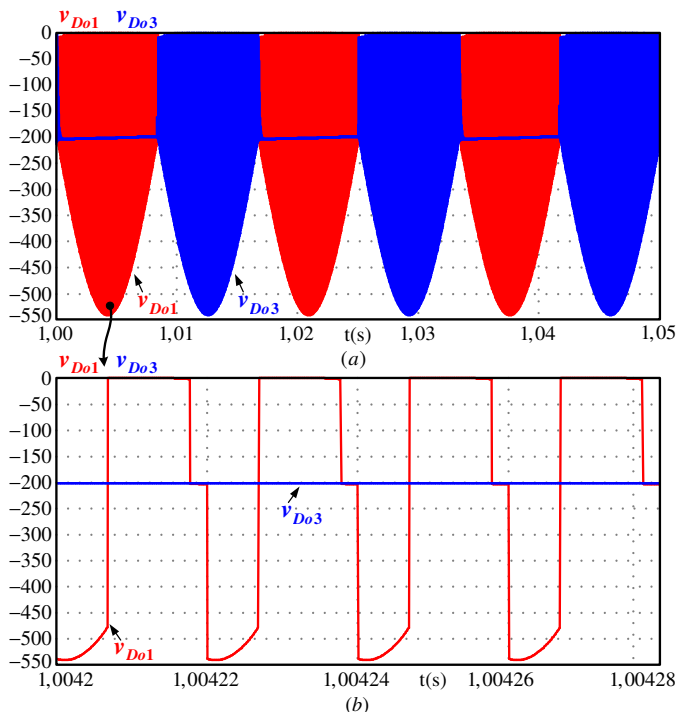


Fig. 5-20. Formas de onda: (a) tensão sobre os diodos  $D_{o1}$  e  $D_{o3}$  em baixa frequência; (b) detalhe da tensão sobre os diodos  $D_{o1}$  e  $D_{o3}$  em alta frequência.

Fonte: Autoria própria.

### 5.5.2 Análise Comparativa: Resultados Teóricos e de Simulação

A presente seção, assim como em 3.6.3 e 4.6.3, objetiva-se a comparar os valores teóricos e os valores obtidos via simulação numérica, referentes aos esforços de tensão e corrente do retificador SEPIC DT+SC 2S. Para tanto, elaborou-se a Tabela 5-3.

Tomando com base os dados expostos na tabela em questão, é possível afirmar que os resultados teóricos e os resultados de simulação numérica são semelhantes, com erro percentual máximo da ordem de 4,6%. Deste modo, considera-se que o equacionamento elaborado é capaz de determinar, com considerável exatidão, os valores das grandezas do retificador SEPIC DT+SC 2S.

Tabela 5-3. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente do retificador SEPIC DT+SC 2S.

GRANDEZAS	Retificador SEPIC DT+SC 2S		
	Teor.	Siml.	Er.%
$I_{Lief\_fr}$	4,55 A	4,63 A	1,73
$I_{Lo1med\_fr}$ e $I_{Lo2med\_fr}$	2,5 A	2,51 A	0,40
$I_{Lo1ef\_fr}$ e $I_{Lo2ef\_fr}$	7,25 A	7,35 A	1,40
$I_{Ci1ef}$ e $I_{Ci2ef}$	5,34 A	5,47 A	2,38
$V_{Ci1max}$ e $V_{Ci2max}$	342 V	339 V	0,88
$I_{Co1ef}$ e $I_{Co2ef}$	7,86 A	8,06 A	2,48
$I_{Co3ef}$ e $I_{Co4ef}$	3,04 A	3,06 A	0,70
$I_{CS1ef}$ e $I_{CS2ef}$	5.10 A	4,98 A	2,35
$V_{Co1med}$	200 V	201 V	0,50
$V_{Co2med}$	200 V	201 V	0,50
$V_{Co3med}$	200 V	199 V	0,50
$V_{Co4med}$	200 V	199 V	0,50
$V_{CS1med}$	200 V	201 V	0,50
$V_{CS2med}$	200 V	201 V	0,50
$V_{omed}$	400 V	800 V	0,00
$I_{S1ef\_fr}$ e $I_{S2ef\_fr}$	9,23 A	9,58 A	3,71
$V_{S1max}$ e $V_{S2max}$	542 V	529 V	2,39
$I_{Do1med\_fr} \dots I_{Do4med\_fr}$	1,25 A	1,25 A	0,00
$I_{De1med\_fr} \dots I_{De6med\_fr}$	1,25 A	1,25 A	0,00
$V_{Do1max}$ e $V_{Do3max}$	542 V	542 V	0,00
$V_{Do2max}$ e $V_{Do4max}$	342 V	341 V	0,30
$I_{D1med\_fr} \dots I_{D2med\_fr}$	2,05 A	2,07 A	0,97
$V_{De1max}$ e $V_{De4max}$	342 V	327 V	4,59
$V_{De2max}$ , $V_{De3max}$ , $V_{De5max}$ e $V_{De6max}$	200 V	203 V	1,50

Fonte: Autoria própria.

5.6 RESULTADOS EXPERIMENTAIS: RETIFICADOR SEPIC DT+SC 2S

O protótipo apresentado por meio da Fig. 5-21 foi construído com a finalidade de validar a operação, o equacionamento e a simulação numérica elaborada para o retificador SEPIC DT+SC 2S. Para isso, utilizou-se as especificações de projetos expostas na Tabela 5-2 e os valores dos elementos passivos contidos na Tabela 5-1. Os elementos empregados na montagem do retificador em questão podem ser visualizados na Tabela 5-4.

Tabela 5-4. Elementos utilizados na montagem do protótipo.

Especificação	Valores – Ret. DT+SC 2S
Indutor $L_i$	Indutância: 3,385 mH Espiras: 156 Fio: 16 AWG Núcleo: APH46P60
Indutores $L_{o1}$ e $L_{o2}$	Indutância: 60,3 $\mu$ H Espiras: 29 Fio: 64 x 32 AWG Núcleo: EE42/20 3C94
Interruptores $S_1$ e $S_2$	IPZ65R019C7 (700 V/19 m $\Omega$ )
Diodos $D_{o1}$ ... $D_{o4}$	MUR1560 (600 V/15 A)
Diodos $D_{e1}$ ... $D_{e6}$	C3D08060A-ND (600 V/8 A)
Diodos $D_1$ e $D_2$	MUR860 (600 V/6 A)
Capacitores $C_{i1}$ e $C_{i2}$	1.5 $\mu$ F/520 V
Capacitores $C_{o1}$ ... $C_{o4}$	2 x 1500 $\mu$ F/250 V
Capacitor $C_{S1}$ e $C_{S2}$	2 x 100 $\mu$ F/520 V
Circuito de controle	UC3525A

Fonte: Autoria própria.

O protótipo do retificador SEPIC DT+SC 2S foi construído tomando como base o esquemático apresentado na Fig. 5-21. O referido protótipo apresentou potência específica de aproximadamente 0,4 kW/Kg e densidade de potência de cerca de 0,311 kW/L.

Assim como implementado nos demais retificadores tratados nesta tese, o circuito de controle foi desenvolvido a partir do CI UC3525. Para tanto, o amplificador operacional interno ao referido CI foi configurado para ser o controlador da malha de tensão de saída.

Os resultados que nesta seção são apresentados, foram obtidos com o retificador SEPIC DT+SC 2S operando em malha fechada de tensão e em potência nominal, ou seja, 1000 W.

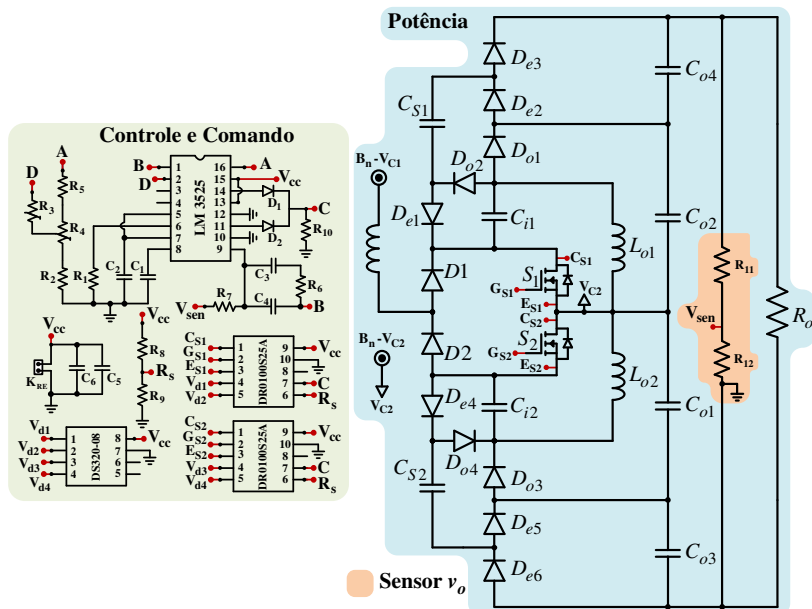


Fig. 5-21. Esquemático: retificador SEPIC DT+SC 2S.

Fonte: Autoria própria.

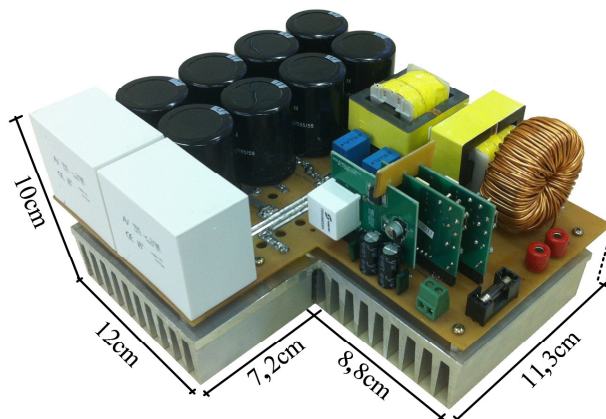


Fig. 5-22. Foto do protótipo do retificador SEPIC DT+SC 2S.

Fonte: Autoria própria.

### 5.6.1 Resultados Experimentais: Retificador SEPIC DT+SC 2S

- Tensões e correntes de entrada e saída:

Por intermédio da Fig. 5-23 e da Fig. 5-24 são apresentados,

respectivamente, o comportamento da tensão e corrente de entrada e o aspecto harmônico da corrente drenada da rede elétrica. Verifica-se que a corrente  $i_{Li}$  possui formato senoidal, encontra-se em fase com a respectiva tensão e possui uma pequena ondulação em alta frequência, em torno de 10%.

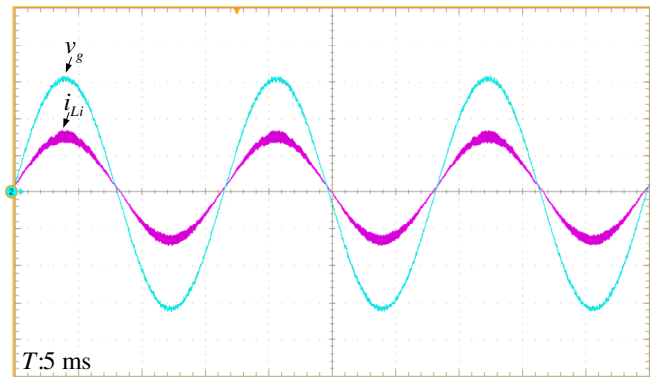


Fig. 5-23. Formas de onda: tensão de entrada  $v_g$  e corrente de entrada  $i_{Li}$ , 100 V/div e 5 A/div, respectivamente.  
Fonte: Autoria própria.

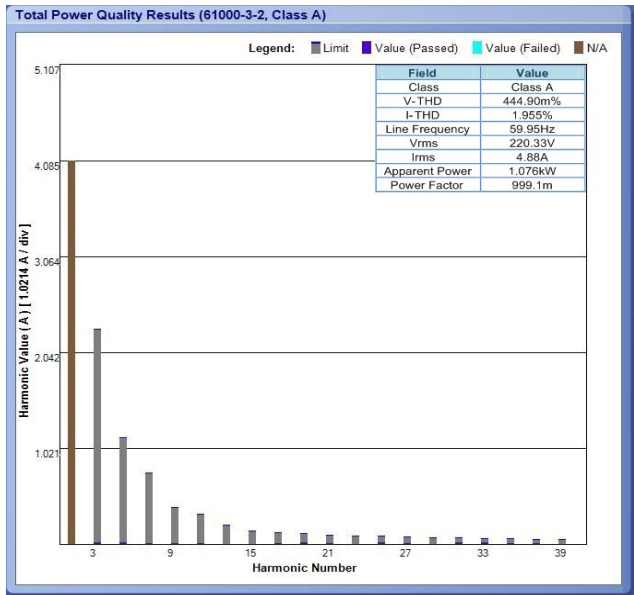


Fig. 5-24. Ret. DT+SC 2S: espectro harmônico da corrente de entrada.  
Fonte: Autoria própria.

Por meio do aspecto harmônico apresentado na Fig. 5-24, constata-se que a corrente de entrada possui THD de aproximadamente 1,955% e fator de potência em torno de 0,9991.

Por intermédio da Fig. 5-25 são apresentadas as formas de onda da tensão e corrente de saída. Observa-se que as grandezas em questão contêm uma componente em baixa frequência (120 Hz), uma componente em alta frequência (50 kHz) e possuem valor médio de aproximadamente 802 V e 1,243 A, respectivamente. Assim, o retificador SEPIC DT+SC 2S processa cerca de 997 W.

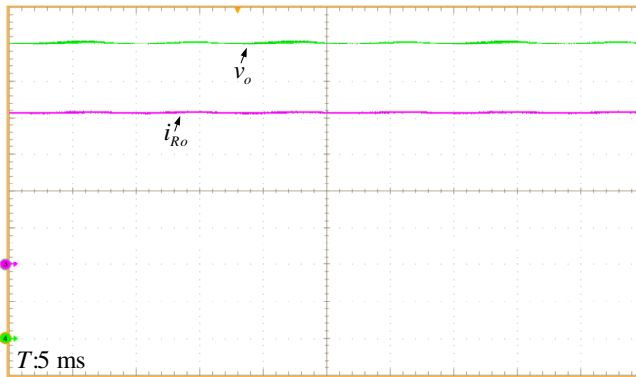


Fig. 5-25. Formas de onda: tensão  $v_o$  (100 V/div) e corrente  $i_{Ro}$  (300 mA/div).  
Fonte: Autoria própria.

- Capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$ ,  $C_{S1}$  e  $C_{S2}$ :

Por meio da Fig. 5-26 são expostas as formas de onda da tensão medida sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ .

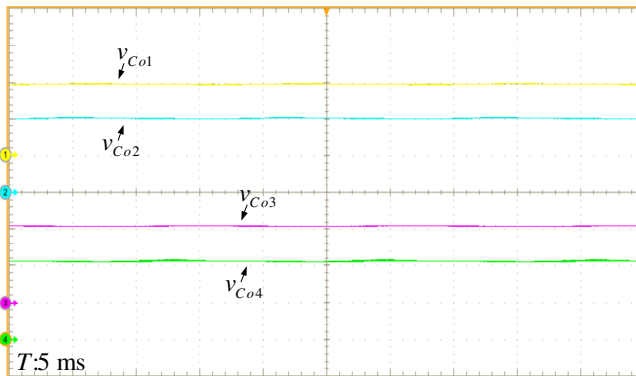


Fig. 5-26. Formas de onda: tensão em  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ , todas com 100 V/div.  
Fonte: Autoria própria.

Observa-se a partir da Fig. 5-26 que as tensões  $v_{Co1}$ ,  $v_{Co2}$ ,  $v_{Co3}$  e  $v_{Co4}$  mostram-se equalizadas e possuem valor médio de aproximadamente 200 V. Como a tensão de saída é obtida por intermédio da soma destas tensões, tem-se que o valor médio de  $v_o$  é de cerca de 800 V, o que pode ser constatado por meio da Fig. 5-25 e Fig. 5-27.

As formas de onda da tensão sobre os capacitores  $C_{o1}$ - $C_{o4}$ - $C_{S1}$ ,  $C_{o2}$ - $C_{o3}$ - $C_{S2}$  e da tensão  $v_o$  podem ser observadas por intermédio da Fig. 5-27.

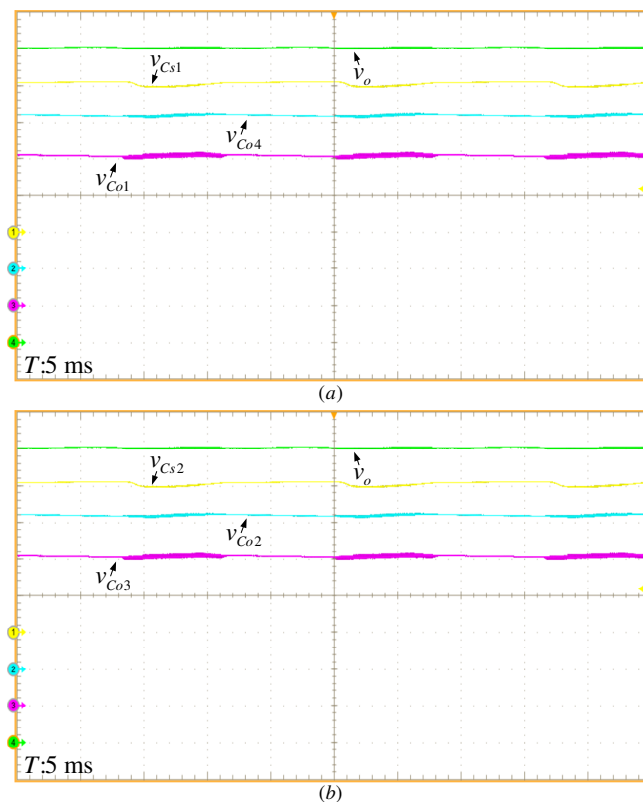


Fig. 5-27. Formas de onda: (a) tensões  $v_{Co1}$ ,  $v_{Co4}$ ,  $v_{Cs1}$  e  $v_o$ ; (b) tensões  $v_{Co2}$ ,  $v_{Co3}$ ,  $v_{Cs2}$  e  $v_o$ , todas com 50 V/div, exceto  $v_o$  com 100 V/div.

Fonte: Autoria própria.

As tensões sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$ ,  $C_{S1}$  e  $C_{S2}$  apresentam valor médio de aproximadamente 200 V enquanto que a tensão  $v_o$  possui valor médio de cerca de 800 V. Como esperado, o valor

da tensão de saída é quatro vezes mais elevado que o valor das tensões dos referidos capacitores e duas vezes maior que o valor médio da tensão  $v_o$  dos retificadores DT 1S e 2S. Este fato torna evidente a característica de multiplicação da tensão de saída, a qual é obtida por meio das células de capacitor chaveado que compõe o retificador SEPIC DT+SC 2S.

As formas de onda da corrente dos capacitores  $C_{S1}$  e  $C_{S2}$  podem ser observadas por meio da Fig. 5-28. Constata-se que as referidas correntes possuem ondulações com frequência de 120 Hz e 50 kHz e apresentam valor eficaz de aproximadamente de 5,9 A.

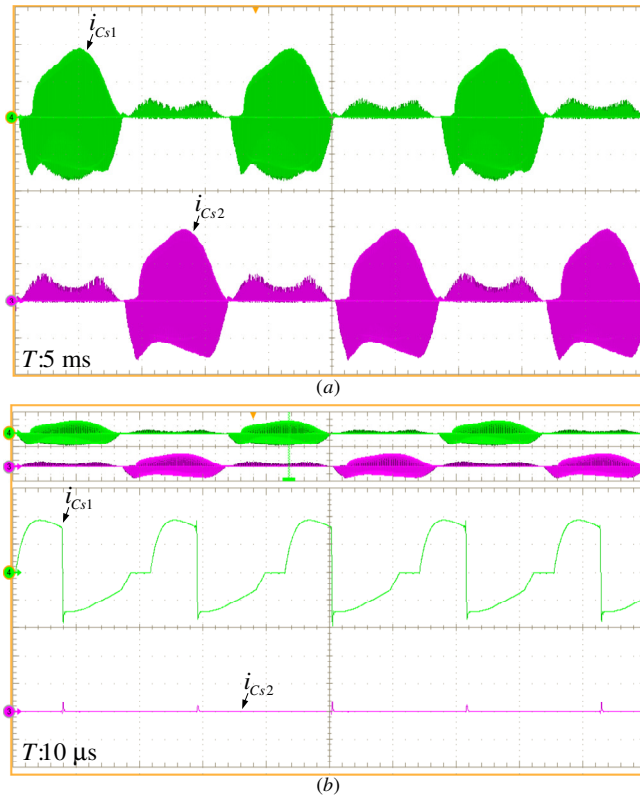


Fig. 5-28. Formas de onda: (a) corrente em  $C_{S1}$  e  $C_{S2}$  em baixa frequência; (b) corrente em  $C_{S1}$  e  $C_{S2}$  em alta frequência, todas com 8 A/div.

Fonte: Autoria própria.

- Semicondutores  $S_1$ ,  $S_2$ ,  $D_{o1}$ ,  $D_{o2}$ ,  $D_{e1}$ ,  $D_{e2}$ ,  $D_{e3}$ ,  $D_{e4}$ ,  $D_{e5}$  e  $D_{e6}$ :

O comportamento da tensão dos interruptores  $S_1$  e  $S_2$  pode ser



visualizado por meio da Fig. 5-29. Verifica-se que as tensões  $v_{S1}$  e  $v_{S2}$  são constituídas por componentes de 60 Hz e 50 kHz e, apresentam amplitude máxima de aproximadamente 540 V e 535 V, respectivamente (valores teóricos: 542 V e 542 V).

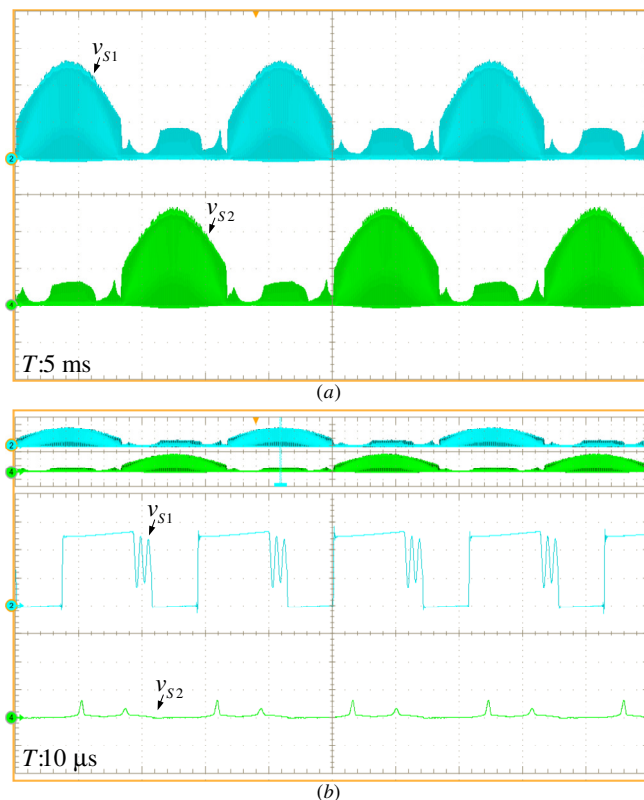


Fig. 5-29. Formas de onda: (a) tensão sobre  $S_1$  e  $S_2$  em baixa frequência, (b) tensão sobre  $S_1$  e  $S_2$  em alta frequência, todas com 200 V/div.

Fonte: Autoria própria.

As formas de onda das tensões medidas sobre os diodos  $D_{o1}$ ,  $D_{o2}$ ,  $D_{o3}$  e  $D_{o4}$  podem ser visualizadas na Fig. 5-30 e Fig. 5-31, respectivamente. Constata-se que as grandezas em questão possuem ondulação em baixa (60 Hz) e em alta frequência (50 kHz) e, tensão reversa máxima de aproximadamente de 566 V, 366 V, 557 V e 349 V, respectivamente (valores teóricos: 542 V, 342 V, 542 V e 542 V).

Por meio da Fig. 5-32, Fig. 5-33 e Fig. 5-34 são apresentadas as formas de onda da tensão mensurada sobre os diodos  $D_{e1}$ ,  $D_{e2}$ ,  $D_{e3}$ ,  $D_{e4}$ ,

$D_{e5}$  e  $D_{e6}$ . O valor da máxima tensão reversa aplicada sobre estes semicondutores é de cerca de 309 V, 204 V, 214 V, 309 V, 206 V e 207 V, respectivamente (valores teóricos: 342 V, 200 V, 200 V, 342 V e 200 V).

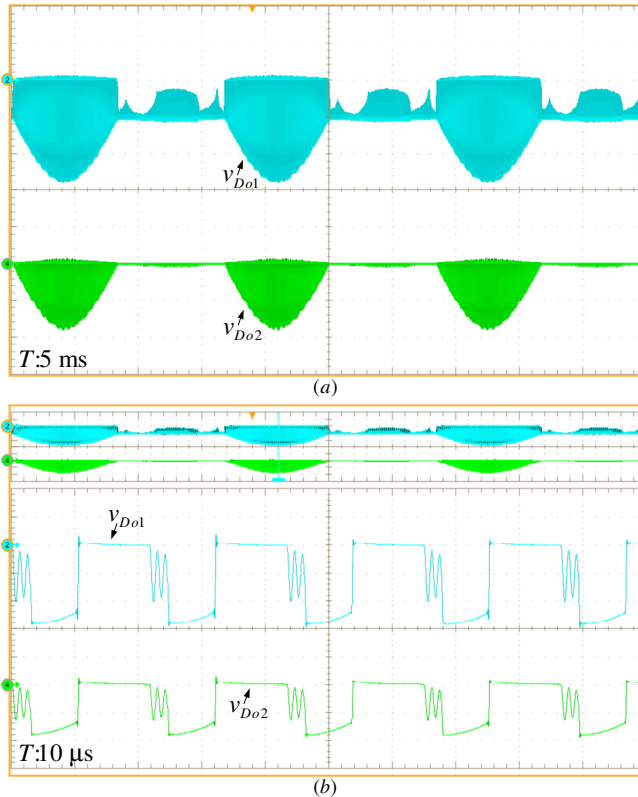


Fig. 5-30. Formas de onda: (a) tensão sobre  $D_{o1}$  e  $D_{o2}$  em baixa frequência, (b) tensão sobre  $D_{o1}$  e  $D_{o2}$  em alta frequência, todas com 200 V/div.

Fonte: Autoria própria.

- Resposta ao degrau:

A resposta dinâmica do retificador SEPIC DT+SC 2S perante um degrau de carga de aproximadamente +15% é apresentada por meio da Fig. 5-35. É possível observar que o tempo de estabilização do sistema é de aproximadamente 400 ms e o sobressinal da tensão  $v_o$  é de cerca de 0,7 %. Estes valores apresentam-se similares aos resultados obtidos via simulação numérica e, por isto, considera-se que o controlador proposto é adequado.

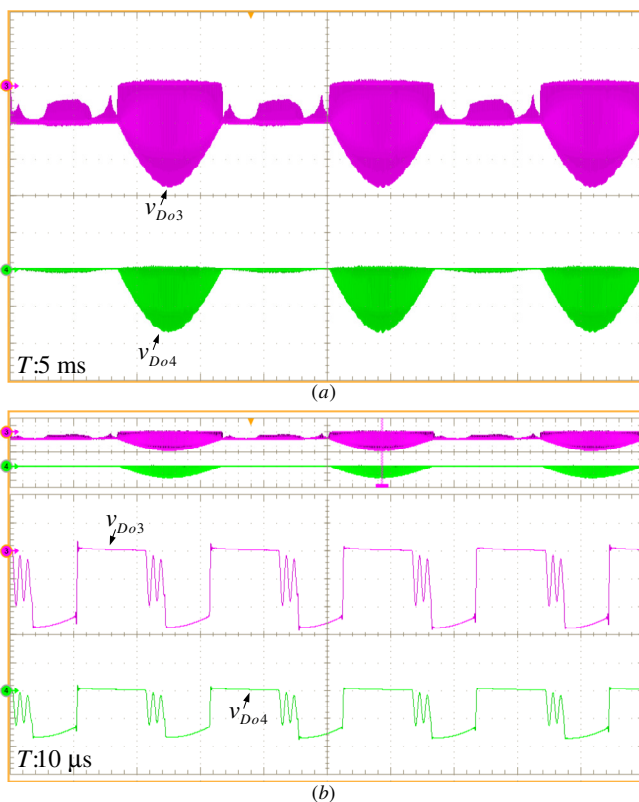


Fig. 5-31. Formas de onda: (a) tensão em  $D_{o3}$  e  $D_{o4}$  em baixa frequência; (b) tensão em  $D_{o3}$  e  $D_{o4}$  em alta frequência, todas com 200 V/div.  
Fonte: Autoria própria.

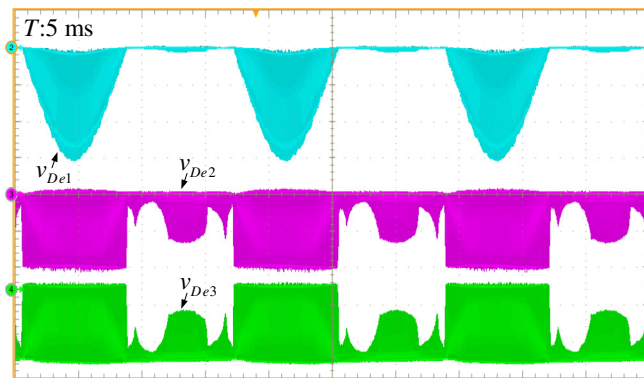


Fig. 5-32. Formas de onda: tensão em  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$  em baixa. freq. 100 V/div.  
Fonte: Autoria própria.

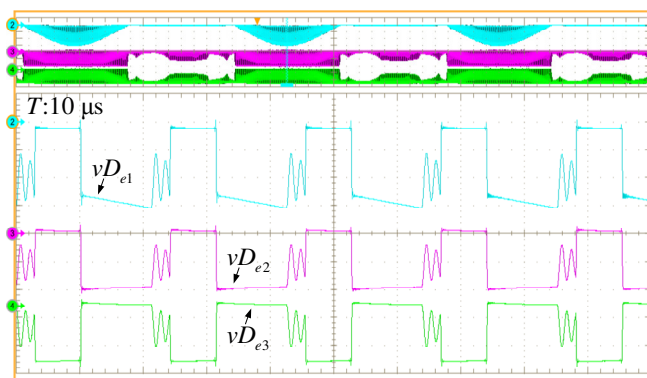


Fig. 5-33. Formas de onda: tensão em  $D_{e1}$ ,  $D_{e2}$  e  $D_{e3}$  em alta. freq. 100 V/div.  
Fonte: Autoria própria.

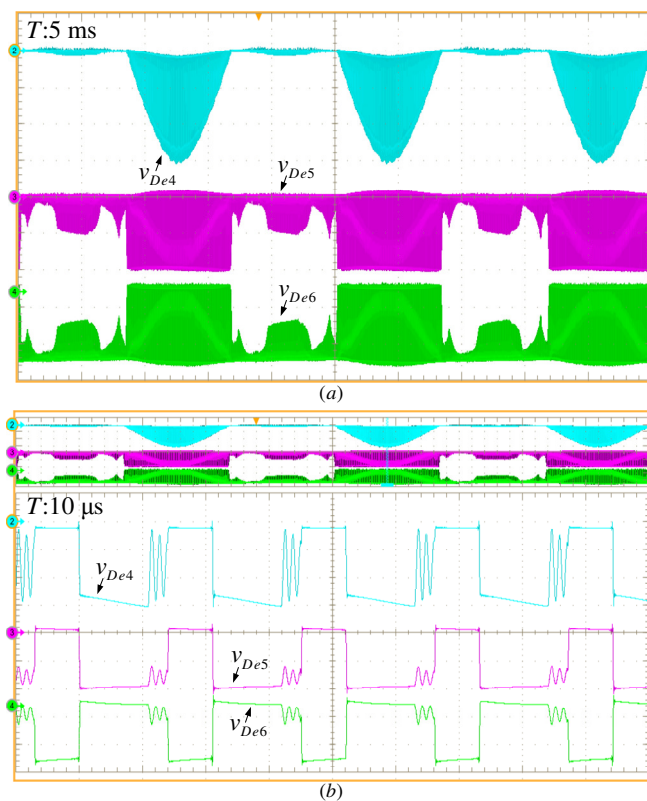


Fig. 5-34. Formas de onda: (a) tensão em  $D_{e4}$ ,  $D_{e5}$  e  $D_{e6}$  em baixa frequência;  
(b) tensão em  $D_{e4}$ ,  $D_{e5}$  e  $D_{e6}$  em alta frequência, todas com 100 V/div.  
Fonte: Autoria própria.

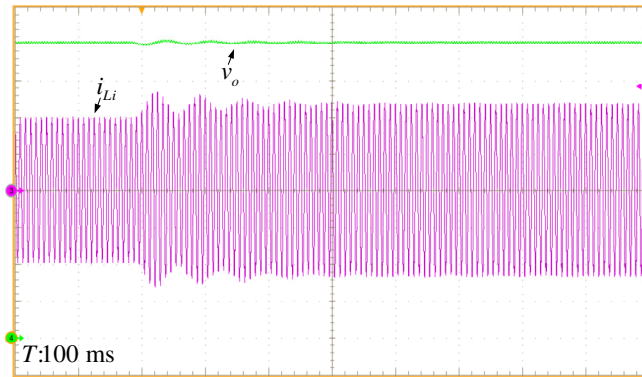


Fig. 5-35. Resposta dinâmica do conversor para um degrau de carga de +15%,  $v_o$ -100 V/div e  $i_{Li}$ -3 A/div.  
Fonte: Autoria própria.

O desempenho dinâmico do conversor SEPIC DT+SC 2S, frente a um degrau de carga de cerca de +41%, pode ser visualizado por meio da Fig. 5-36. Verifica-se que o sobre sinal e o tempo de estabilização da tensão de saída  $v_o$  são de aproximadamente 2% e 500 ms, respectivamente.

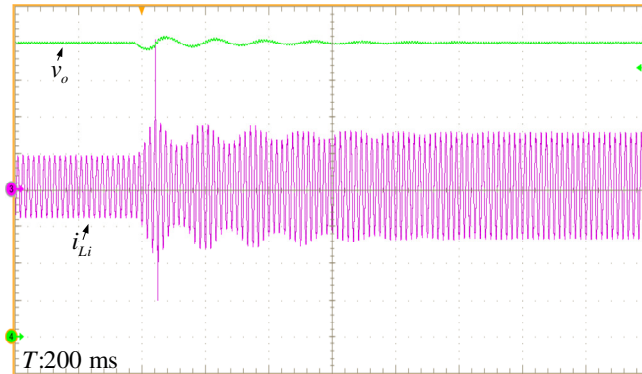


Fig. 5-36. Resposta dinâmica do conversor para um degrau de carga de +41%,  $v_o$ -100 V/div e  $i_{Li}$ -5 A/div.  
Fonte: Autoria própria.

### 5.6.2 Curvas Experimentais do Retificador SEPIC DT+SC 2S

Por intermédio da Fig. 5-37, Fig. 5-38 e Fig. 5-39 são apresentadas as curvas experimentais de rendimento, distorção harmônica total e fator de potência do retificador SEPIC DT+SC 2S.

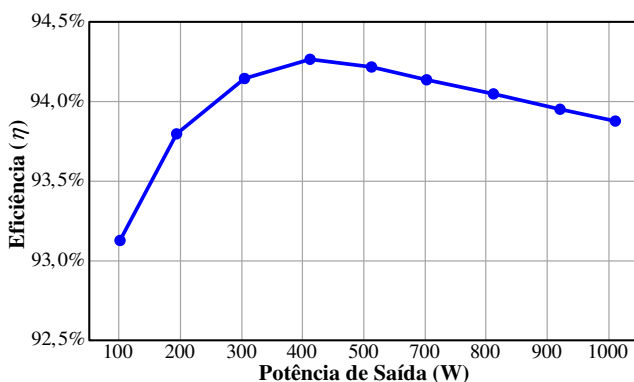


Fig. 5-37. Curva experimental do retificador DT+SC 2S: rendimento *versus* potência de saída.

Fonte: Autoria própria.

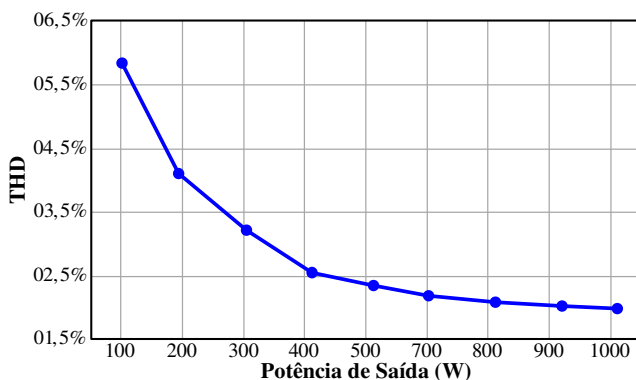


Fig. 5-38. Curva experimental do retificador DT+SC 2S: THD *versus* potência de saída.

Fonte: Autoria própria.

Observa-se por meio da Fig. 5-37 que o retificador SEPIC DT+SC 2S apresenta rendimento máximo de 94,3% em meia carga e rendimento de 93,9% em carga nominal.

Em relação distorção harmônica, o referido retificador apresenta THD de 5,8% em 10% de carga e THD de 1,95% em carga nominal.

No que tange ao fator de potência (Fig. 5-39), verifica-se que o retificador SEPIC+SC 2S possui FP de 0,984 em 10% de carga e FP de 0,999 em carga nominal.

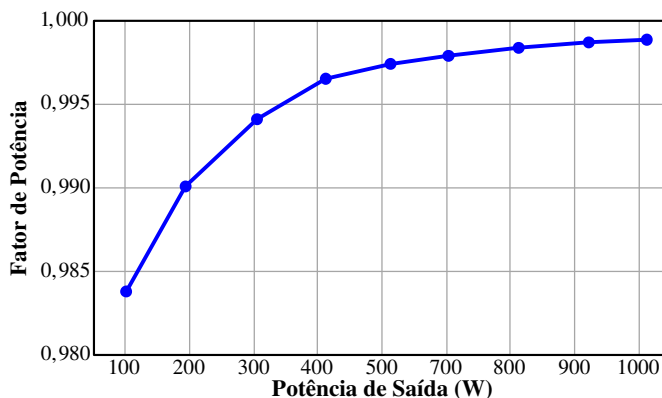


Fig. 5-39. Curva experimental do retificador DT+SC 2S: fator de potência *versus* potência de saída.  
Fonte: Autoria própria.

### 5.6.3 Análise Comparativa entre o Retificador SEPIC Clássico e o Conversor SEPIC DT+SC

Uma análise comparativa alusiva ao número de elementos e aos esforços de tensão dos semicondutores do retificador SEPIC clássico, do retificador SEPIC DT e do conversor SEPIC DT + SC pode ser visualizada por intermédio da Tabela 5- 5.

Por intermédio da referida tabela é possível constatar que o retificador SEPIC DT+SC impõe menores esforços de tensão aos seus semicondutores. Em contrapartida, emprega um maior número de componentes em relação ao conversor clássico e ao conversor DT 2S.

## 5.7 CONCLUSÃO DO CAPÍTULO

Por meio deste capítulo foram apresentados os conceitos, etapas de operação, formas de onda teóricas, principais equações de projeto, modelo dinâmico e sua validação, resultados teóricos, resultados de simulação numérica e resultados experimentais alusivos ao retificador monofásico SEPIC DCM DT+SC 2S.

Tomando como base os resultados teóricos, os quais foram obtidos a partir das expressões propostas na seção 5.2.3, os resultados de simulação numérica, apresentados na seção 5.5, e os resultados experimentais obtidos a partir do protótipo exposto na seção 5.6, é possível afirmar que o referido conversor opera de forma correta, validando desta forma, a integração entre o retificador monofásico SEPIC DT exposto no capítulo três e o conceito do capacitor chaveado

apresentando no quarto capítulo. O conversor SEPIC DCM DT+SC 2S apresentou reduzida THD, elevado fator de potência e rendimento a plena carga em torno de 93,9%.

Tabela 5- 5. Análise comparativa entre: retificador SEPIC Clássico, retificador SEPIC DT e retificador SEPIC DT+SC.

Grandezas	Ret. SEPIC clássico	Ret. SEPIC DT 2S	Retificador SEPIC DT+SC <sup>1</sup>		
			Célula 1S	Célula 2S	Célula 4S
Números de Elementos	10	15	22	21	21
Máxima tensão diodo de saída	$V_p + V_o$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2+n}$	$V_p + \frac{V_o}{2+n}$	$V_p + \frac{V_o}{2+n}$
Máxima tensão interruptor controlado	$V_p + V_o$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2+n}$	$V_p + \frac{V_o}{2+n}$	$V_p + \frac{V_o}{2+n}$

<sup>1</sup>Conversor com *n* igual a 2.  
Fonte: Autoria própria.



## **RETIFICADOR TRIFÁSICO SEPIC DT**

### **6.1 INTRODUÇÃO**

**P**or meio deste capítulo são apresentados os conceitos, os circuitos elétricos equivalentes relativos as etapas de operação, as formas de onda teóricas, as principais equações de projeto, o modelo dinâmico, os resultados de simulação numérica e os resultados experimentais referentes ao retificador trifásico SEPIC DT 6S, o qual é desenvolvido a partir da versão monofásica denominada SEPIC DT 2S tratada na seção 3 desta tese.

### **6.2 RETIFICADOR TRIFÁSICO SEPIC DT**

O conversor trifásico SEPIC DT, o qual é apresentado por meio da Fig. 6-1, é concebido a partir do retificador monofásico SEPIC DT. Este conversor trifásico proporciona, quando comparado aos retificadores SEPIC propostos em [1, 12, 13 e 15], uma multiplicação de duas vezes o valor médio da tensão de saída. Embora apresente maior valor de tensão de saída, os esforços de tensão sobre os seus semicondutores permanecem equivalentes aos esforços de tensão dos interruptores dos conversores abordados em [1, 12, 13 e 15].

A célula de comutação de três estados do retificador trifásico SEPIC DT apresenta a possibilidade de ser implementada de quatro maneiras diferentes, como pode ser verificado na Fig. 6-1 (b), (c) (d) e (e) e são designadas como 3S, 6S, 12S e 3B, sequencialmente.

É relevante salientar que embora apresente quatro modos distintos de implementação da célula de comutação, a presente tese se restringirá a apresentar os estudos analíticos e verificação experimental da versão 6S, a qual pode ser visualizada por intermédio da Fig. 6-2.

### **6.3 ANÁLISE TEÓRICA DO RETIFICADOR TRIFÁSICO SEPIC DT 6S**

Para realizar a análise teórica do retificador SEPIC DT 6S, é estabelecido, como exposto na Fig. 6-3, um setor que define o período

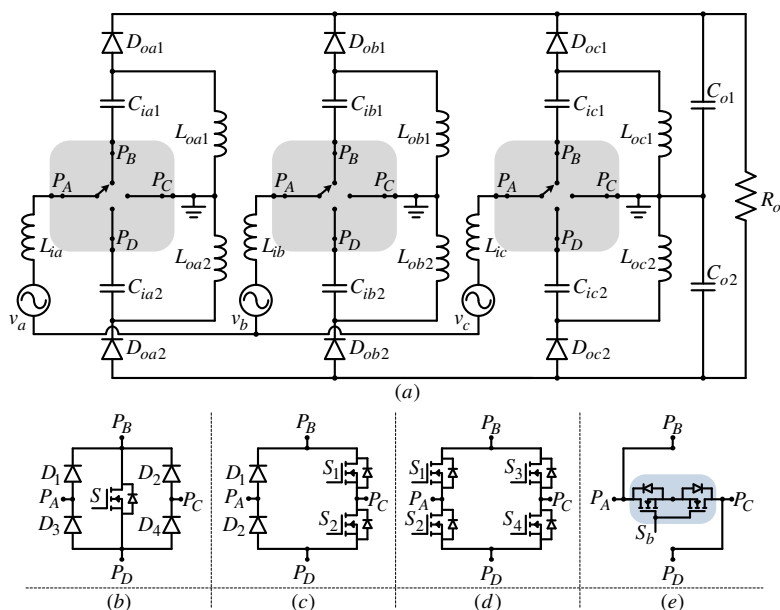


Fig. 6-1. Topologias propostas: (a) estrutura do retificador trifásico SEPIC DT com célula de comutação genérica de três estados; (b) célula de comutação com três interruptores ativos (3S); (c) célula de comutação com seis interruptores ativos (6S – versão *bridgeless*); (d) célula de comutação com doze interruptores ativos (12S – versão *bridgeless*) e (e) célula de comutação com três interruptores bidirecionais (3B – versão *bridgeless*).

Fonte: Autoria própria.

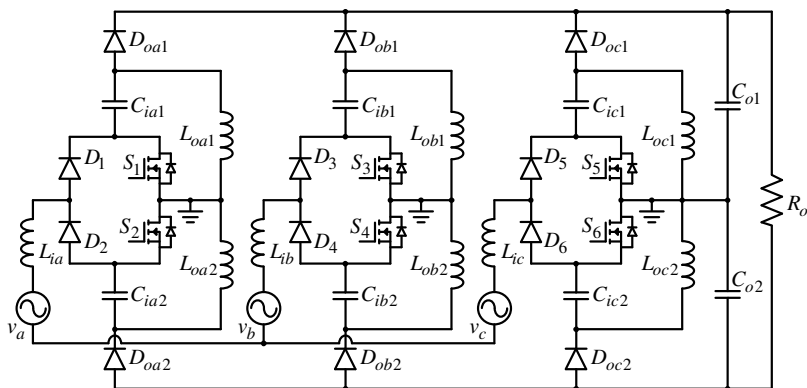


Fig. 6-2. Topologia do retificador SEPIC DT trifásico 6S.

Fonte: Autoria própria.

em que o conversor é estudado. É relevante salientar que as

análises e considerações estabelecidas ao setor escolhido, neste caso, setor três ( $60^\circ < \omega.t < 90^\circ$ ), podem ser estendidas aos demais setores. Tomando como base o setor escolhido, os valores das tensões de entrada podem ser representados pela expressão (6.1).

$$|v_a| > |v_b| > |v_c| \quad (6.1)$$

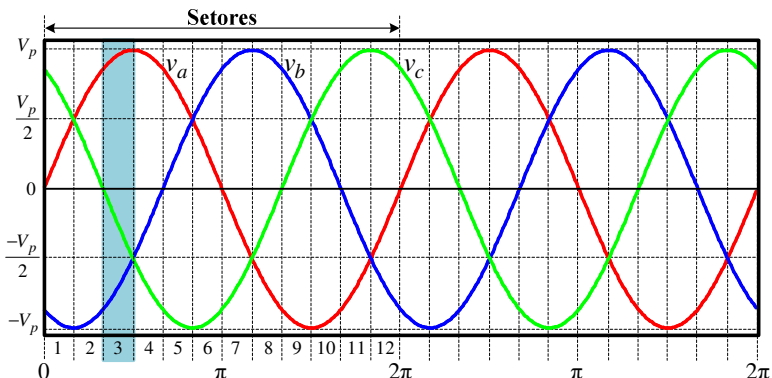


Fig. 6-3. Divisão em setores das tensões trifásicas de entrada.

Fonte: Autoria própria.

### 6.3.1 Etapas de Operação

No modo de operação descontínua o conversor SEPIC DT 6S apresenta cinco etapas de operação, as quais são representadas pelos circuitos equivalentes expostos nas figuras Fig. 6-4, Fig. 6-5 e Fig. 6-6.

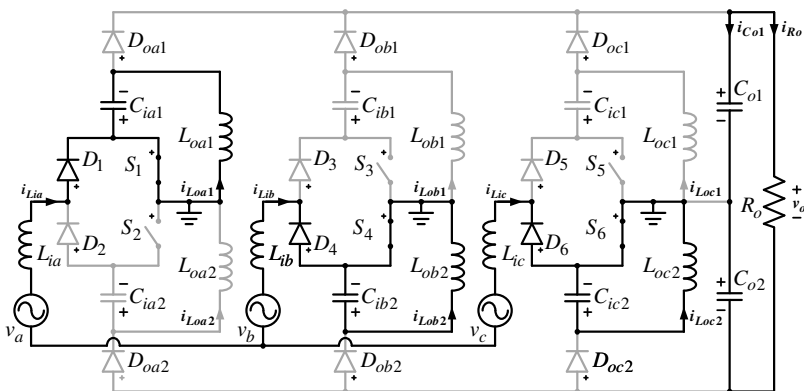


Fig. 6-4. Circuito equivalente referente à primeira etapa de operação.

Fonte: Autoria própria.

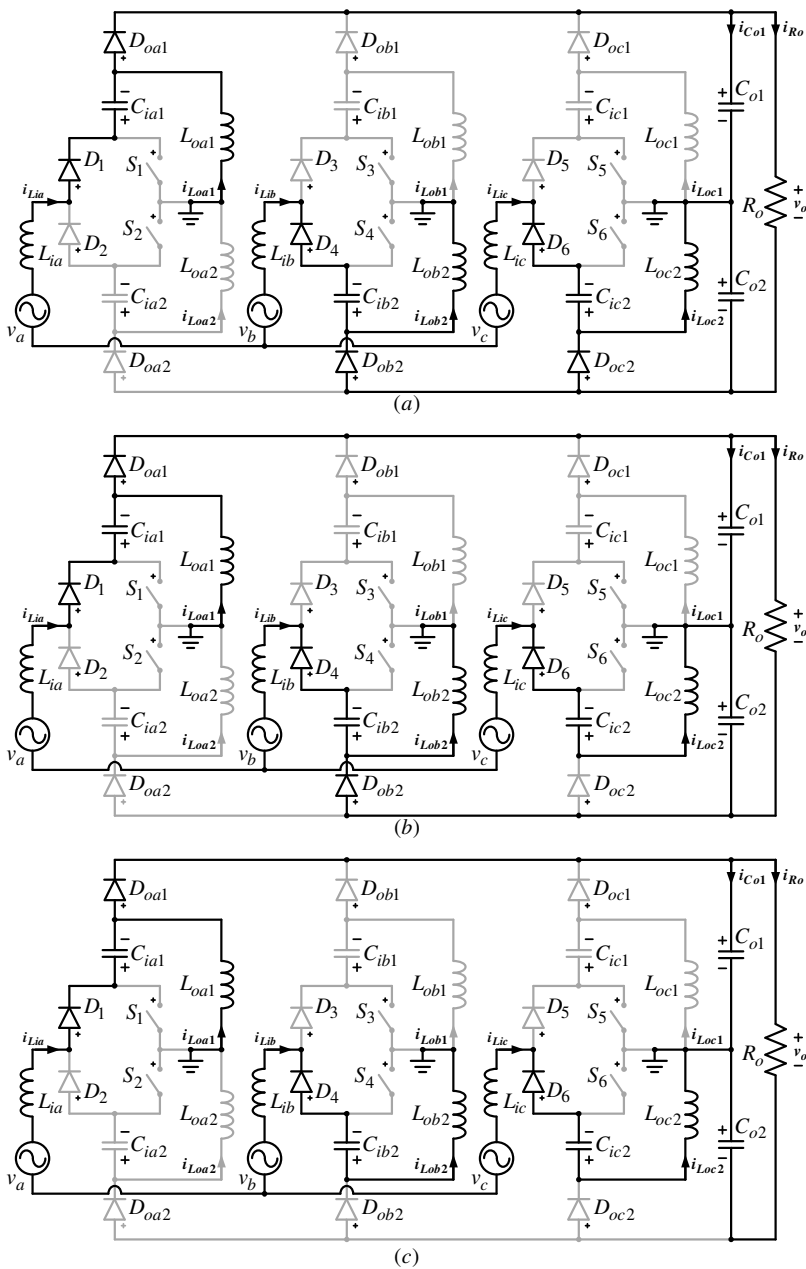


Fig. 6-5. Circ. equivalentes: (a) 2ª etapa; (b) 3ª etapa; (c) 4ª etapa de operação.  
Fonte: Autoria própria.

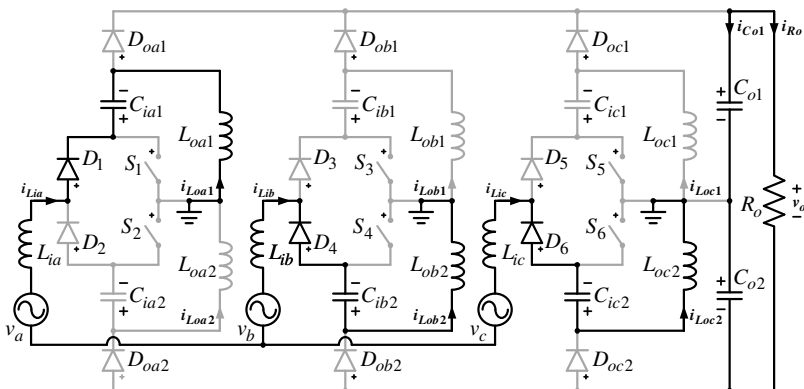


Fig. 6-6. Circuito equivalente referente à quinta etapa de operação.

Fonte: Autoria própria.

### 6.3.2 Formas de Onda

As principais formas de onda de tensão e de corrente do retificador DT 6S, para um período de chaveamento, podem ser visualizadas por intermédio da Fig. 6-7 e Fig. 6-8, respectivamente. Por meio da Fig. 6-7 são apresentadas as tensões sobre os semicondutores  $S_1, S_2, S_3, S_4, S_5, S_6, D_{oa1}, D_{oa2}, D_{ob1}, D_{ob2}, D_{oc1}, D_{oc2}$  e o pulso de comando dos interruptores controlados. Por intermédio da Fig. 6-8 pode-se observar as formas de onda de corrente nos indutores, nos semicondutores controlados e em  $D_{oa1}, D_{oa2}, D_{ob1}, D_{ob2}, D_{oc1}$  e  $D_{oc2}$ .

As principais formas de onda ideais do retificador DT 6S para um período da rede podem ser visualizadas na Fig. 6-9. Por meio desta são apresentadas: as tensões ( $v_a, v_b, v_c$ ) e correntes de entrada ( $i_{Lia}, i_{Lib}, i_{Lc}$ ), as correntes nos indutores  $L_{oa1}, L_{oa2}, L_{ob1}, L_{ob2}, L_{oc1}$  e  $L_{oc2}$ , a tensão de saída ( $v_o$ ) e a tensão nos capacitores  $C_{ia1}, C_{ia2}, C_{ib1}, C_{ib2}, C_{ic1}, C_{ic2}, C_{o1}$  e  $C_{o2}$ . Consta-se que o retificador proposto apresenta correntes e tensões de entrada em fase e garante a multiplicação da tensão de saída ( $v_{Co1} = v_{Co2}$  e  $v_o = 2v_{Co1}$ ), assim como sua versão monofásica (retificador DT 2S).

### 6.3.3 Principais Equações de Projeto do Retificador Trifásico SEPIC DT 6S

As principais equações de projeto do retificador SEPIC DT 6S são tratadas nesta seção. Estas são desenvolvidas com o auxílio das expressões expostas nas seções 3.3.3 e 3.3.4.

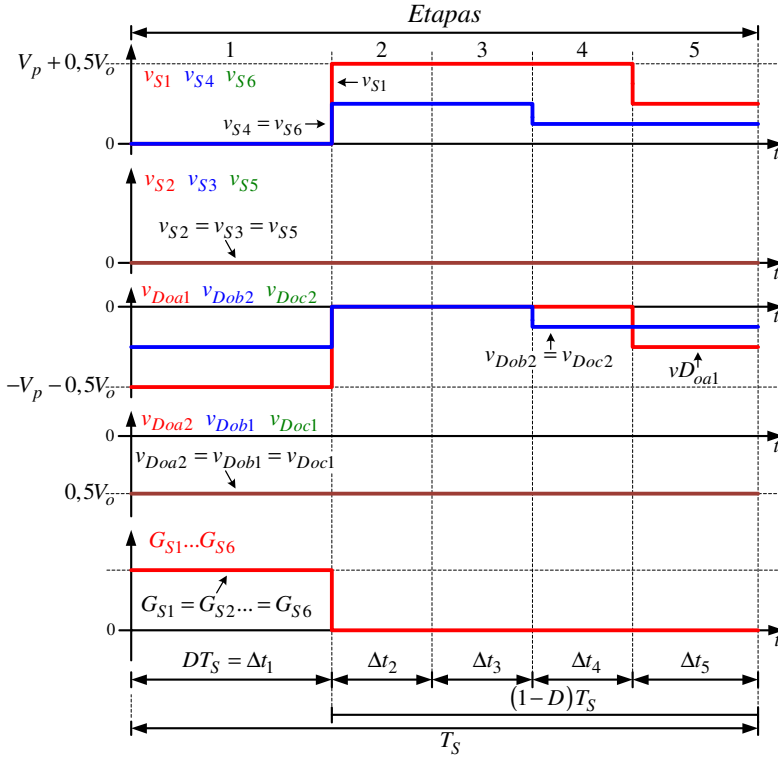


Fig. 6-7. Formas de onda ideais de tensão para um período de chaveamento.  
Fonte: Autoria própria.

O circuito elétrico equivalente simplificado relativo à primeira etapa de operação (para o caso onde  $\theta$  é igual a  $90^\circ$ ) pode ser visualizado por intermédio da Fig. 6-10. Por meio do referido circuito é escrita (6.2).

$$V_{Lia} = V_p + \frac{V_p}{2} - V_{Lib} \quad (6.2)$$

Sendo equivalente o valor das indutâncias  $L_{ia}$ ,  $L_{ib}$  e  $L_{ic}$ , chega-se a expressão numérica (6.3).

$$V_{Lia} = V_p + \frac{V_p}{2} - \frac{V_{Lia}}{2} \quad (6.3)$$

Realizando as manipulações algébricas pertinentes em (6.3) é obtida a equação (6.4).

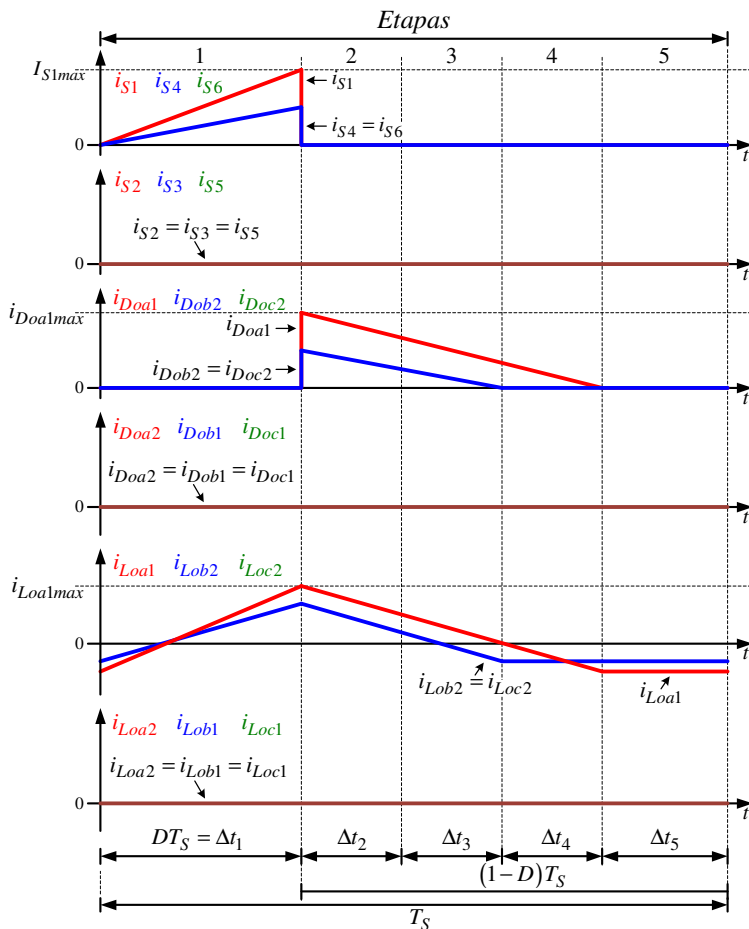


Fig. 6-8. Formas de onda ideais de corrente para um período de chaveamento.  
Fonte: Autoria própria.

$$V_{Lia} = V_p \quad (6.4)$$

A partir de (6.4) é possível constatar que a tensão aplicada em  $L_{ia}$  é equivalente a  $V_p$ , que por sua vez é igual ao valor da tensão aplicada ao indutor de entrada da versão monofásica (SEPIC DT 2S). Esta equivalência de patamares entre a versão trifásica e a monofásica também ocorre nas demais etapas de operações. Deste modo, pode-se utilizar a equação (3.51) para determinar os valores de  $L_{ia}$ ,  $L_{ib}$  e  $L_{ic}$ .

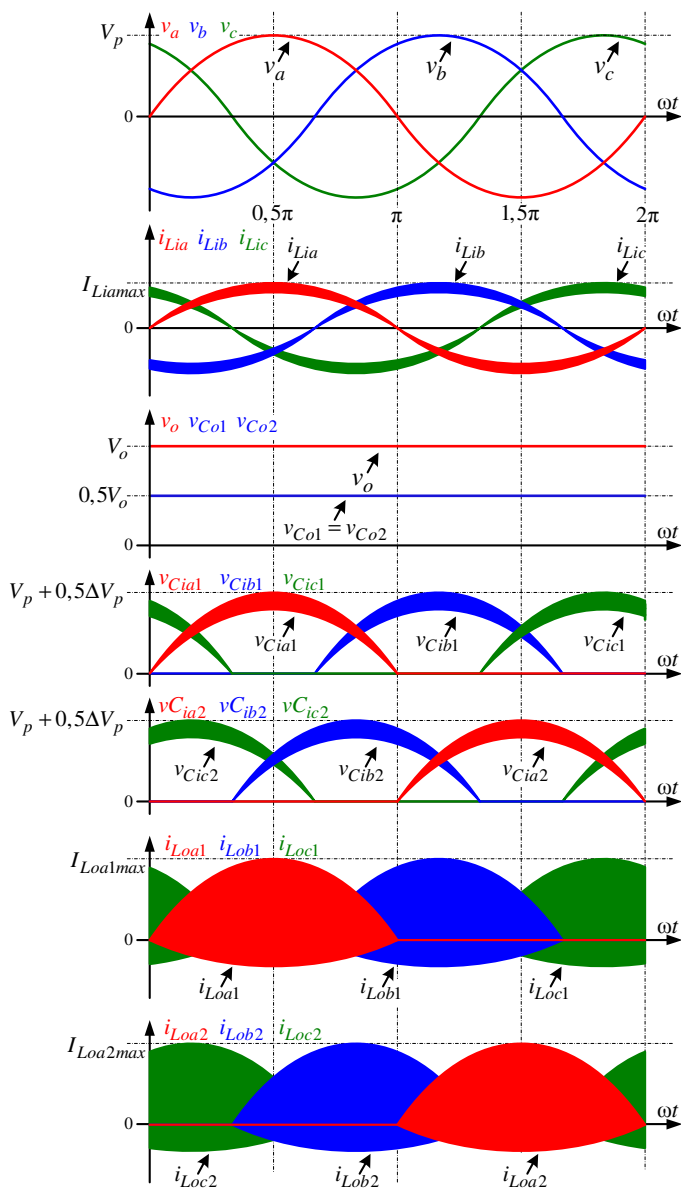


Fig. 6-9. Formas de onda ideais para um período da rede.

Fonte: Autoria própria.



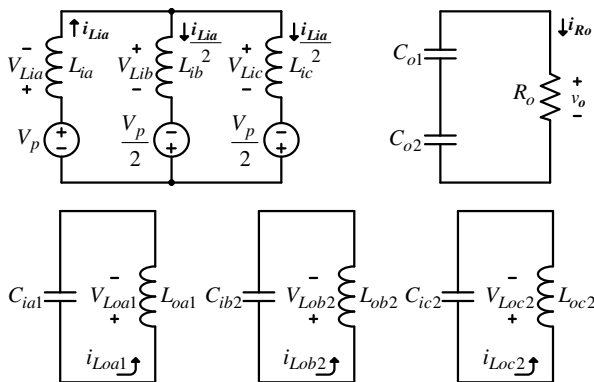


Fig. 6-10. Circuito elétrico simplificado referente à primeira etapa de operação do conversor SEPIC DT 6S.

Fonte: Autoria própria.

Além da equivalência existente entre os patamares das tensões dos indutores de entrada nas versões SEPIC DT 6S e SEPIC DT 2S, há também uma igualdade nos esforços de tensão e corrente nos demais elementos dos conversores. Sendo assim, todas as expressões desenvolvidas, exceto as equações que definem o valor eficaz da corrente dos capacitores de saída, o valor médio da corrente de saída (6.6), o ganho estático (6.7), a resistência crítica (6.8) e a razão cíclica máxima (6.9), para a estrutura monofásica (SEPIC DT 2S) podem ser utilizadas para determinar as grandezas dos elementos da topologia trifásica (SEPIC DT 6S), como pode ser constatado por meio da Tabela 6-1 e Tabela 6-2.

$$i_{C_{olef}} = i_{C_{o2ef}} =$$

$$\sqrt{\frac{3V_p^3 D^3}{144V_o^2 L_{ia}^2 L_{oa1}^2 f_s^2} \left( \frac{22V_o (2L_{ia} L_{oa1} + L_{ia}^2 + L_{oa1}^2) +}{27DV_p (-2L_{ia} L_{oa1} - L_{ia}^2 - L_{oa1}^2)} \right)} \quad (6.5)$$

$$i_{Ro} = \frac{3D^2 V_p^2 (L_{ia} + L_{oa1})}{4V_o L_{ia} L_{oa1} f_s} \quad (6.6)$$

$$G = \frac{V_o}{V_p} = \frac{D}{2} \sqrt{\frac{3R_o (L_{ia} + L_{oa1})}{L_{ia} L_{oa1} f_s}} \quad (6.7)$$

$$R_{omin} = \frac{4L_{ia} L_{oa1} f_s}{3(1-D)^2 (L_{ia} + L_{oa1})} \quad (6.8)$$

$$D_{max} = 1 - 2 \sqrt{\frac{L_{ia} L_{oa1} f_s}{3R_o (L_{ia} + L_{oa1})}} \quad (6.9)$$

As curvas de característica estática do retificador em questão são equivalentes às apresentadas na Fig. 2-8. No entanto, agora com o fator  $k_x$  definido por (6.10).

$$k_x = \sqrt{\frac{3R_o (L_{ia} + L_{oa1})}{4L_{ia} L_{oa1} f_s}} \quad (6.10)$$

Tabela 6-1. Equações de projeto dos elementos passivos do retificador SEPIC DT 6S.

GRANDEZAS	EQUAÇÕES
Valor dos indutores de entrada $L_{ia}$ , $L_{ib}$ e $L_{ic}$	(3.51)
Valor dos indutores de saída $L_{oa1} \dots L_{oc2}$	(3.53)
Ondulação de corrente nos indutores $L_{ia}$ , $L_{ib}$ e $L_{ic}$	(3.21)
Ondulação de corrente nos indutores $L_{oa1} \dots L_{oc2}$	(3.22)
Valor eficaz da corrente nos indutores $L_{ia}$ , $L_{ib}$ e $L_{ic}$	(3.25)
Valor médio da corrente nos indutores $L_{oa1} \dots L_{oc2}$	(3.28)
Valor eficaz da corrente nos indutores $L_{oa1} \dots L_{oc2}$	(3.29)
Valor dos capacitores de entrada $C_{ia1} \dots C_{ic2}$	(3.54)
Valor dos capacitores de saída $C_{o1}$ e $C_{o2}$	(3.55)
Valor eficaz da corrente nos capacitores $C_{ia1} \dots C_{ic2}$	(3.47)
Valor eficaz da corrente nos capacitores $C_{o1}$ e $C_{o2}$	(3.49)

Fonte: Autoria própria.

Tabela 6-2. Equações de projeto dos elementos ativos do retificador SEPIC DT 6S.

GRANDEZAS	EQUAÇÕES
Valor máximo da tensão sobre os interruptores $S_1... S_6$	(3.30)
Valor máximo da corrente nos interruptores $S_1... S_6$	(3.61)
Valor médio da corrente nos interruptores $S_1... S_6$	(3.63)
Valor eficaz da corrente nos interruptores $S_1... S_6$	(3.36)
Valor máximo da tensão sobre os diodos $D_{oa1}... D_{oc2}$	(3.37)
Valor máximo da corrente nos diodos $D_{oa1}... D_{oc2}$	(3.38)
Valor médio da corrente nos diodos $D_{oa1}... D_{oc2}$	(3.41)
Valor eficaz da corrente nos diodos $D_{oa1}... D_{oc2}$	(3.42)
Valor médio da corrente nos diodos $D_1... D_6$	(3.44)
Valor eficaz da corrente nos diodos $D_1... D_6$	(3.45)

Fonte: Autoria própria.

6.4 MODELO DINÂMICO DO RETIFICADOR SEPIC DT 6S

A modelagem do retificador trifásico SEPIC DT 6S é elaborada a partir da estratégia de controle exposta na Fig. 3-14, do circuito elétrico equivalente para determinação da planta da tensão de saída, o qual é apresentado na Fig. 6-11, e das considerações adotadas na seção 3.5.

6.4.1 Planta do Retificador Trifásico SEPIC DT 6S

O modelo que considera os valores médios das grandezas, válido para pequenos sinais, que é utilizado para representar o retificador trifásico SEPIC DT 6S pode ser visualizado na Fig. 6-11.

De modo análogo a sua versão monofásica (SEPIC TD 2S), o

conversor trifásico DT 6S apresenta uma correlação entre a razão cíclica  $d$ , a tensão de saída  $v_o$  e a corrente  $i_o$ . Devido a esta correlação uma variação de  $i_o$ , para uma determinada perturbação de razão cíclica, pode ser dada em funções parciais, assim como exposto em (6.11).

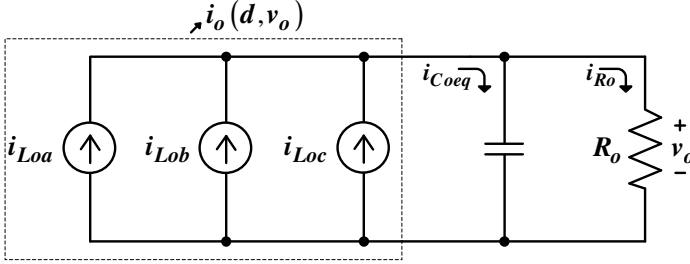


Fig. 6-11. Modelo para determinação da planta da tensão de saída válido para pequenos sinais.

Fonte: Autoria própria.

$$\hat{i}_o(\hat{d}, \hat{v}_o) = \frac{\partial i_o}{\partial d} \hat{d} + \frac{\partial i_o}{\partial v_o} \hat{v}_o \quad (6.11)$$

Utilizando-se dos mesmos argumentos e procedimentos descritos na seção 3.5.1, é obtida a expressão matemática (6.12), a qual representa a função de transferência do modelo da planta pelo método de pequenos sinais. A variável  $k$  é definida por (6.13) e a capacitância equivalente de saída  $C_{oeq}$  por (6.14).

Realizando as substituições pertinentes em (6.12), chega-se a equação (6.15), que é a representação final do modelo proposto.

$$G(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{k}{R_o C_{oeq} s + \frac{Dk}{2V_o} + 1} \quad (6.12)$$

$$k = \frac{3R_o D V_p^2 (L_{ia} + L_{oa1})}{2V_o L_{ia} L_{oa1} f_s} \quad (6.13)$$

$$C_{oeq} = \frac{C_{o1} C_{o2}}{C_{o1} + C_{o2}} \quad (6.14)$$

$$G(s) = \frac{2286}{0,0053s + 2} \quad (6.15)$$

### 6.4.2 Validação do Modelo

A partir das especificações de projetos reportadas na Tabela 6-3, dos valores dos elementos passivos listados na Tabela 6-4 e da metodologia de validação adotada na seção 3.5.2, foi obtido como resposta do retificador SEPIC DT 6S ( $v_o$ ) e do modelo ( $v_{mod}$ ) representado por (6.15), as formas de onda apresentadas na Fig. 6-12.

Verifica-se por meio Fig. 6-12 que o desempenho dinâmico do referido retificador e do modelo proposto, frente a uma perturbação de razão cíclica (1,4%), possuem comportamento muito semelhante. Por isto, torna-se possível afirmar que o modelo proposto representa de modo satisfatório o comportamento dinâmico do retificador em questão.

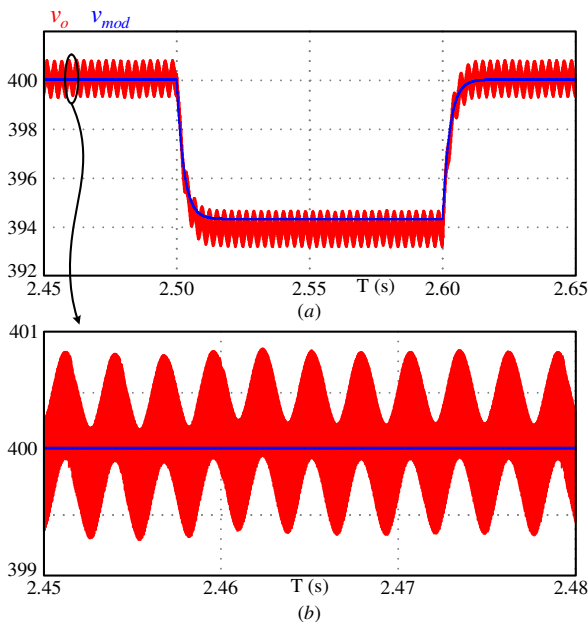


Fig. 6-12. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de  $v_o$  e  $v_{mod}$ , (b) detalhe do regime estacionário de  $v_o$  e  $v_{mod}$ .

Fonte: Autoria própria.

### 6.4.3 Compensador, Ganho do Modulador e Ganho do Sensor

O projeto do compensador, a determinação do ganho do modulador e do ganho do sensor são análogos aos expostos nas seções

3.5.3, 3.5.4 e 3.5.5, respectivamente. Deste modo, torna-se dispensável suas reapresentações.

## 6.5 RESULTADOS DE SIMULAÇÃO NUMÉRICA DO RETIFICADOR TRIFÁSICO SEPIC DT 6S

A partir das especificações de projeto contidas na Tabela 6-3 e dos valores dos elementos passivos expostos na Tabela 6-4, foi elaborada uma simulação numérica por meio do *software* PSIM<sup>®</sup>, com objetivo de verificar a operação do retificador trifásico SEPIC DT 6S.

Tabela 6-3. Especificações de projeto.

Especificação	Valores
Tensão de entrada – $V_p$	311 V
Tensão de saída – $V_o$	400 V
Potência de saída – $P_o$	3000 W
Frequência de comutação – $f_s$	50 kHz
Razão cíclica – $D$	0,35
Tempo <i>hold-up-time</i> – $T_{hut}$	1,666 ms
Ondulação de tensão em $C_{ia1} \dots C_{ic2}$	20%
Ondulação de corrente em $L_{ia}$ , $L_{ib}$ e $L_{ic}$ .	20%

Fonte: Autoria própria.

Tabela 6-4. Valores de projeto: elementos passivos.

Elementos	Valores
Indutores $L_{ia}$ , $L_{ib}$ e $L_{ic}$ .	1,693 mH
Indutores $L_{oa1} \dots L_{oc2}$	61,39 $\mu$ H
Capacitores $C_{ia1} \dots C_{ic2}$	1,399 $\mu$ F
Capacitores $C_{o1}$ e $C_{o2}$	200 $\mu$ F

Fonte: Autoria própria.

- Tensões e correntes de entrada e saída:

Por meio da Fig. 6-13 e Fig. 6-14 são apresentadas, sequencialmente, as formas de onda referentes às correntes de entrada e a corrente e tensão de saída. Observa-se por intermédio da Fig. 6-13 que

as correntes de entrada ( $i_{Lia}$ ,  $i_{Lib}$  e  $i_{Lic}$ ) apresentam formato senoidal e estão defasadas entre si em  $120^\circ$ . A partir da Fig. 6-14 é possível verificar que a tensão  $v_o$  e a corrente  $i_{Ro}$  apresentam valor médio de aproximadamente 400 V e 7,5 A (300 A/40), sequencialmente. Logo, o retificador em questão processa cerca de 3000 W.

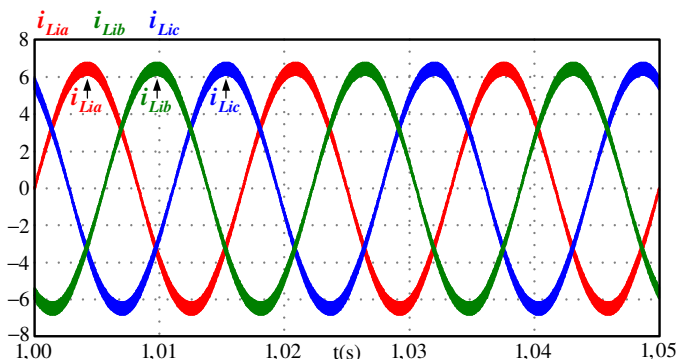


Fig. 6-13. Formas de onda: correntes de entrada.

Fonte: Autoria própria.

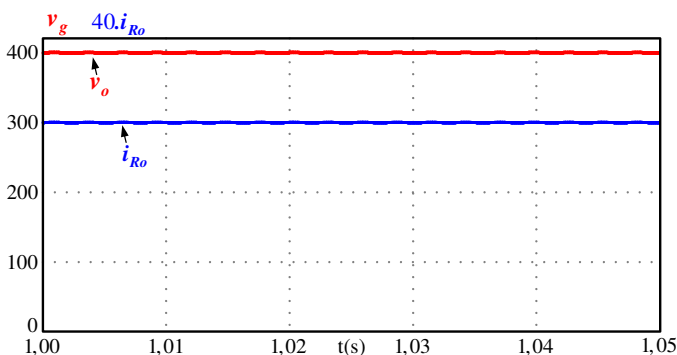


Fig. 6-14. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).

Fonte: Autoria própria.

- Capacitores  $C_{o1}$  e  $C_{o2}$ :

As formas de onda da tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e da tensão  $v_o$  podem ser observadas por meio da Fig. 6-15. As referidas grandezas apresentam valor médio de aproximadamente, 200 V, 200 V e 400 V, respectivamente. Como esperado, o valor médio da tensão de saída é duas vezes mais elevado que o valor médio das tensões de  $C_{o1}$  e  $C_{o2}$ . Este fato torna evidente a característica de multiplicação da tensão

de saída, a qual é também obtida na versão monofásica do retificador DT 6S.

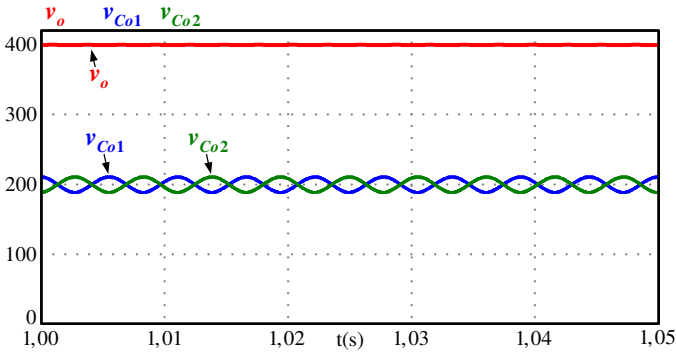


Fig. 6-15. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída.

Fonte: Autoria própria.

- Semicondutores - Interruptores controlados e diodos de saída:

As formas de onda das tensões medidas sobre os semicondutores  $S_1$ ,  $S_3$ ,  $S_5$ ,  $D_{oa1}$ ,  $D_{ob2}$  e  $D_{oc2}$  podem ser visualizadas por meio da Fig. 6-16 e Fig. 6-17, respectivamente.

Por intermédio das referidas figuras observa-se que as tensões sobre os elementos  $S_1$ ,  $S_3$ ,  $S_5$ ,  $D_{oa1}$ ,  $D_{ob2}$  e  $D_{oc2}$  são constituídas por componentes com frequência de 60 Hz e 50 kHz e apresentam amplitude máxima de 528 V e 541 V, respectivamente.

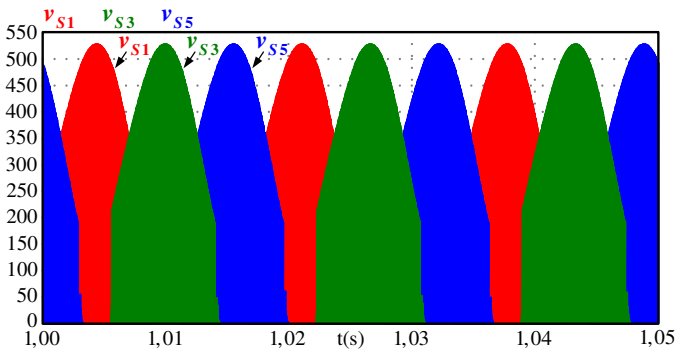


Fig. 6-16. Formas de onda: tensão sobre os interruptores  $S_1$ ,  $S_3$  e  $S_5$  em baixa frequência.

Fonte: Autoria própria.



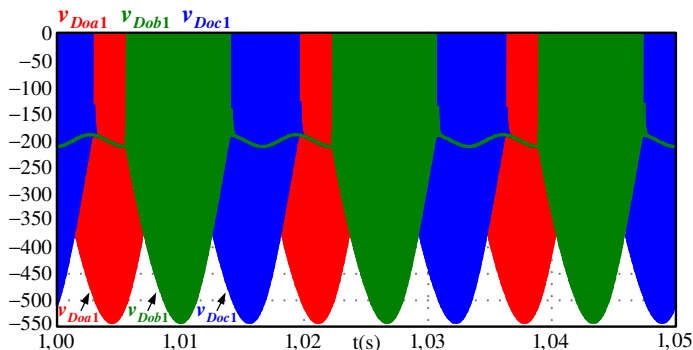


Fig. 6-17. Formas de onda: tensão sobre os diodos  $D_{oa1}$ ,  $D_{ob2}$  e  $D_{oc3}$  em baixa frequência.

Fonte: Autoria própria.

- Resposta ao degrau:

O desempenho dinâmico do conversor SEPIC DT 6S frente a um degrau de carga de aproximadamente +38% (de 62% para 100% de carga) pode ser visualizado por intermédio da Fig. 6-18. Observa-se que o sistema estabiliza-se em aproximadamente 4 ms e a variável que se deseja controlar, nesse caso, a tensão de saída  $v_o$ , apresenta um afundamento de aproximadamente 3 %.

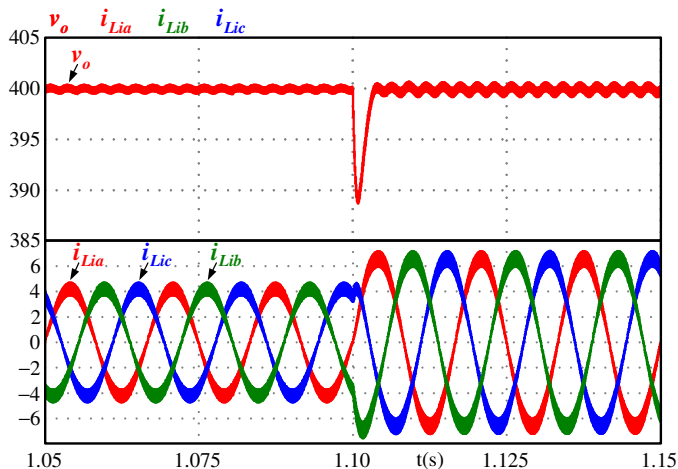


Fig. 6-18. Resposta dinâmica do conversor para um degrau de carga de +38%.

Fonte: Autoria própria.

6.5.1 Análise Comparativa: Resultados Teóricos e de Simulação

Esta seção tem por finalidade apresentar uma análise comparativa entre os valores teóricos e os valores obtidos via simulação numérica, alusivos aos esforços de tensão e corrente do retificador SEPIC DT 6S. Para tanto, elaborou-se a Tabela 6-5.

Tabela 6-5. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente do retificador SEPIC DT 6S.

GRANDEZAS	Retificador SEPIC DT 6S		
	Teórico	Simulação	Erro %
$I_{Liaef}$ , $I_{Libef}$ e $I_{Licef}$	4,55 A	4,48 A	1,56
$I_{Loa1med} \dots I_{Loc2med}$	2,5 A	2,5 A	0,00
$I_{Loa1ef} \dots I_{Loc2ef}$	7,25 A	7,30 A	0,68
$I_{Cia1ef} \dots I_{Cic2ef}$	5,34 A	5,41 A	1,29
$V_{Cia1max}$ e $V_{Cic2max}$	342 V	338 V	1,18
$I_{Co1ef}$ e $I_{Co2ef}$	10,60 A	10,73 A	1,21
$V_{Co1med}$	200 V	200 V	0,00
$V_{Co2med}$	200 V	200 V	0,00
$V_{omed}$	400 V	400 V	0,00
$I_{S1max} \dots I_{S6max}$	36,75 A	36,25 A	1,38
$I_{S1med} \dots I_{S6med}$	2,05 A	2,04 A	0,50
$I_{S1ef} \dots I_{S6ef}$	6,28 A	6,33 A	0,79
$V_{S1max} \dots V_{S6max}$	542 V	528 V	2,65
$I_{Doa1max} \dots I_{Doc2max}$	36,75 A	36,59 A	0,44
$I_{Doa1med} \dots I_{Doc2med}$	2,50 A	2,50 A	0,00
$I_{Doa1ef} \dots I_{Doc2ef}$	7,21 A	7,21 A	0,00
$V_{Doa1max} \dots V_{Doc2max}$	542 V	541 V	0,18
$I_{D1med} \dots I_{D6med}$	2,05 A	2,05 A	0,00
$I_{D1ef} \dots I_{D6ef}$	3,22 A	3,22 A	0,00

Fonte: Autoria própria.

A partir dos dados reportados na Tabela 6-5 é possível verificar que os resultados teóricos e os resultados de simulação numérica

possuem grande similaridade entre si, com erro percentual máximo da ordem de 2,65%. Devido a este fato, considera-se que o equacionamento elaborado é capaz de definir, com considerável exatidão, os patamares das grandezas do retificador trifásico SEPIC DT 6S.

## 6.6 RESULTADOS EXPERIMENTAIS: RETIFICADOR SEPIC DT 6S

Por intermédio da Fig. 6-19 é exposta uma foto do protótipo do retificador SEPIC DT 6S, o qual foi construído com o objetivo de validar a análise teórica elaborada para o mesmo. Para tanto, utilizou-se as especificações de projetos listadas na Tabela 6-3 e os valores dos elementos passivos expostos na Tabela 6-4. Por meio da Tabela 6-6, pode-se visualizar a lista dos elementos empregados na montagem do referido conversor.

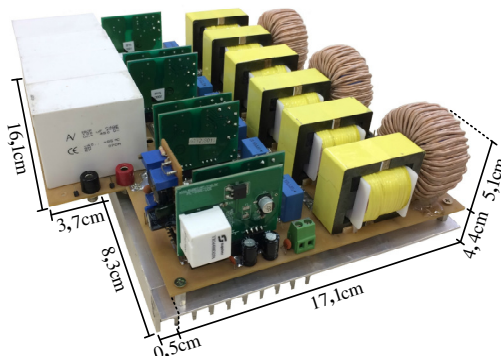


Fig. 6-19. Foto do protótipo do retificador trifásico SEPIC DT 6S.

Fonte: Autoria própria.

O protótipo do retificador em questão, o qual foi elaborado a partir do esquemático exposto na Fig. 6-20, apresentou potência específica de aproximadamente 0,88 kW/kg e densidade de potência de cerca de 0,664 kW/L.

Os circuitos de controle e modulação PWM do retificador trifásico SEPIC DT 6S foram elaborados a partir do CI UC3525. Para tanto, o amplificador operacional interno ao circuito integrado em questão foi configurado para ser o controlador da malha de tensão de saída.

É importante salientar que os resultados reportados nesta seção foram obtidos com o conversor SEPIC DT 6S operando em malha fechada de tensão e em potência nominal, isto é, 3000 W.

Tabela 6-6. Elementos utilizados na montagem do protótipo.

Especificação	Valores – Ret. DT 6S
Indutores $L_{ia}$ , $L_{ib}$ e $L_{ic}$	Indutância: 1,693 mH Espiras: 110 Fio: 32 x 32 AWG Núcleo: APH46P60
Indutores $L_{oa1} \dots L_{oc2}$	Indutância: 61,4 $\mu$ H Espiras: 29 Fio: 64 x 32 AWG Núcleo: EE42/20 3C94
Interruptores $S_1 \dots S_6$	IPW65R037C6 (650 V/37 m $\Omega$ )
Diodos $D_{o1}$ e $D_{o2}$	MUR1560 (600 V/15 A)
Diodos $D_1 \dots D_6$	MUR860 (600 V/8 A)
Capacitores $C_{ia1} \dots C_{ic2}$	1,5 $\mu$ F/520 V
Capacitores $C_{o1}$ e $C_{o2}$	2 x 100 $\mu$ F/450 V
Circuito de controle	UC3525A

Fonte: Autoria própria.

- Tensões e correntes de entrada e saída:

As formas de onda das correntes de entrada  $i_{Lia}$ ,  $i_{Lib}$  e  $i_{Lic}$  e da tensão da fase  $a$  são apresentadas por intermédio da Fig. 6-21. Verifica-se que as referidas correntes possuem aspecto senoidal e contêm ondulação em alta frequência de aproximadamente 20%. Observa-se também que a tensão  $v_a$  e a corrente  $i_{Lia}$  possuem o mesmo formato e fase, o que evidencia o elevado fator de potência do conversor.

O espectro harmônico da corrente  $i_{Lia}$  pode ser visualizado por meio da Fig. 6-22. Consta-se que a mesma possui THD de aproximadamente 3,1%.

A partir da Fig. 6-23 pode-se observar o comportamento da tensão e corrente de saída. Estas grandezas possuem ondulação com frequência de 50 kHz e apresentam valor médio de aproximadamente 401 V e 7,37 A, respectivamente. Deste modo, o conversor processa cerca de 2,955 kW.

- Capacitores  $C_{ia1}$ ,  $C_{ib1}$ ,  $C_{ic1}$ ,  $C_{o1}$  e  $C_{o2}$ :

O comportamento das tensões medidas sobre os capacitores  $C_{ia1}$ ,  $C_{ib1}$  e  $C_{ic1}$  pode ser observado por meio das figuras Fig. 6-24 e Fig. 6-25. Verifica-se que as referidas tensões possuem aspecto de um seno retificado com ondulação em alta frequência de aproximadamente 20% ( $\approx 60$  V) e amplitude máxima da ordem de 338 V.

# Controle e Comando

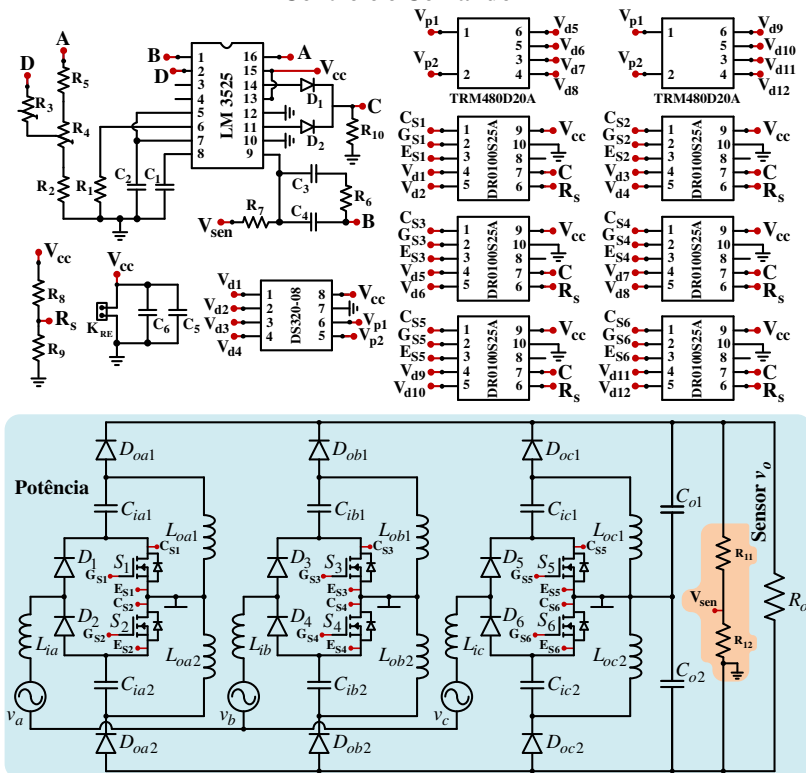


Fig. 6-20. Esquemático: retificador SEPIC DT 6S.

Fonte: Autoria própria.

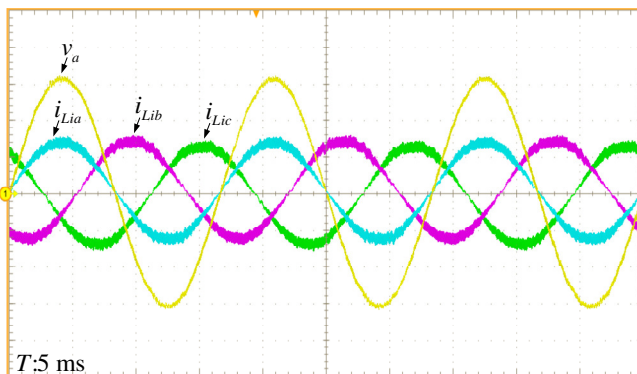


Fig. 6-21. Formas de onda: tensão de entrada da fase  $a$  e correntes de entrada  $i_{Lia}$ ,  $i_{Lib}$  e  $i_{Lic}$ , 100 V/div e 5 A/div, respectivamente.

Fonte: Autoria própria.

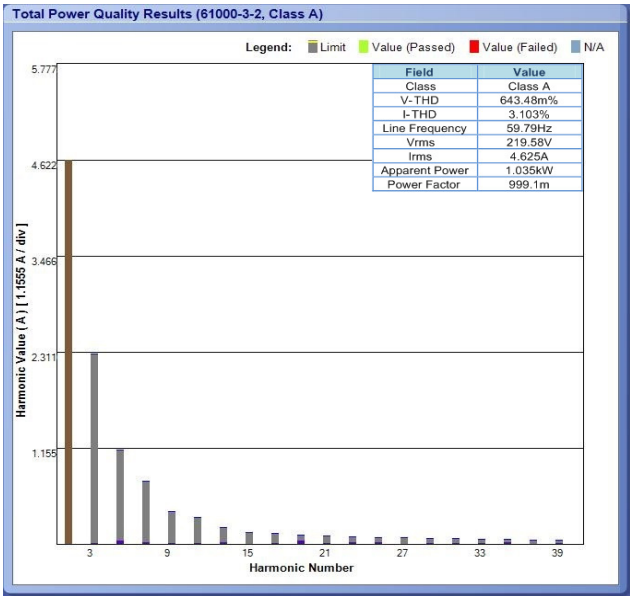


Fig. 6-22. Ret. DT 6S: espectro harmônico da corrente  $i_{Lia}$ .  
Fonte: Autoria própria.

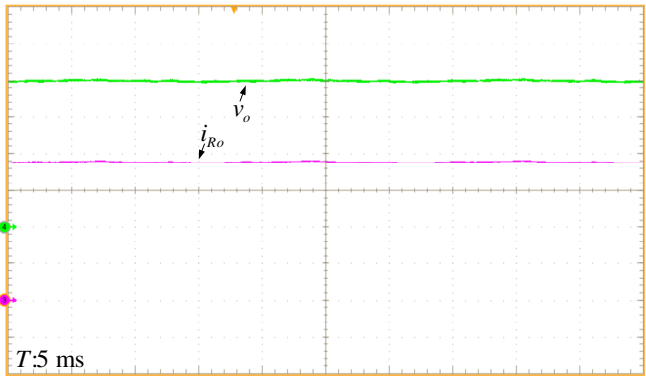


Fig. 6-23. Formas de onda: tensão de saída  $v_o$  e corrente de saída  $i_{Ro}$ , 100 V/div e 2 A/div, respectivamente.  
Fonte: Autoria própria.

Por intermédio da Fig. 6-26 são apresentadas as formas de onda das tensões medidas sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e da tensão  $v_o$ . Os valores médios destas grandezas são, respectivamente, 200 V, 200 V e 400 V. Assim como sua versão monofásica (SEPIC DT 2S), o conversor SEPIC DT 6S possui, como esperado, valor médio da tensão de saída

duas vezes mais elevado que o valor médio das tensões mensuradas sobre os capacitores  $C_{o1}$  e  $C_{o2}$ . Este fato torna evidente a característica de multiplicação da tensão de saída do referido retificador.

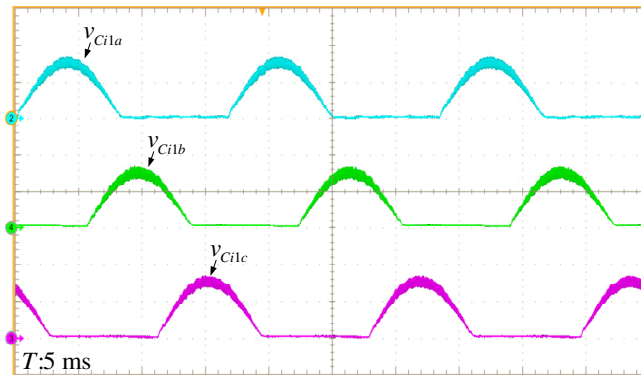


Fig. 6-24. Formas de onda: tensão sobre os capacitores  $C_{ia1}$ ,  $C_{ib1}$  e  $C_{ic1}$  em baixa frequência, todas com 200 V/div.

Fonte: Autoria própria.

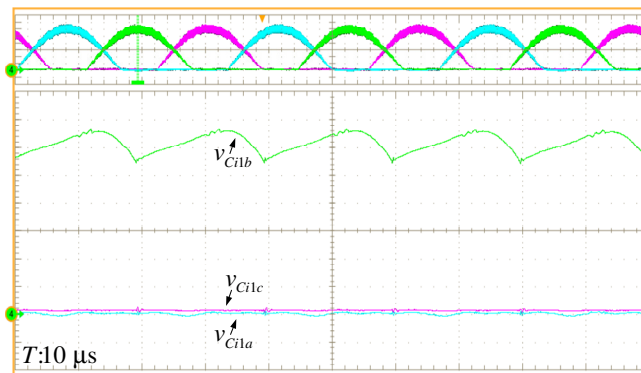


Fig. 6-25. Formas de onda: tensão sobre os capacitores  $C_{ia1}$ ,  $C_{ib1}$  e  $C_{ic1}$  em alta frequência, todas com 50 V/div.

Fonte: Autoria própria.

- Semicondutores - Interruptores controlados e diodos de saída:

As formas de onda das tensões medidas sobre os interruptores controlados  $S_1$ ,  $S_3$  e  $S_5$  podem ser observadas por intermédio das figuras Fig. 6-27 (a) e Fig. 6-27 (b). Verifica-se que as mesmas são constituídas por duas componentes, uma com frequência de 60 Hz e outra com frequência de 50 kHz e, apresentam máxima amplitude de aproximadamente 533,9 V, 536,5 V e 530 V, respectivamente.

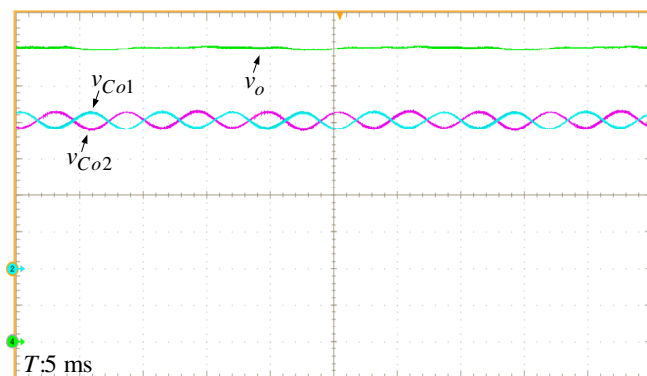
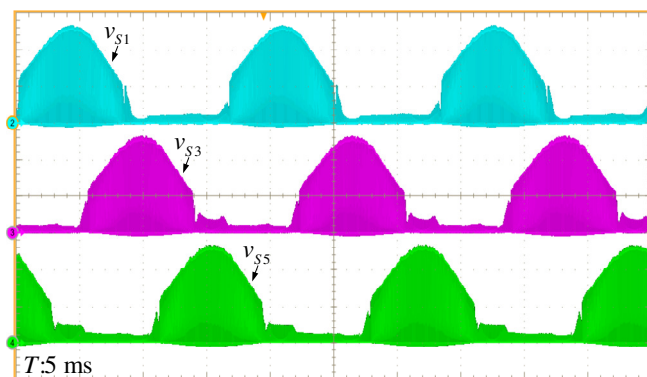
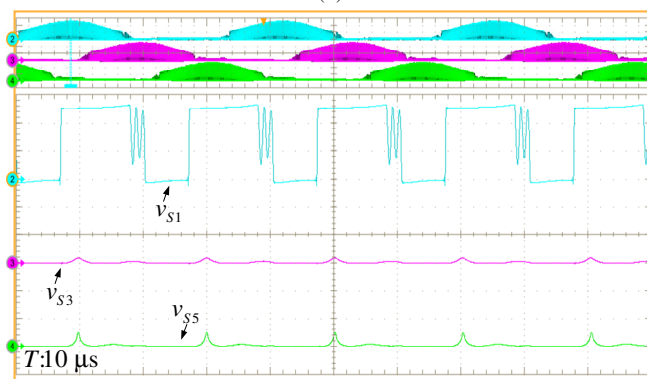


Fig. 6-26. Formas de onda: tensão em  $C_{o1}$ ,  $C_{o2}$  e  $v_o$ , todas com 50 V/div.  
Fonte: Autoria própria.



(a)



(b)

Fig. 6-27. Formas de onda: (a) tensão sobre  $S_1$ ,  $S_3$  e  $S_5$  em baixa frequência, (b) tensão sobre  $S_1$ ,  $S_3$  e  $S_5$  em alta frequência, ambas com 200 V/div.  
Fonte: Autoria própria.



A partir da Fig. 6-28 (a) e Fig. 6-28 (b) são expostas as formas de onda das tensões medidas sobre os elementos  $D_{oa1}$ ,  $D_{ob1}$  e  $D_{oc1}$ . Pode-se constatar que as referidas tensões são compostas por componentes com frequência de 60 Hz e 50 kHz e, apresentam máxima tensão reversa de cerca de 564 V, 555 V e 560 V, respectivamente.

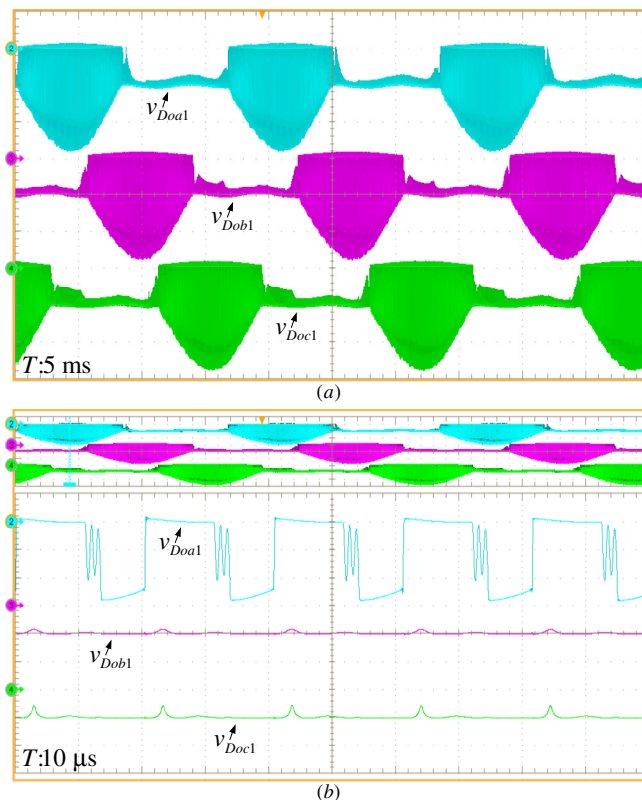


Fig. 6-28. Forma de onda: (a) tensão sobre  $D_{oa1}$ ,  $D_{ob1}$  e  $D_{oc1}$  em baixa frequência, (b) tensão sobre  $D_{oa1}$ ,  $D_{ob1}$  e  $D_{oc1}$  em alta frequência, ambas com 200 V/div.

Fonte: Autoria própria.

- Resposta ao degrau:

O desempenho dinâmico do conversor SEPIC DT 6S frente a um degrau de carga de aproximadamente +36,53% (de 62% para 98,53% de carga) pode ser visualizado por meio da Fig. 6-29. Verifica-se que o tempo de estabilização é de cerca de 13 ms e o afundamento da tensão  $v_o$  é de aproximadamente 11%. Apesar dos valores experimentais e de

simulação numérica (tempo de estabilização de 4 ms e afundamento da tensão  $v_o$  de 3%) apresentarem patamares diferentes o desempenho dinâmico em ambos os casos é muito similar. Sendo assim, considera-se que o projeto do controlador está adequado.

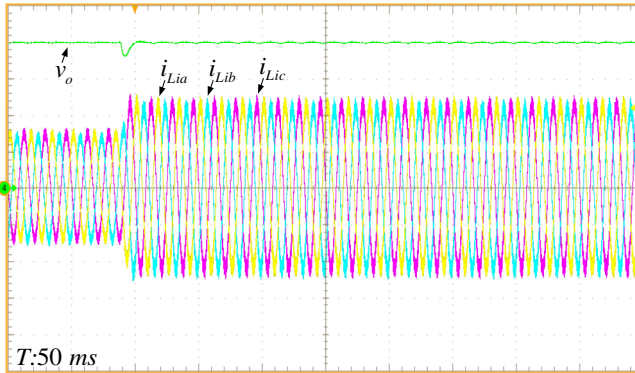


Fig. 6-29. Resposta dinâmica do conversor para um degrau de carga de +36,53%,  $v_o$ -100 V/div,  $i_{Lia}$ ,  $i_{Lib}$  e  $i_{Lic}$  com 3 A/div.

Fonte: Autoria própria.

### 6.6.1 Curvas Experimentais do Retificador SEPIC DT 6S

Por intermédio das figuras Fig. 6-30, Fig. 6-31 e Fig. 6-32 são expostas, sequencialmente, as curvas experimentais de rendimento, distorção harmônica total (THD) e fator de potência (FP) alusivas ao retificador trifásico SEPIC DT 6S.

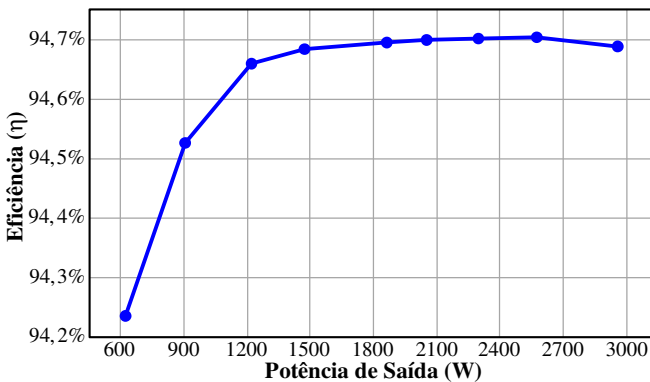


Fig. 6-30. Curvas experimentais do retificador DT 6S: rendimento versus potência de saída.

Fonte: Autoria própria.

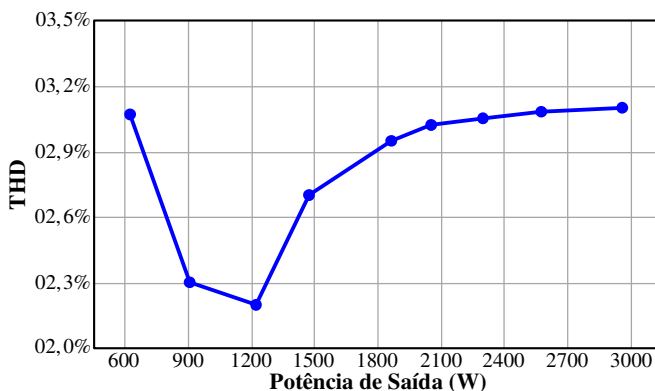


Fig. 6-31. Curvas experimentais do retificador DT 6S: THD versus potência de saída.

Fonte: Autoria própria.

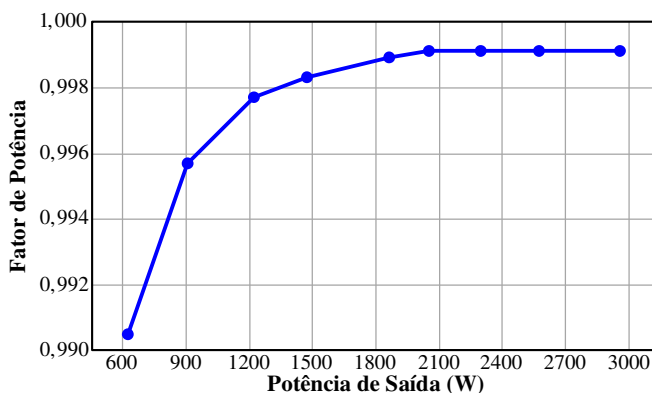


Fig. 6-32. Curvas experimentais do retificador DT 6S: fator de potência versus potência de saída.

Fonte: Autoria própria.

A curva experimental referente à eficiência do retificador SEPIC DT 6S, a qual é exposta na Fig. 6-30, torna evidente que o melhor desempenho do conversor é obtido em aproximadamente 85% de carga com 94,7% de rendimento, enquanto que a eficiência a plena carga é de cerca de 94,68%, que é um valor expressivo tendo em vista que o conversor opera em DCM e processa 3 kW.

No que se refere à distorção harmônica (Fig. 6-31), o retificador em questão apresenta THD de 3,07% em 20% de carga e THD de 3,1% em plena carga.

Em relação ao fator de potência (Fig. 6-32), verifica-se que o

retificador SEPIC DT 6S possui FP de 0,9905 em 20% de carga e FP de 0,9991 em carga nominal.

6.6.2 Análise Comparativa entre os retificadores Trifásicos SEPIC propostos em [15], [44] e o retificador Trifásico SEPIC DT 6S

A Tabela 6-7 expõe uma análise comparativa entre o número de elementos e aos esforços de tensão dos semicondutores do retificador trifásico SEPIC tratado em [15], do retificador SEPIC abordado [44] e do conversor trifásico SEPIC DT 6S. Por meio desta tabela é possível observar que o retificador trifásico SEPIC DT 6S possui menores esforços de tensão em seus semicondutores, porém utiliza um maior número de componentes nas implementações 6S e 12S.

Tabela 6-7. Análise comparativa entre: retificadores SEPIC tratados em [15], [44] e o retificador trifásico SEPIC DT 6S.

Grandezas	Ret. 3ø SEPIC [15] 6S	Ret. 3ø SEPIC [44] 6S	Retificador 3ø SEPIC DT		
			Célula 6S	Célula 12S	Célula 3B
Número de indutores	6	6	9	9	9
Número de capacitores	7	8	8	8	8
Número de diodos lentos	6	6	6	0	0
Número de diodos rápidos	6	6	6	6	6
Número de interruptores controlados	6	6	6	12	6
Máx. tensão diodos de saída	$V_x + V_o$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$
Máx. tensão interruptores controlados	$V_x + V_o$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$

$$V_x = \sqrt{3}V_p.$$

Fonte: Autoria própria.

É relevante evidenciar que a topologia tratada em [15] não é

capaz de fornecer, na conexão a três fios, correntes de entrada com baixa distorção harmônica utilizando um sistema de comando e controle simplificado, como o exposto na Fig. 6-20, isto, pois há ocorrência de curto circuito na passagem por zero em cada uma das fases, como pode ser constatado por intermédio da Fig. 6-33.

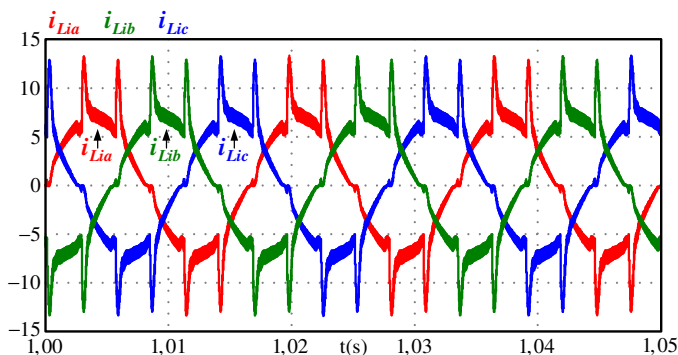


Fig. 6-33. Formas de onda: correntes de entrada do retificador SEPIC tratado em [15] conectado a três fios.

Fonte: Autoria própria.

Em contrapartida, o conversor abordado em [44] fornece, na conexão a três fios, correntes de entrada (Fig. 6-34) com reduzida THD, isto, utilizando a mesma estratégia de comando e controle empregada ao conversor SEPIC DT 6S, a qual pode ser visualizada por meio da Fig. 6-20.

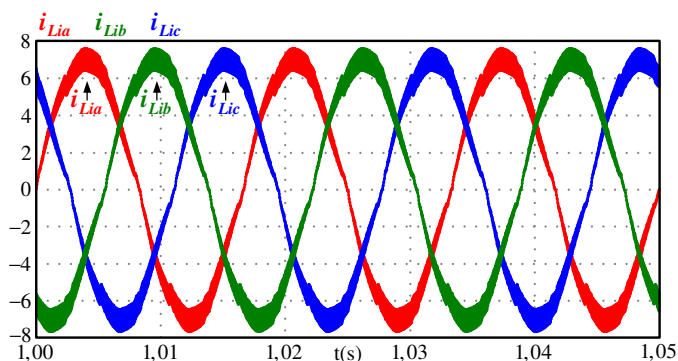


Fig. 6-34. Formas de onda: correntes de entrada do retificador SEPIC tratado em [44] conectado a três fios.

Fonte: Autoria própria.

O conversor proposto em [44] utiliza o princípio de operação de meia onda, o qual é verificado na topologia SEPIC DT 6S, ou seja, parte de sua estrutura opera no semiciclo positivo da rede elétrica e parte no semiciclo negativo. Tal modo de operação elimina o problema de curto circuito na passagem por zero de cada uma das fases, pois a rede enxerga o conversor como sendo uma associação de seis retificadores monofásicos independentes, dois para cada fase, onde cada qual encontra-se ativo em um dos semiciclos das tensões de alimentação.

Por outro lado, quando comparado ao conversor SEPIC DT 6S, o referido retificador processa menores potências e impõe aos seus semicondutores um maior nível de estresse de tensão, o qual é dado pela soma do valor da tensão de pico de linha a metade do valor da tensão do barramento de saída.

## 6.7 CONCLUSÃO DO CAPÍTULO

Por intermédio deste capítulo foram apresentados os conceitos, os circuitos elétricos equivalentes às etapas de operação, formas de onda teóricas, principais equações de projeto, modelo dinâmico e sua validação, resultados teóricos, resultados de simulação numérica e resultados experimentais referentes ao retificador trifásico SEPIC DT 6S, o qual opera em DCM.

A partir de todo estudo teórico elaborado, dos resultados de simulação numérica e dos resultados experimentais, os quais são tratados respectivamente em 6.3, 6.5, e 6.6, é possível afirmar que o referido conversor opera de forma adequada, validando, deste modo, a proposição do retificador trifásico em questão, que foi concebido a partir da versão monofásica denominada SEPIC DT 2S. O referido conversor trifásico apresentou reduzida THD, elevado fator de potência e rendimento a plena carga em torno de 94,7%.

O retificador em questão, quando comparado às topologias trifásicas do tipo SEPIC tratadas em [4], [13], [15] e [44], apresenta a capacidade de processar duas vezes mais potência e, seus semicondutores estão sujeitos a menores patamares de tensão, por outro lado, emprega um maior número de elementos em sua estrutura.

## **RETIFICADOR TRIFÁSICO SEPIC DT+SC**

### **7.1 INTRODUÇÃO**

**P**or intermédio deste capítulo são expostos os conceitos, os circuitos equivalentes relativos as etapas de operação, as formas de onda teóricas, as equações de projeto, o modelo dinâmico e os resultados de simulação numérica relativos ao retificador trifásico SEPIC DT+SC 6S que é concebido a partir do conversor SEPIC DT+SC.

### **7.2 RETIFICADOR TRIFÁSICO SEPIC DT+SC**

Por meio da Fig. 7-1 pode-se visualizar a estrutura do retificador trifásico SEPIC DT+SC. A referida topologia é obtida a partir da integração de três retificadores monofásicos SEPIC DT+SC.

O conversor trifásico SEPIC DT+SC possui tensão de saída superior (4 vezes maior) aos retificadores abordados em [1, 12, 13 e 15]. Embora apresente tensão de saída com patamar mais elevado, a tensão imposta aos seus interruptores controlados e diodos de saída mantém-se equivalente aos esforços de tensão dos semicondutores dos conversores tratados em [1, 12, 13 e 15].

Assim como em sua versão monofásica, a célula de comutação de três estados do retificador trifásico SEPIC DT+SC pode ser implementada de três modos distintos. As referidas possibilidades são apresentadas na Fig. 7-1 (b), (c) e (d) e são denominadas como 3S, 6S, e 12S, respectivamente. Esta tese se limitará a apresentar o estudo analítico referente à versão 6S (Fig. 7-2) do referido retificador.

### **7.3 ANÁLISE TEÓRICA DO RETIFICADOR SEPIC DT+SC 6S**

A análise teórica do retificador é efetuada de modo análogo como exposto na seção 6.2.1.

#### **7.3.1 Etapas de Operação**

No modo de operação descontínuo o retificador trifásico SEPIC DT+SC 6S apresenta oito etapas de operação, as quais podem ser

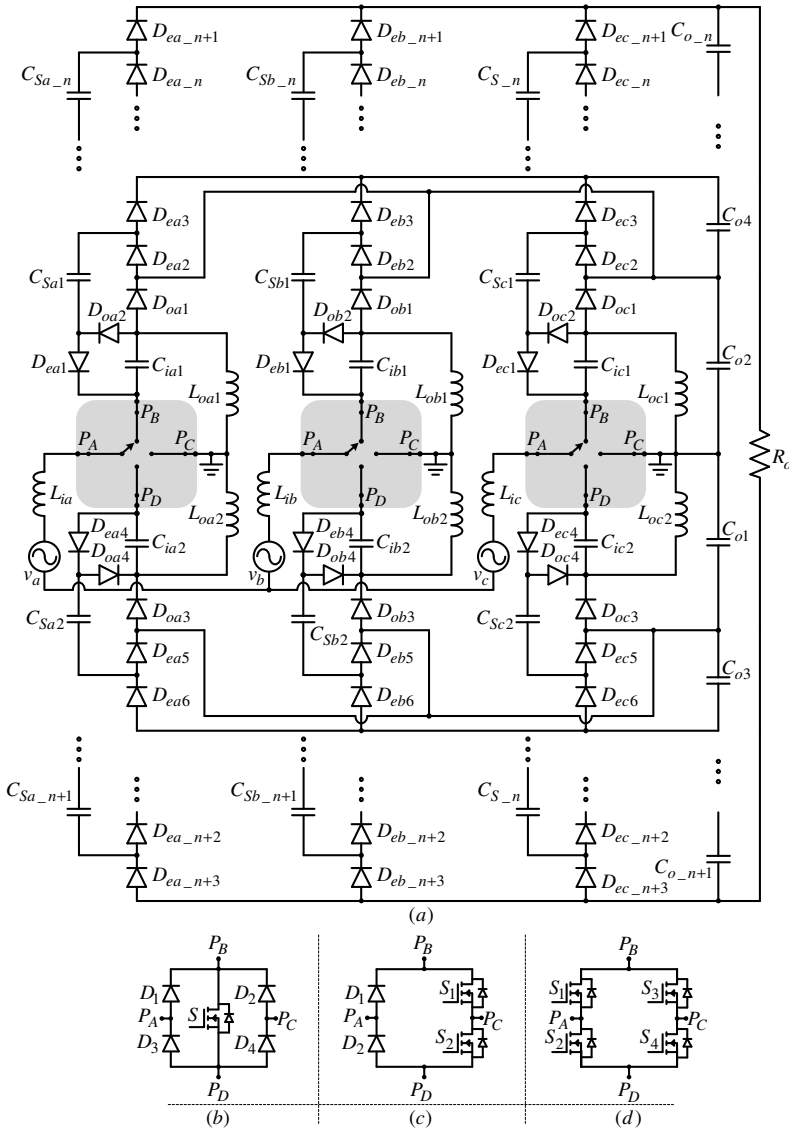


Fig. 7-1. Topologias propostas: (a) estrutura do retificador trifásico SEPIC DT+SC com célula de comutação genérica de três estados e célula de capacitor chaveado generalizada; (b) célula de comutação com um interruptor ativo (3S); (c) célula de comutação com dois interruptores ativos (6S – versão *bridgeless*) e (d) célula de comutação com quatro interruptores ativos (12S – versão *bridgeless*).

Fonte: Autoria própria.



representadas pelos circuitos equivalentes expostos em Fig. 7-2 (b), Fig. 7-3, Fig. 7-4, Fig. 7-5, Fig. 7-6, Fig. 7-7, Fig. 7-8 e Fig. 7-9.

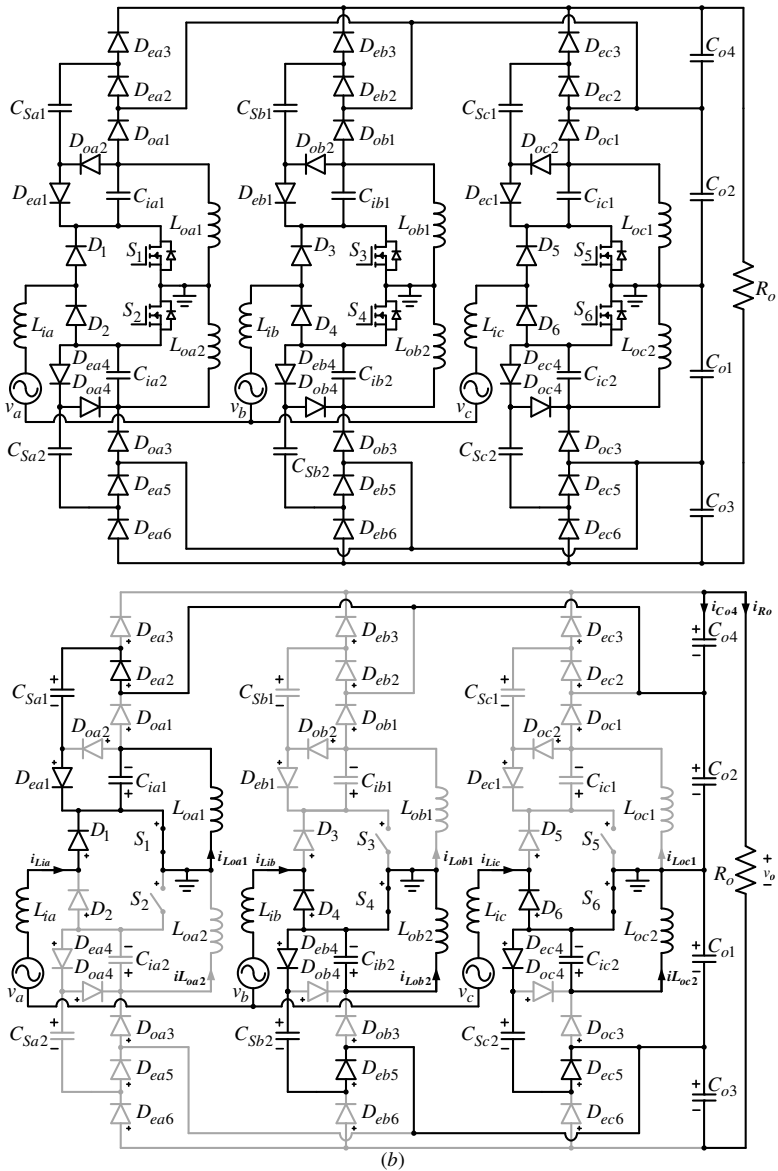


Fig. 7-2. (a) topologia do retificador SEPIC DT+SC trifásico 6S, (b) circuito equivalente referente à primeira etapa de operação.

Fonte: Autoria própria.

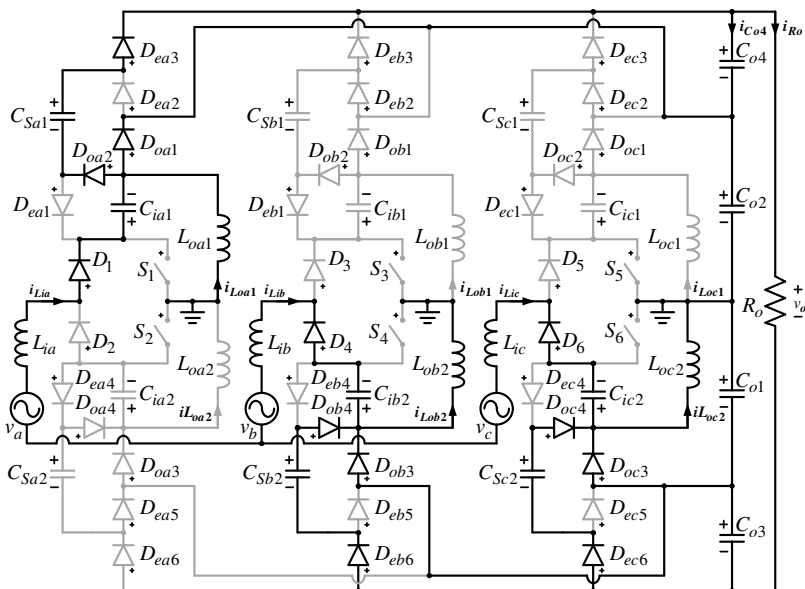


Fig. 7-3. Circuito equivalente referente à segunda etapa de operação.

Fonte: Autoria própria.

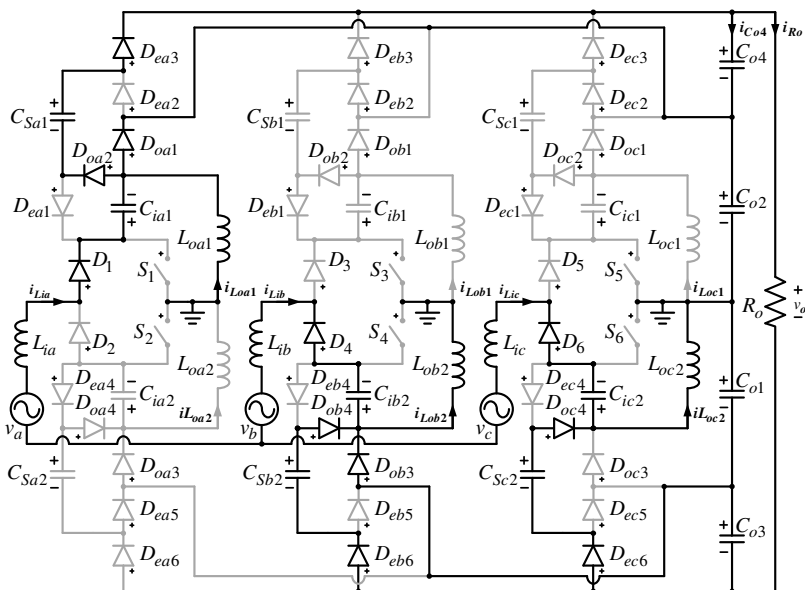


Fig. 7-4. Circuito equivalente referente à terceira etapa de operação.

Fonte: Autoria própria.

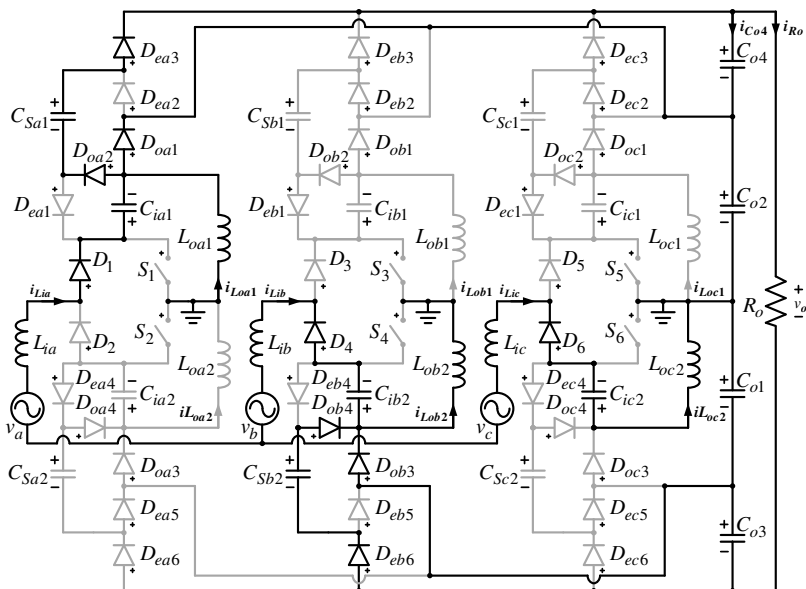


Fig. 7-5. Circuito equivalente referente à quarta etapa de operação.

Fonte: Autoria própria.

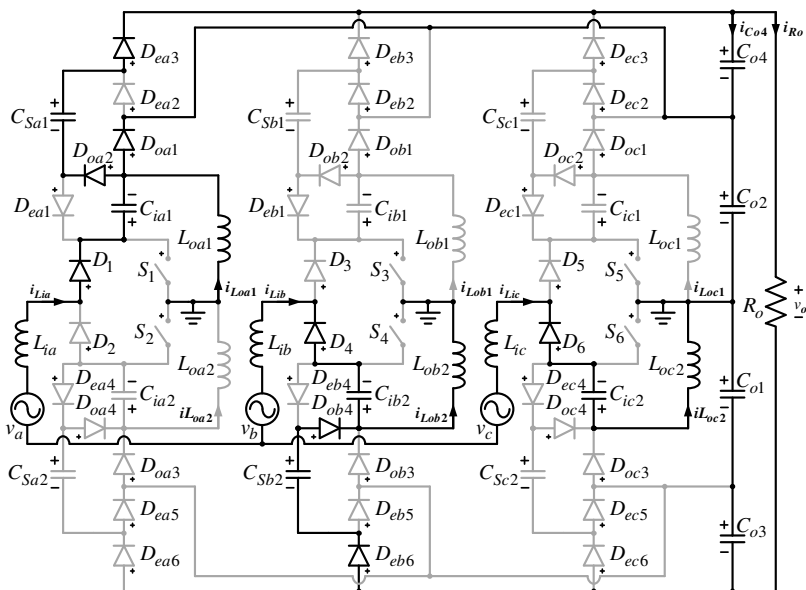


Fig. 7-6. Circuito equivalente referente à quinta etapa de operação.

Fonte: Autoria própria.

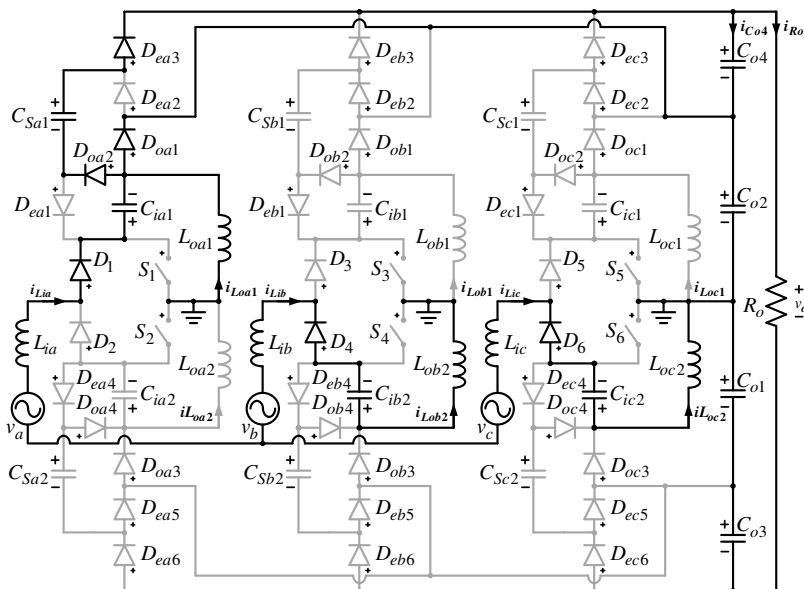


Fig. 7-7. Circuito equivalente referente à sexta etapa de operação.

Fonte: Autoria própria.

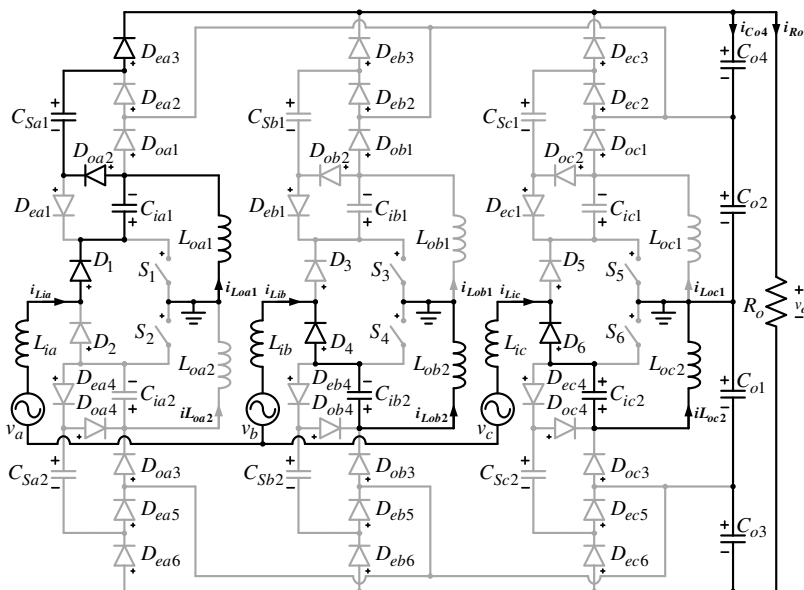


Fig. 7-8. Circuito equivalente referente à sétima etapa de operação.

Fonte: Autoria própria.

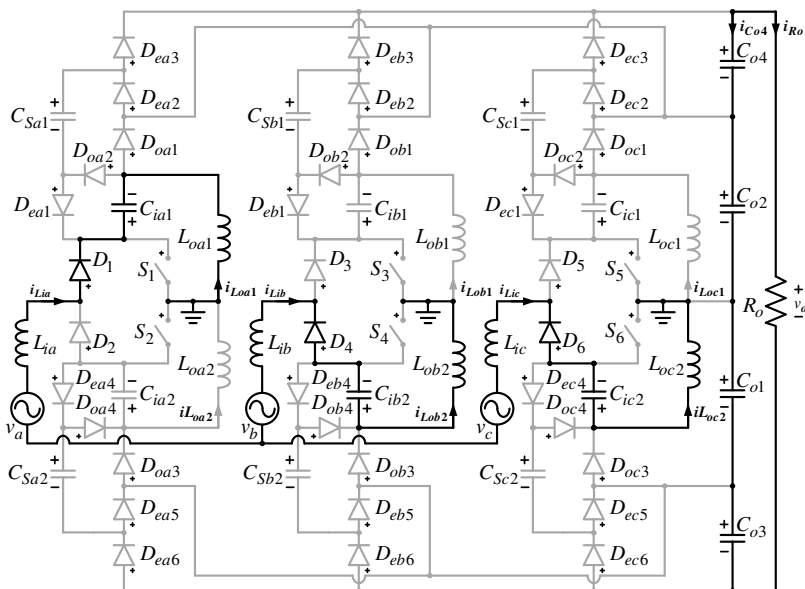


Fig. 7-9. Circuito equivalente referente à oitava etapa de operação.

Fonte: Autoria própria.

### 7.3.2 Formas de onda

Apresentam-se, por meio da Fig. 7-10 e Fig. 7-11, as principais formas de onda de tensão e corrente do retificador DT+SC 6S para um período de comutação. Por intermédio da Fig. 7-10 são apresentadas as tensões sobre os semicondutores  $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ ,  $S_5$ ,  $S_6$ ,  $D_{oa1}$ ,  $D_{oa2}$ ,  $D_{oa3}$ ,  $D_{oa4}$ ,  $D_{ob1}$ ,  $D_{ob2}$ ,  $D_{ob3}$ ,  $D_{ob4}$ ,  $D_{oc1}$ ,  $D_{oc2}$ ,  $D_{oc3}$  e  $D_{oc4}$  e o pulso de comando dos interruptores controlados. A partir da Fig. 7-11 pode-se visualizar as formas de onda das correntes dos indutores, dos interruptores controlados e dos diodos referidos acima.

Por meio da Fig. 7-12 podem ser visualizadas as principais formas de onda ideais do retificador DT+SC 6S para um período da rede elétrica. Por intermédio desta são apresentadas: as tensões ( $v_a$ ,  $v_b$ ,  $v_c$ ) e correntes de entrada ( $i_{Lia}$ ,  $i_{Lib}$ ,  $i_{Lc}$ ), as correntes nos indutores  $L_{oa1}$ ,  $L_{oa2}$ ,  $L_{ob1}$ ,  $L_{ob2}$ ,  $L_{oc1}$  e  $L_{oc2}$ , a tensão de saída ( $v_o$ ) e a tensão nos capacitores  $C_{ia1}$ ,  $C_{ia2}$ ,  $C_{ib1}$ ,  $C_{ib2}$ ,  $C_{ic1}$ ,  $C_{ic2}$ ,  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ . Verifica-se que o retificador em questão possui correntes e tensões de entrada em fase e também garante a multiplicação da tensão de saída, assim como sua versão monofásica (retificador DT+SC 2S).

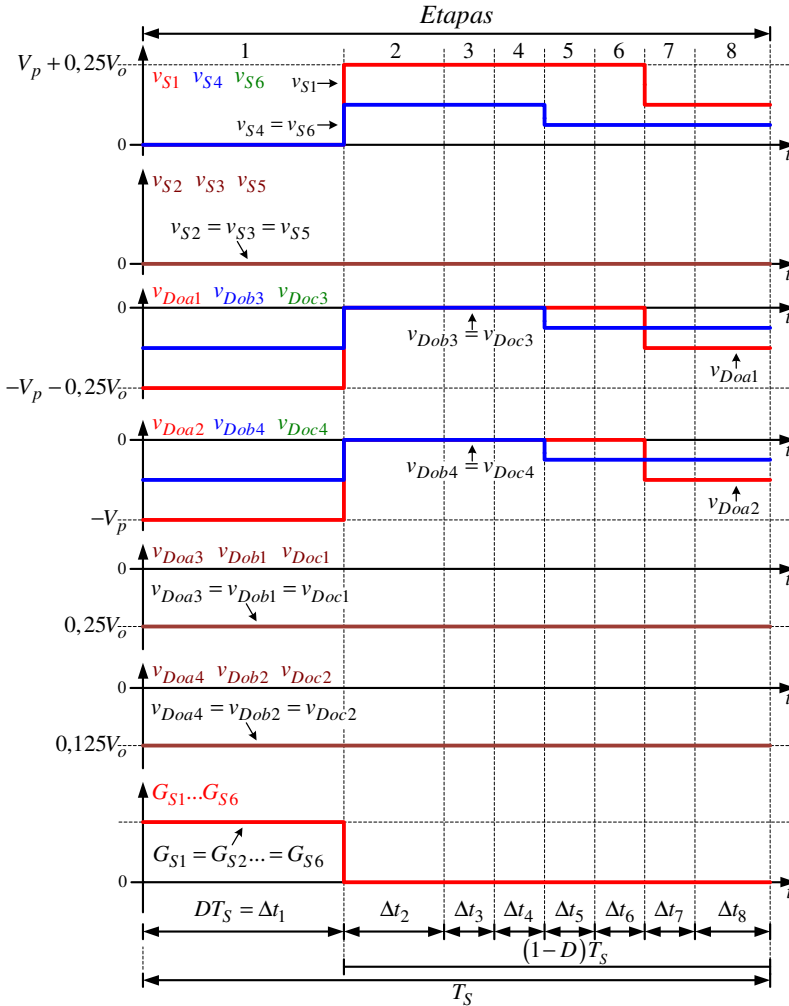


Fig. 7-10. Formas de onda ideais de tensão para um período de chaveamento.

Fonte: Autoria própria.

### 7.3.3 Principais Equações de Projeto do Retificador Trifásico SEPIC DT+SC 6S

De modo análogo como argumentado na seção 6.3.3, existe uma equivalência dos esforços de tensão e corrente entre os elementos dos conversores SEPIC DT+SC 2S e SEPIC DT+SC 6S. Desta forma, todas as equações elaboradas, exceto as expressões que definem o valor eficaz da corrente dos capacitores de saída (7.1), o valor médio da corrente de

saída (7.2), o ganho estático (7.3), a resistência crítica (7.4) e a razão cíclica máxima (7.5), para a estrutura monofásica podem ser utilizadas para determinar os valores das grandezas dos elementos da topologia trifásica, como pode ser verificado por meio da Tabela 7-1 e Tabela 7-2.

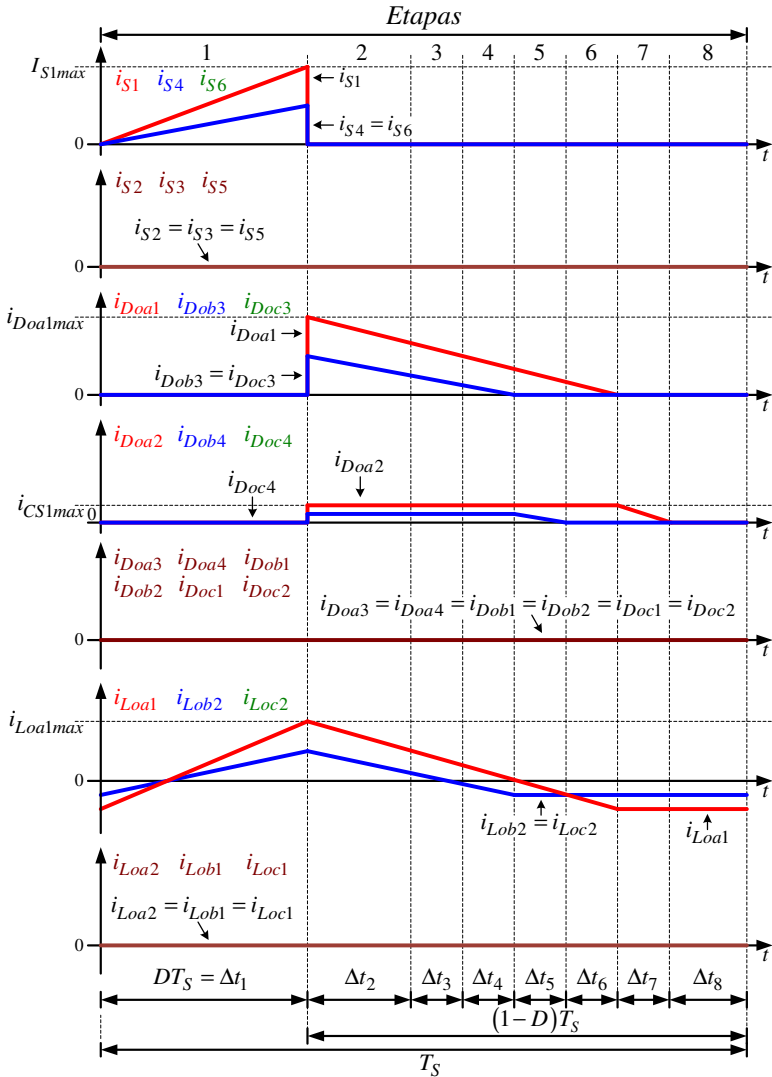


Fig. 7-11. Formas de onda ideais de corrente para um período de chaveamento.

Fonte: Autoria própria.

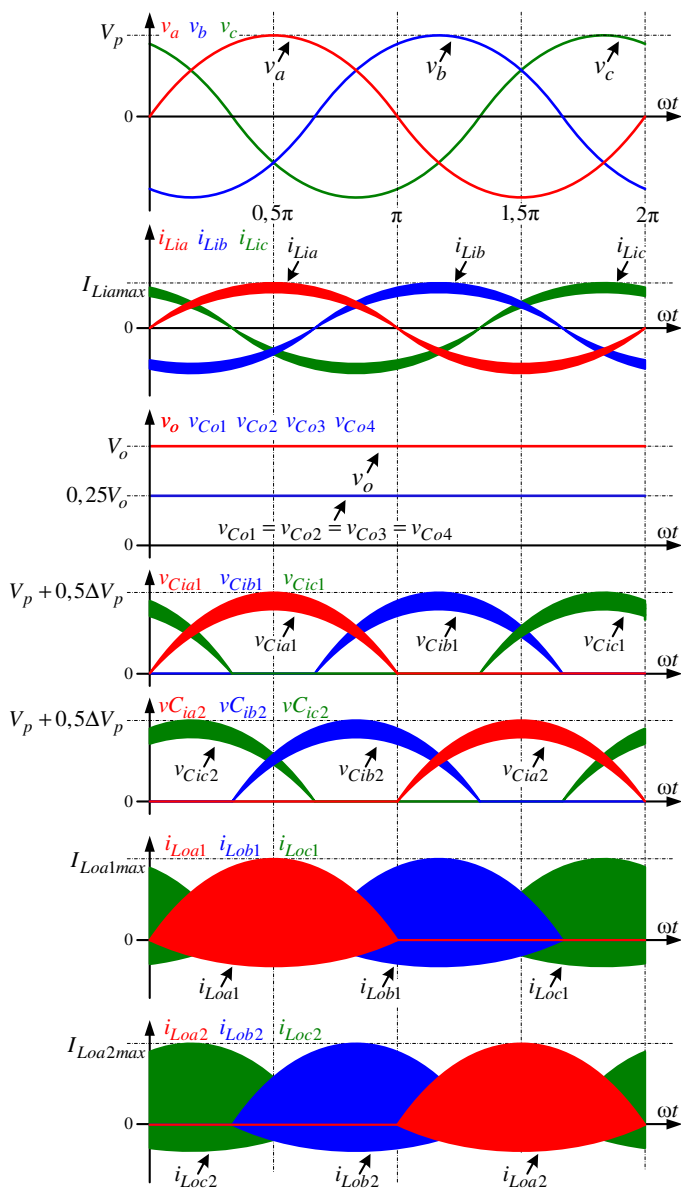


Fig. 7-12. Formas de onda ideais para um período da rede.

Fonte: Autoria própria.



$$i_{C_{olef}} = i_{C_{o2ef}} = \left( 3V_p^3 D^3 \frac{\left( \frac{22V_o \left( \frac{2L_{ia}L_{oa1}}{L_{ia}^2 + L_{oa1}^2} \right) + 27DV_p \left( \frac{-2L_{ia}L_{oa1}}{-L_{ia}^2 - L_{oa1}^2} \right)}{144V_o^2 L_{ia}^2 L_{oa1}^2 f_s^2} \right) + \left( \frac{2D(I_{CS1max})}{3} + \frac{V_o^2}{2R_o^2} \right) \right) \quad (7.1)$$

$$i_{Ro} = \frac{3D^2 V_p^2 (L_{ia} + L_{oa1})}{4V_o L_{ia} L_{oa1} f_s} \quad (7.2)$$

$$G = \frac{V_o}{V_p} = \frac{D}{2} \sqrt{\frac{3R_o (L_{ia} + L_{oa1})}{L_{ia} L_{oa1} f_s}} \quad (7.3)$$

$$R_{omin} = \frac{4L_{ia} L_{oa1} f_s}{3(1-D)^2 (L_{ia} + L_{oa1})} \quad (7.4)$$

$$D_{max} = 1 - 2 \sqrt{\frac{L_{ia} L_{oa1} f_s}{3R_o (L_{ia} + L_{oa1})}} \quad (7.5)$$

As curvas de característica estática referente ao retificador tratado neste capítulo, são equivalentes às apresentadas na Fig. 2-8. Contudo, agora com o fator  $k_x$  definido por (7.6).

$$k_x = \sqrt{\frac{3R_o (L_{ia} + L_{oa1})}{4L_{ia} L_{oa1} f_s}} \quad (7.6)$$

## 7.4 MODELO DINÂMICO DO RETIFICADOR SEPIC DT+SC 6S

A modelagem do retificador trifásico SEPIC DT+SC 6S é desenvolvida a partir da estratégia de controle apresentada na Fig. 3-14, do circuito elétrico equivalente para determinação da planta da tensão de saída, o qual é apresentado na Fig. 6-11, e das considerações adotadas na modelagem dos conversores SEPIC DT 1S e 2S.

### 7.4.1 Planta do Retificador Trifásico SEPIC DT+SC 6S

Fazendo uso dos mesmos argumentos e procedimentos descritos na seção 3.5.1, chega-se a equação (7.7), que representa a função de

transferência do modelo da planta pelo método de pequenos sinais. A variável  $k$  é definida por (7.8) enquanto que a capacitância equivalente de saída  $C_{ocq}$  é determinada por (7.9).

Tabela 7-1. Equações de projeto dos elementos ativos do retificador SEPIC DT+SC 6S.

GRANDEZAS	EQUAÇÕES
Valor máximo da tensão sobre os interruptores $S_1... S_6$	(5.17)
Valor eficaz da corrente nos interruptores $S_1... S_6$	(5.21)
Valor máximo da tensão sobre os diodos $D_{oa1}... D_{oc2}$	(5.18)
Valor médio da corrente nos diodos $D_{oa1}... D_{oc2}; D_{ea1} ... D_{ec6}$	(5.22)
Valor máximo da tensão sobre os diodos $D_{oa1}, D_{ob1}, D_{oc1}, D_{oa3}, D_{ob3}$ e $D_{oc3}$	(5.18)
Valor máximo da tensão sobre os diodos $D_{oa2}, D_{ob2}, D_{oc2}, D_{oa4}, D_{ob4}$ e $D_{oc4}$	(5.19)
Valor máximo da tensão sobre os diodos $D_{ea1}, D_{eb1}, D_{ec1}, D_{ea4}, D_{eb4}$ e $D_{ec4}$	(5.19)
Valor máximo da tensão sobre os diodos $D_{ea2}, D_{eb2}, D_{ec2}, D_{ea3}, D_{eb3}$ e $D_{ec3}$	(5.20)
Valor máximo da tensão sobre os diodos $D_{ea5}, D_{eb5}, D_{ec5}, D_{ea6}, D_{eb6}$ e $D_{ec6}$	(5.20)

Fonte: Autoria própria.

Efetuada as substituições pertinentes em (7.7) é obtida a expressão matemática (7.12), que é a representação final do modelo proposto.

Tabela 7-2. Equações de projeto dos elementos passivos do retificador SEPIC DT+SC 6S.

GRANDEZAS	EQUAÇÕES
Valor dos indutores de entrada $L_{ia}$ , $L_{ib}$ e $L_{ic}$	(5.5)
Valor dos indutores de saída $L_{oa1} \dots L_{oc2}$	(5.6)
Valor eficaz da corrente nos indutores $L_{ia}$ , $L_{ib}$ e $L_{ic}$	(5.7)
Valor médio da corrente nos indutores $L_{oa1} \dots L_{oc2}$	(5.8)
Valor eficaz da corrente nos indutores $L_{oa1} \dots L_{oc2}$	(5.9)
Valor dos capacitores de entrada $C_{ia1} \dots C_{ic2}$	(5.10)
Valor dos capacitores de saída $C_{o1} \dots C_{o4}$	(5.11)
Valor dos capacitores chaveados $C_{Sa1}$ e $C_{Sc2}$	(5.12)
Valor eficaz da corrente nos capacitores $C_{ia1} \dots C_{ic2}$	(5.13)
Valor eficaz da corrente nos capacitores $C_{Sa1}$ e $C_{Sc2}$	(5.16)

Fonte: Autoria própria.

$$G(s) = \frac{\widehat{v_o}(s)}{\widehat{d}(s)} = \frac{k}{R_o C_{oeq} s + \frac{Dk}{2V_o} + 1} \tag{7.7}$$

$$k = \frac{3R_o D V_p^2 (L_{ia} + L_{oa1})}{2V_o L_{ia} L_{oa1} f_s} \tag{7.8}$$

$$C_{oeq} = D(K_1) + 2DV_p (K_2 + K_3) + \frac{V_o (1 - D) - 4DV_p}{V_o} (K_4) \tag{7.9}$$

$$\begin{aligned}
K_1 &= \frac{A_1 B_1 C_{o3} C_{o4}}{A_1 B_1 (C_{o3} + C_{o4}) + C_{o3} C_{o4} (A_1 + B_1)} \\
K_2 &= \frac{C_1 D_1 C_{o1} C_{o2}}{C_1 D_1 (C_{o1} + C_{o2}) + C_{o1} C_{o2} (C_1 + D_1)} \\
K_3 &= \frac{E_1 C_{o1} C_{o2} C_{o3}}{E_1 C_{o1} (C_{o2} + C_{o3}) + C_{o2} C_{o3} (E_1 + C_{o1})} \\
K_4 &= \frac{C_{o1} C_{o2} C_{o3} C_{o4}}{C_{o1} C_{o2} (C_{o3} + C_{o4}) + C_{o3} C_{o4} (C_{o1} + C_{o2})}
\end{aligned} \tag{7.10}$$

$$\begin{aligned}
A_1 &= \frac{C_{Sa1} C_{o2}}{C_{Sa1} C_{o2}}; B_1 = \frac{(C_{o1} C_{Sb2}) [C_{Sc2} (C_{o1} + C_{Sb2})]}{(C_{o1} C_{Sb2}) + [C_{Sc2} (C_{o1} + C_{Sb2})]}; \\
C_1 = E_1 &= \frac{C_{Sa1} C_{o4}}{C_{Sa1} C_{o4}}; D_1 = \frac{(C_{o3} C_{Sb2}) [C_{Sc2} (C_{o3} + C_{Sb2})]}{(C_{o3} C_{Sb2}) + [C_{Sc2} (C_{o3} + C_{Sb2})]};
\end{aligned} \tag{7.11}$$

$$G(s) = \frac{4571}{0,0041s + 2} \tag{7.12}$$

#### 7.4.2 Validação do Modelo

A partir das especificações de projetos reportadas por meio da Tabela 7-3, dos valores dos elementos passivos listados na Tabela 7-4 e da metodologia de validação aplicada e exposta na seção 3.5.2, foi obtido como resposta do retificador SEPIC DT+SC 6S ( $v_o$ ) e do modelo ( $v_{omod}$ ) representado por (7.12), as formas de onda apresentadas na Fig. 7-13.

Por intermédio da figura em questão, é possível observar que o desempenho dinâmico do referido retificador e do modelo proposto, frente a uma perturbação de razão cíclica de aproximadamente 1,4%, apresentam comportamento similar. Devido a este fato, pode-se afirmar que o modelo proposto representa de forma satisfatória o comportamento dinâmico do retificador SEPIC DT+SC 6S.

#### 7.4.3 Compensador, Ganho do Modulador e Ganho do Sensor

O projeto do compensador, a determinação do ganho do modulador e do ganho do sensor são equivalentes aos expostos por meio das seções 3.5.3, 3.5.4 e 3.5.5, sequencialmente. Desta forma, torna-se dispensável suas reapresentações.

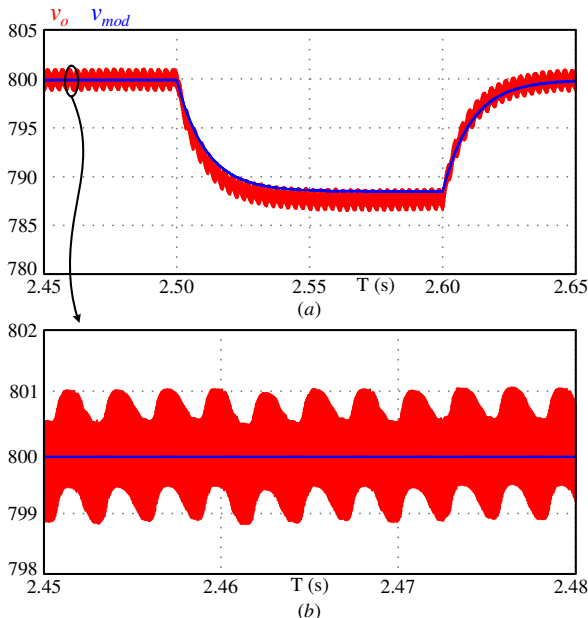


Fig. 7-13. Validação do modelo dinâmico para controle: (a) comportamento do regime estacionário e transitório de  $v_o$  e  $v_{mod}$ , (b) detalhe do regime estacionário de  $v_o$  e  $v_{mod}$ .

Fonte: Autoria própria.

## 7.5 Resultados de Simulação Numérica do Retificador Trifásico SEPIC DT+SC 6S

Tomando como base as especificações de projeto expostas na Tabela 7-3 e os valores dos elementos passivos listados na Tabela 7-4, foi desenvolvida, por meio do *software* PSIM<sup>®</sup>, uma simulação numérica com a finalidade de verificar a operação do retificador trifásico SEPIC DT+SC 6S.

- Tensões e correntes de entrada e saída:

As formas de onda referentes às correntes de entrada e a corrente e tensão de saída podem ser visualizadas por meio da Fig. 7-14 e Fig. 7-15, respectivamente. Verifica-se, na Fig. 7-14, que as correntes de entrada ( $i_{Lia}$ ,  $i_{Lib}$  e  $i_{Lic}$ ) apresentam formato senoidal e estão defasadas entre si em 120°. Por intermédio da Fig. 7-15 é possível observar que a tensão  $v_o$  e a corrente  $i_{Ro}$  possuem valor médio de cerca de 800 V e 3,75 A (600 A/160), sequencialmente. Logo, a potência processada pelo

referido retificador é 3000 W.

Tabela 7-3. Especificações de projeto.

Especificação	Valores
Tensão de entrada – $V_p$	311 V
Tensão de saída – $V_o$	800 V
Potência de saída – $P_o$	3000 W
Frequência de comutação – $f_s$	50 kHz
Razão cíclica – $D$	0,35
Tempo <i>hold-up-time</i> – $T_{hut}$	1,666 ms
Ond. de tensão em $C_{ia1} \dots C_{ic2}$	20%
Ondulação de corrente em $L_{ia}$ , $L_{ib}$ e $L_{ic}$ .	10%

Fonte: Autoria própria.

Tabela 7-4. Valores de projeto: elementos passivos.

Elementos	Valores
Indutores $L_{ia}$ , $L_{ib}$ e $L_{ic}$ .	1,693 mH
Indutores $L_{oa1} \dots L_{oc2}$	61,39 $\mu$ H
Capacitores $C_{ia1} \dots C_{ic2}$	1,399 $\mu$ F
Capacitores $C_{o1} \dots C_{o4}$	200 $\mu$ F
Capacitores $C_{sa1} \dots C_{sc2}$	100 $\mu$ F

Fonte: Autoria própria.

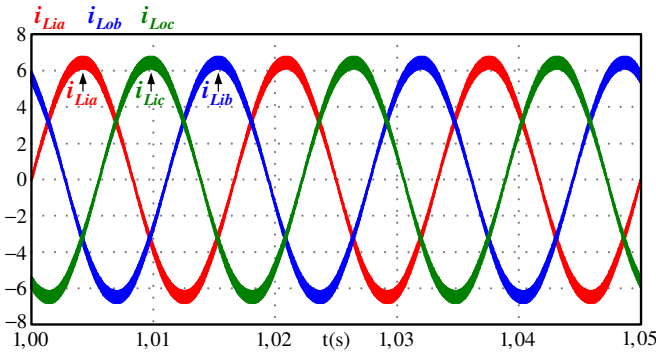


Fig. 7-14. Formas de onda: correntes de entrada.

Fonte: Autoria própria.

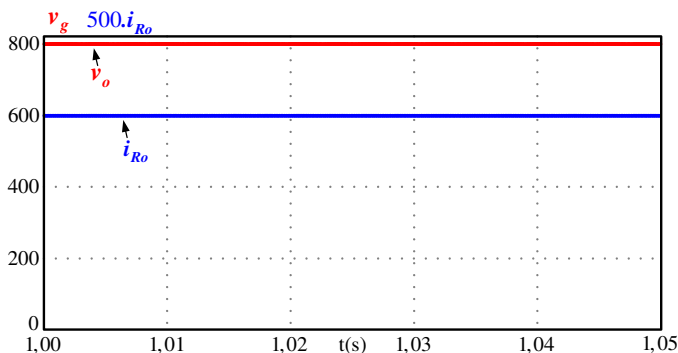


Fig. 7-15. Formas de onda: tensão ( $v_o$ ) e corrente de saída ( $i_{Ro}$ ).

Fonte: Autoria própria.

- Capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$ :

As formas de onda da tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  e da tensão  $v_o$  podem ser visualizadas por meio da Fig. 6-15. As grandezas em questão apresentam valor médio de aproximadamente, 200 V, 200 V, 200 V, 200 V e 800 V, respectivamente.

Observa-se que o valor médio da tensão de saída é quatro vezes mais elevado que o valor médio das tensões dos referidos capacitores. Este fato evidencia a característica de multiplicação da tensão de saída, que também pode ser observada na versão monofásica do retificador DT+SC 6S.

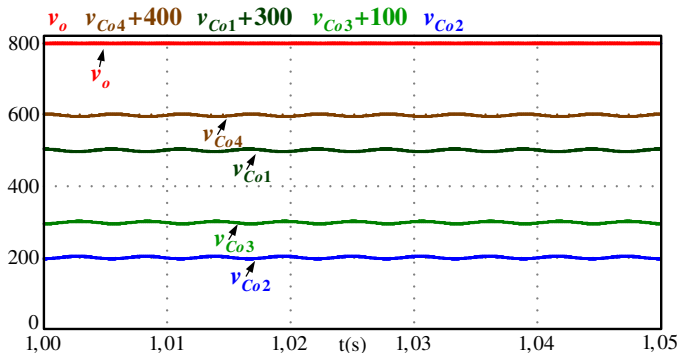


Fig. 7-16. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  e tensão de saída.

Fonte: Autoria própria.

- Semicondutores - Interruptores controlados e diodos de saída:

Por meio da Fig. 7-17 e Fig. 7-18 são expostas, respectivamente, as formas de onda referentes às tensões medidas sobre os semicondutores  $S_1$ ,  $S_3$ ,  $S_5$ ,  $D_{oa1}$ ,  $D_{ob2}$  e  $D_{oc2}$ . A partir destas figuras, verifica-se que as tensões sobre os elementos  $S_1$ ,  $S_3$ ,  $S_5$ ,  $D_{oa1}$ ,  $D_{ob2}$  e  $D_{oc2}$  são constituídas por componentes com frequências de 60 Hz e 50 kHz e apresentam amplitude máxima de 527 V e 540 V, sequencialmente.

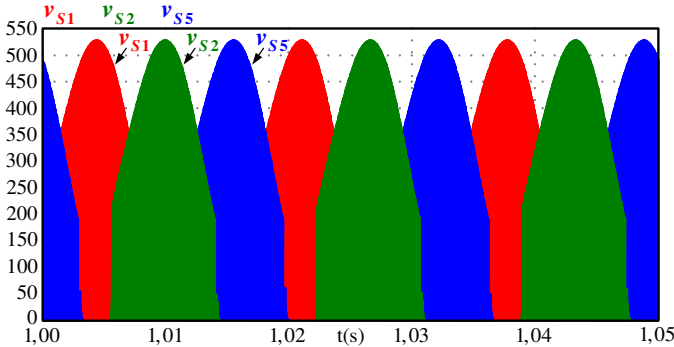


Fig. 7-17. Formas de onda: tensão sobre os interruptores  $S_1$ ,  $S_3$  e  $S_5$  em baixa frequência.

Fonte: Autoria própria.

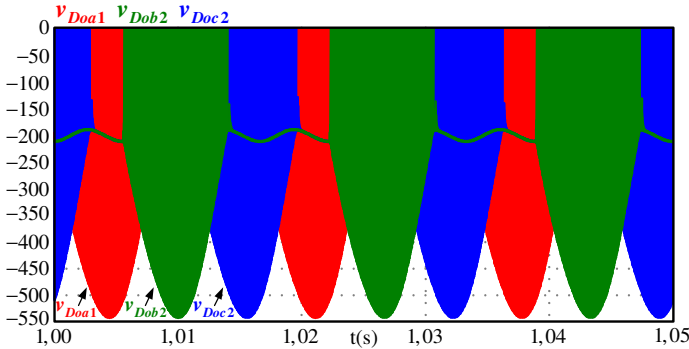


Fig. 7-18. Formas de onda: tensão sobre os diodos  $D_{oa1}$ ,  $D_{ob2}$  e  $D_{oc2}$  em baixa frequência.

Fonte: Autoria própria.

### 7.5.1 Análise Comparativa: Resultados Teóricos e de Simulação

Com o objetivo de se efetuar uma análise comparativa entre os valores teóricos e os valores obtidos via simulação numérica, referentes



aos esforços de tensão e corrente do retificador SEPIC DT+SC 6S, elaborou-se a Tabela 7-5.

Tabela 7-5. Comparativo entre os resultados teóricos e simulados referentes aos esforços de tensão e corrente do retificador SEPIC DT+SC 6S.

GRANDEZAS	Retificador SEPIC DT+SC 6S		
	Teórico	Simulação	Erro%
$I_{Liaef}, I_{Libef} \text{ e } I_{Licf}$	4,55 A	4,7 A	3,30
$I_{Loa1med} \dots I_{Loc2med}$	2,50 A	2,51 A	0,40
$I_{Loa1ef} \dots I_{Loc2ef}$	7,25 A	7,35 A	1,38
$I_{Cia1ef} \dots I_{Cic2ef}$	5,34 A	5,38 A	0,75
$V_{Cia1max} \dots V_{Cic2max}$	342 V	338 V	1,17
$I_{Co1ef} \text{ e } I_{Co2ef}$	14,55 A	14,78 A	1,58
$V_{Co1med}$	200 V	201 V	0,50
$V_{Co2med}$	200 V	201 V	0,50
$V_{Co3med}$	200 V	199 V	0,50
$V_{Co4med}$	200 V	199 V	0,50
$V_{CSa1med} \dots V_{CSc2med}$	200 V	201 V	0,50
$V_{omed}$	800 V	800 V	0,00
$I_{S1ef} \dots I_{S6ef}$	9,23 A	9,44 A	2,22
$V_{S1max} \dots V_{S6max}$	542 V	530 V	2,26
$I_{Doa1med} \dots I_{Doc4med}$	1,25 A	1,27 A	1,57
$I_{Dea1med} \dots I_{Dec6med}$	1,25 A	1,27 A	1,57
$V_{Doa1max}, V_{Dob1max}, V_{Doc1max}, V_{Doa3max}, V_{Dob3max} \text{ e } V_{Doc3max}$	542 V	544 V	0,37
$V_{Doa2max}, V_{Dob2max}, V_{Doc2max}, V_{Doa4max}, V_{Dob4max}, V_{Doc4max}, V_{Dea1max}, V_{Deb1max}, V_{Dec1max}, V_{Dea4max}, V_{Deb4max} \text{ e } V_{Dec4max}$	342 V	338 V	1,17
$V_{Dea2max}, V_{Deb2max}, V_{Dec2max}, V_{Dea3max}, V_{Deb3max}, V_{Dec3max}, V_{Dea5max}, V_{Deb5max}, V_{Dec5max}, V_{Dea6max}, V_{Deb6max} \text{ e } V_{Dec6max}$	200 V	203 V	1,50

Fonte: Autoria própria.

Tomando como base os dados listados na Tabela 7-5, constata-se que os resultados teóricos e os resultados de simulação numérica apresentam grande similaridade entre si, com erro percentual máximo de cerca de 3,3%. Deste modo, considera-se que o equacionamento desenvolvido é capaz de determinar, com considerável exatidão, os valores das grandezas do retificador trifásico SEPIC DT+SC 6S.

### 7.5.2 Análise Comparativa entre os Retificadores SEPIC propostos em [15], [44] e os Retificadores Trifásicos SEPIC DT e SEPIC DT+SC

A análise comparativa entre o número de elementos e os esforços de tensão dos semicondutores do retificador trifásico SEPIC tratado em [15], do conversor SEPIC abordado em [44], do retificador trifásico DT e do conversor trifásico SEPIC DT+SC pode ser verificada na Tabela 7-6. A partir das informações contidas na referida tabela, observa-se que o retificador trifásico SEPIC DT+SC possui menores esforços de tensão sobre seus semicondutores, porém emprega um número muito superior de elementos em sua estrutura.

## 7.6 CONCLUSÃO DO CAPÍTULO

Os conceitos, os circuitos elétricos equivalentes às etapas de operação, as formas de onda teóricas, as principais equações de projeto, o modelo dinâmico e sua validação, os resultados teóricos e os resultados de simulação numérica alusivos ao conversor trifásico SEPIC DT+SC 6S foram tratados por intermédio deste capítulo.

Mediante o estudo teórico desenvolvido, bem como por meio dos resultados de simulação numérica, os quais foram abordados respectivamente em 7.3-7.4 e 7.5, é possível afirmar que o conversor em questão opera de forma adequada, validando, deste modo, a proposição do retificador trifásico em questão, que foi concebido a partir da versão monofásica designada como SEPIC DT+SC 2S.

O retificador SEPIC DT+SC 6S, quando comparado às estruturas trifásicas abordadas em [4], [13], [15] e [44], possui a capacidade de processar duas vezes mais potência e, seus semicondutores são submetidos a menores esforços de tensão, em contra partida, faz uso de um maior número de componentes.

Tabela 7- 6. Análise comparativa entre: retificadores SEPIC tratados em [15], [44], retificador trifásico SEPIC DT e retificador trifásico SEPIC DT+SC.

Grandezas	Ret. 3ø SEPIC [15]	Ret. 3ø SEPIC [44]	Ret. 3ø SEPIC DT 6S	Ret. 3ø SEPIC DT+SC <sup>1</sup>	
				Célula 6S	Célula 12S
Número de indutores	6	6	9	9	9
Número de capacitores	7	8	8	16	16
Número de diodos lentos	12	12	6	6	0
Número de diodos rápidos	6	6	6	30	30
Número de interruptores controlados	3	3	6	6	12
Máx. tensão diodo (os) de saída	$V_x + V_o$	$V_x + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2+n}$	$V_p + \frac{V_o}{2+n}$
Máx. tensão interruptores controlados	$V_x + V_o$	$V_x + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$	$V_p + \frac{V_o}{2}$

<sup>1</sup> Conversor com duas células de capacitor chaveado.  $V_x = \sqrt{3}V_p$ .

Fonte: Autoria própria.



## **CONCLUSÃO GERAL, TRABALHOS FUTUROS E PUBLICAÇÕES**

### **8.1 CONCLUSÃO GERAL**

Esta tese apresentou a análise teórica e os resultados de simulação numérica referentes a cinco novas topologias de retificadores, sendo, três monofásicas e duas trifásicas, as quais foram desenvolvidas a partir do retificador SEPIC DCM convencional. O referido documento também apresentou os resultados experimentais relativos a quatro das cinco novas topologias.

Retificadores do tipo SEPIC possuem a vantagem de fornecer elevado fator de potência com menor esforço de filtragem, como os retificadores *Boost*, e menor nível de tensão de saída, como os retificadores *Buck*. Segundo a literatura técnica, a maioria dos conversores do tipo SEPIC operam no modo de condução descontínua (DCM), isto, pois neste modo de operação estes apresentam comportamento puramente resistivo, drenando correntes naturalmente em fase com suas respectivas tensões, sem contudo, necessitar de um sistema de controle.

Embora apresentem características atrativas, alguns destes retificadores mostram-se inadequados para aplicações que demandam tensões de saída com níveis mais elevados. Objetivando contornar esta limitação, a presente tese se propôs a analisar, equacionar, simular e verificar experimentalmente um conjunto de retificadores monofásicos e trifásicos do tipo SEPIC, os quais impõem reduzidos esforços de tensão aos seus semicondutores e, permitem obter maiores patamares de tensão de saída.

Por meio do primeiro capítulo desta tese, foi exposta a introdução geral do tema. No capítulo dois, apresentou-se a revisão bibliográfica, na qual foram abordados o conversor CC-CC SEPIC DCM e algumas topologias de retificadores SEPIC, que apresentam tensões de saída mais elevadas e reduzidos esforços de tensão em seus semicondutores. O capítulo em questão também apresentou alguns conversores básicos que empregam célula de capacitor chaveado e, algumas estruturas de

retificadores híbridos.

As topologias designadas como retificadores monofásicos SEPIC DT 1S e S2 foram abordadas por intermédio do capítulo três. Nesta seção, foram apresentados os conceitos, etapas de operação, formas de onda teóricas, equacionamento, modelo dinâmico, resultados de simulação numérica e resultados experimentais alusivos às referidas estruturas.

De modo análogo a seção três, o quarto capítulo expôs os conceitos, etapas de operação, formas de onda teóricas, principais equações de projeto, modelo dinâmico, resultados de simulação numérica e resultados experimentais relativos aos conversores denominados como retificadores monofásicos SEPIC+SC 1S e 2S. Os resultados obtidos evidenciaram a integração realizada com êxito entre o conversor SEPIC clássico e o conceito de capacitor chaveado.

A partir da quinta seção deste documento foram apresentados os estudos analíticos e verificação experimental referente à topologia designada como retificador monofásico SEPIC DT+SC 2S. Por intermédio do referido capítulo, pode-se constatar que a integração entre o conversor DT e o conceito de capacitor chaveado foi efetuada com sucesso.

Por intermédio do sexto capítulo foram expostos os conceitos, os circuitos equivalentes relativos às etapas de operação, as formas de onda teóricas e os principais resultados de simulação e experimentais referentes ao retificador trifásico SEPIC DT 6S.

A sétima seção desta tese reservou-se a apresentação da análise teórica e dos resultados de simulação numérica alusivos ao conversor trifásico SEPIC DT+SC 6S.

As topologias denominadas como SEPIC DT 2S e SEPIC DT 6S, utilizam o conceito de dobrador de tensão, o qual ainda não havia sido proposto á retificadores do tipo SEPIC. A integração efetuada atribui aos conversores resultantes, a capacidade de fornecerem maiores patamares de tensão de saída, impondo reduzidos esforços de tensão aos semicondutores das estruturas e, também, a capacidade de processar maiores níveis de potência, pois os esforços de corrente e tensão são distribuídos entre os dispositivos operantes no decorrer do semiciclo positivo e, os elementos ativos durante o semiciclo negativo do sistema alimentador.

Por outro lado, as estruturas nomeadas como SEPIC+SC 1S e 2S, SEPIC DT+SC 2S e SEPIC DT+SC 6S fazem uso do conceito de

*Switched Capacitor* (SC), que também nunca fora antes estudado e integrado a retificadores do tipo SEPIC, conforme constado nos trabalhos contidos na literatura técnica. Tal integração só foi possível a partir da proposição de uma célula SC modificada, que pela qual, é garantida que a carga e descarga dos capacitores da referida célula, não afetem a tensão dos capacitores de entrada dos conversores em questão, garantindo, deste modo, a qualidade da corrente drenada do sistema alimentador. O conjunto de conversores obtidos a partir da referida integração, podem fornecer maiores níveis de tensão de saída, isto, impondo reduzidos esforços de tensão aos seus semicondutores.

Tomando como base os resultados teóricos, os resultados de simulação numérica e os resultados experimentais obtidos a partir dos protótipos implementados, é possível afirmar que os conversores propostos nesta tese operam de forma correta, apresentando reduzidos esforços de tensão sobre seus semicondutores, reduzida THD, elevado fator de potência e rendimento satisfatório como pode ser constatado na Tabela 8-1 e Tabela 8-2.

Tabela 8-1. THD, FP e rendimento referentes aos retificadores monofásicos SEPIC DT, SEPIC SC e SEPIC DT+SC.

Grandezas	Ret. SEPIC DT		Ret. SEPIC+SC		Ret. SEPIC DT+SC
	1S	2S	1S	2S	2S
Rendimento	94,34%	95,75%	94,3%	94,3%	93,9%,
FP	0,999	0,999	0,995	0,998	0,999
THD	3,2%	2,0%	4,5%	2,4%	1,95%

Fonte: Autoria própria.

Tabela 8-2. THD, FP e rendimento alusivos ao retificador trifásico SEPIC DT 6S.

Grandezas	Retificador trifásico SEPIC DT 6S
Rendimento	94,7%,
FP	0,999
THD	3,1%

Fonte: Autoria própria.

## 8.2 TRABALHOS FUTUROS

No que se refere ao horizonte de trabalhos futuros, é possível destacar a possibilidade de se implementar e verificar experimentalmente o retificador SEPIC DT+6S, a possibilidade de aplicar um controle digital e de se estender os estudos dos retificadores propostos para o modo de operação contínua, bem como estender o conceito do dobrador de tensão e a integração de células de capacitor chaveado para outros conversores CA-CC, como por exemplo, o retificador Cuk convencional integrado ao conceito de dobrador.

## 8.3 PUBLICAÇÕES

É relevante destacar que a partir do estudo desenvolvido foi possível elaborar alguns artigos científicos, os quais são classificados em: publicações em anais de congressos e publicações em periódicos.

Publicações em anais de congressos:

- “Single-Phase SEPIC rectifier with double voltage gain provided by a switched capacitor cell,” IEEE 13th Brazilian Power Electronics Conference and 1st IEEE Southern Power Electronics Conference – COBEP/SPEC, 2015.
- “Hybrid *Bridgeless* DCM SEPIC Rectifier Integrated with a Modified Switched Capacitor Cell,” IEEE Applied Power Electronics Conference and Exposition (APEC), 2016.
- “Single-Phase Voltage-Doubler SEPIC Rectifier with High Power Factor,” IEEE 25th International Symposium on Industrial Electronics (ISIE), 2016.
- “Single-Phase/-Switch Voltage-Doubler DCM SEPIC Rectifier with High Power Factor and Reduced Voltage Stress on the Semiconductors,” IEEE 8th Energy Conversion Congress & Exposition (ECCE), 2016.

Publicações em periódicos:

- “A Family of Single-Phase Voltage-Doubler High-Power-Factor SEPIC Rectifiers Operating in DCM,”. Artigo publicado em: IEEE Transactions on Power Electronics.
- “Single-Phase Hybrid Switched-Capacitor Voltage-Doubler SEPIC PFC Rectifiers,”. Artigo submetido para revisão em: IEEE Transactions on Power Electronics.



- “DCM SEPIC Rectifiers Integrated with Ladder-Type Switched-Capacitor Cells for Higher Output-Voltage Gains,”. Artigo submetido para revisão em: IEEE Transactions on Power Electronics.
- “A Three-Phase Voltage-Doubler High-Power-Factor SEPIC Rectifiers Operating in DCM,”. Artigo em desenvolvimento para submissão em: IEEE Transactions on Power Electronics.

Além dos artigos científicos desenvolvidos, também foram elaborados dois pedidos de proteção de patente, os quais estão em processo de análise. Estes se referem ao conversor SEPIC DT (versão monofásica e trifásica) e o retificador SEPIC DT+SC (versão monofásica e trifásica).



## REFERÊNCIAS

- [1] P. J. S. Costa, “Retificadores SEPIC monofásicos e trifásicos aplicados no processamento da energia elétrica proveniente de aerogeradores de pequeno porte,” 2015. 176 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2015.
- [2] A. B. Lange, “Retificador PFC monofásico PWM *Bridgeless* três-níveis de alto desempenho,” 2012. 232 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2012.
- [3] C. H. Illa Font, “Retificadores trifásicos híbridos bidirecionais com fator de potência unitário,” 2009. 225 f. Tese – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2009.
- [4] G. Tibola, “Conversor CA-CC Trifásico em estágio único com isolamento em alta frequência baseado no conversor CC-CC SEPIC operando no modo de condução descontínuo,” 2013. 276 f. Tese – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2013.
- [5] E. L. F. Vidal, “Retificadores monofásicos e trifásicos com carga diferencial controlados por regime de deslizamento: Análise, projeto e implementação,” 2008. 249 f. Tese – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2008.
- [6] D. S. L. Simonetti, J. Sebastian, F. S. dos Reis, J. Uceda, “Design criteria for SEPIC and Cuk converters as power factor preregulators in discontinuous conduction mode,” *International Conference on Industrial Electronics, Control, Instrumentation, and Automation*, vol. 1, pp. 283–288, novembro, 1992.
- [7] M. Mahdavi, H. Farzanehfard, “*Bridgeless* SEPIC PFC rectifier with reduced components and conduction losses,” *IEEE Trans. Ind. Appl.*, vol. 47, no. 2, pp. 873–881, março/abril, 2011.
- [8] C. G. Bianchin, R. Gules, A. A. Badin, E. F. R. Romanelli “High-Power-Factor Rectifier Using the Modified SEPIC Converter Operating

- in Discontinuous Conduction Mode,” IEEE Trans. Power Electron., vol. 30, no. 8, pp. 4349–4364, agosto, 2015.
- [9] A. M. A. Gabri, A. A. Fardoun, “*Bridgeless* PFC-Modified SEPIC Rectifier With Extended Gain for Universal Input Voltage Applications,” IEEE Trans. Power Electron., vol. 30, no. 8, pp. 4272–4282, agosto, 2015.
- [10] J. W. Kimball, P. T. Krein, K. R. Cahill, “Modeling of Capacitor Impedance in Switching Converters,” IEEE Power Electron. Letters, vol. 3, no. 4, pp. 136–140, fevereiro 2005.
- [11] S. Ben-Yaakov, “Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitor Converters,” IEEE Trans. Power Electron., vol. 27, pp. 632–636, fevereiro, 2012.
- [12] J. J. Shieh, “SEPIC derived three-phase switching mode rectifier with sinusoidal input current,” IET Electric Power Appl., vol. 147, no. 4, pp. 286–294, julho, 2000.
- [13] F. A. B. Batista, C. H. Illa Font, “Proposal of three-phase two-level unidirectional SEPIC PWM rectifiers with high power factor,” 10th IEEE/IAS International Conference on Industry Applications (INDUSCON), pp. 1–8, novembro, 2012.
- [14] E. H. Ismail, “*Bridgeless* SEPIC Rectifier With Unity Power Factor and Reduced Conduction Losses,” IEEE Trans. Ind. Electron., vol. 56, no. 4, pp. 1147–1157, março/abril, 2011.
- [15] T. B. Lazzarin, F. A. B. Batista, P. J. S. Costa, C. H. Illa Font, “Proposal of a Modular Three-Phase SEPIC-DCM Rectifier for Small Wind Energy Conversion Systems,” in Proc. ISIE, 2015, pp. 439–445.
- [16] M. C. Maccarini, “Retificador Monofásico com Fator de Potência Unitário de Alto Ganho, Baseado em um Converssor Boost Híbrido,” 2013. 180 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2013.
- [17] D. F. Cortez, “Família de Retificadores PWM Unidirecionais Três-Níveis Híbridos a Capacitor Chaveado com Elevado Fator de Potência,” 2015. 216 f. Tese – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2015.
- [18] D. F. Cortez, I. Barbi, “A Family of High-Voltage Gain Single-Phase Hybrid Switched Capacitor PFC Rectifiers,” IEEE Trans. Power Electron., vol. 30, no. 8, pp. 4189–4198, agosto, 2015.
- [19] D. F. Cortez, I. Barbi, “A Three-Phase Multilevel Hybrid Switched-Capacitor PWM PFC Rectifier for High-Voltage-Gain Applications,” IEEE Trans. Power Electron., vol. 31, no. 5, pp. 3495–3505, maio, 2016.

- [20] G. B. Martins, “Estudo de Conversores a Capacitor Chaveado,” 2013. 161 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2013.
- [21] M. D. Vecchia, “Conversores CC-CC não Isolados com Elevada Taxa de Conversão Gerados Pela Integração Entre Células de Capacitores Chaveados e Células Convencionais de Comutação,” 2016. 256 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2016.
- [22] B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, D. P. Kothari, “A review of single-phase improved power quality AC-DC converters,” *IEEE Trans. Ind. Electron.*, vol. 50, no. 5, pp. 962–981, outubro, 2003.
- [23] L. Huber, Y. Jang, M. M. Jovanovic, “Performance evaluation of *bridgeless* PFC boost rectifiers,” *IEEE Trans. Power Electron.*, vol. 23, no. 3, pp. 1381–1390, maio, 2008.
- [24] B. Lin, T. Hung, “A single-phase three-level boost type rectifier,” in *Proc. ISCAS*, 2002, pp. 353–356 vol.4.
- [25] Y. Jang, M. Jovanovic, “A *bridgeless* PFC boost rectifier with optimized magnetic utilization,” *IEEE Trans. Power Electron.*, vol. 24, no. 1, pp. 85–93, janeiro, 2009.
- [26] D. B. Lange, T. B. Soeiro, M. S. Ortmann, M. L. Heldwein, “Three-level single-phase *bridgeless* PFC rectifiers,” *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 2935–2949, junho, 2015.
- [27] J. C. Salmon, “Circuit topologies for single-phase voltage-doubler boost rectifiers,” *IEEE Trans. Power Electron.*, vol. 8, no. 4, pp. 521–529, outubro, 1993.
- [28] D. D.-C. Lu, W. Wang, “*Bridgeless* power factor correction circuits with voltage-doubler configuration,” in *Proc. PEDS*, 2011, pp. 1037–1042.
- [29] D. S. L. Simonetti, J. Sebastian, J. Uceda, “The discontinuous conduction mode Sepic and Cuk power factor preregulators: analysis and design,” *IEEE Trans. Ind. Electron.*, vol. 44, no. 5, pp. 630–637, outubro, 1997.
- [30] G. Tibola, I. Barbi, “Isolated three-phase high power factor rectifier based on the SEPIC converter operating in discontinuous conduction mode,” *IEEE Trans. Power Electron.*, vol. 28, no. 11, pp. 4962–4969, novembro, 2011.
- [31] T. Friedli, J.W. Kolar, “The essence of three-phase PFC rectifier systems – part I,” *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 176–198, janeiro, 2013.
- [32] T. Friedli, M. Hartmann, J.W. Kolar, “The essence of three-phase PFC

- rectifier systems – part II,” IEEE Trans. Power Electron., vol. 29, no. 2, pp. 543–560, fevereiro, 2014.
- [33] A. J. Sabzali, E. H. Ismail, M. A. Al-Saffar, A. A. Fardoun, “New *bridgeless* DCM Sepic and Cuk PFC rectifiers with low conduction and switching losses,” IEEE Trans. Ind. Electron., vol. 58, no. 9, pp. 4153–4160, setembro, 2011.
- [34] M. R. Sahid, A. H. M. Yatim, T. Taufik, “A new AC-DC converter using *bridgeless* SEPIC,” In Proc. IECON, 2010, vol. 1, pp. 286–290.
- [35] M. Mahdavi, H. F. Fard, “Zero-voltage transition *bridgeless* single-ended primary inductance converter power factor correction rectifier” IET Power Eletron., vol. 7, no. 4, pp. 895–902, agosto, 2015.
- [36] D. D-C. Lu, “High voltage stress in single-phase single-stage PFC converters: analysis and an alternative solution,” IEEE Trans. Ind. Electron., vol. 63, no. 1, pp. 133–143, janeiro, 2016.
- [37] A. A. Fardoun, E. H. Ismail, M. A. Al-Saffar, A. J. Sabzali, “A *bridgeless* resonant pseudoboost PFC rectifier,” IEEE Trans. Power Electron., vol. 29, no. 11, pp. 5949–5960, novembro, 2014.
- [38] B. Zhao, A. Abramovitz, K. Smedley, “Family of *bridgeless* Buck-Boost PFC rectifiers,” IEEE Trans. Power Electron., vol. 30, no. 12, pp. 6524–6527, dezembro, 2015.
- [39] V. Bist, B. Singh, A. Chandra, K. Al-Haddad, “An adjustable speed PFC *bridgeless*-SEPIC fed brushless DC motor drive,” in Proc. ECCE, 2015, pp. 4886–4893.
- [40] P. J. S. Costa, C. H. Illa Font, T. B. Lazzarin, “Single-phase voltage-doubler SEPIC rectifier with high power factor,” in Proc. ISIE, 2016, in press.
- [41] A. K Al-Kaabi, A. A. Faurdoun, E. H. Ismail. (2012, Sep). *Bridgeless* high voltage battery charger PFC rectifier. Elsevier–Renewable Energy [Online]. 56, pp. 24–31. Available: <http://www.sciencedirect.com/science/article/pii/S0960148112006210>.
- [42] R. P. Massey, E. C. Snyder, “High voltage single-ended DC-DC converter,” in Proc. PESC, 1977, pp. 156–159.
- [43] T. B. Lazzarin, R. L. Andersen, G. B. Martins e I. Barbi, “A 600 W Switched-capacitor AC-AC Converter for 220 V/110 V and 110 V/220 V Applications,” IEEE Trans. Power Electron., vol. 27, no. 12, pp. 4821–4826, 2012.
- [44] J. W. Kolar, H. Sree, U. Drofenik, N. Mohan, F. C. Zach, “A novel three-phase three-switch three-level high power factor SEPIC-type AC-to-DC converter,” in Proc. APEC, 1997, pp. 657–665.

**APÊNDICE A – CONSIDERAÇÕES E RESULTADOS DE  
SIMULAÇÃO NUMÉRICA REFERENTE AOS CASOS DE  
CONEXÃO DE CARGA DESBALANCEADA AOS RETIFICADORES  
PROPOSTOS NESTA TESE**

## 10.1 CONSIDERAÇÕES E RESULTADOS DE SIMULAÇÃO NUMÉRICA PARA O CASO PARTICULAR DE DESBALANCEAMENTO DE CARGA

Todas as topologias propostas nesta tese apresentam um ponto médio entre os potenciais positivo e negativo de saída. Esta característica mostra-se interessante, pois as estruturas em questão podem ser utilizadas para alimentar um conversor *Half Bridge*. Assim sendo, esta seção tem por finalidade verificar, por meio de simulação numérica, o comportamento dos referidos retificadores no que diz respeito à conexão de cargas desbalanceadas entre os potenciais mencionados.

### 10.1.1 Conversor Monofásico SEPIC DT

Por meio da Fig. 10-1 é apresentado o conversor SEPIC DT 2S com carga conectada entre os terminais positivo, negativo e ponto médio. A Fig. 10-2 por sua vez, apresenta a forma de onda das tensões medidas sobre os capacitores  $C_{o1}$ ,  $C_{o2}$  e da tensão de saída total (soma de  $v_{Co1}$  e  $v_{Co2}$ ), para o caso onde  $R_{o1} = R_{o2} = 80 \Omega$ . Verifica-se que as tensões sobre os referidos capacitores estão balanceadas e possuem valor médio de cerca de 200 V enquanto que o valor médio da tensão de saída total é de aproximadamente 400 V.

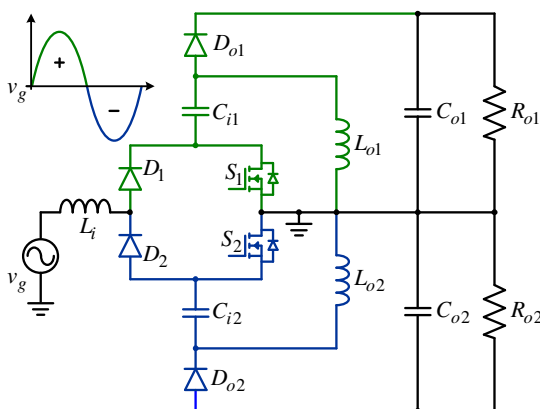


Fig. 10-1. Estrutura do retificador monofásico SEPIC DT 2S com carga conectada entre os terminais positivo, negativo e ponto médio.

Fonte: Autoria própria.



A partir da Fig. 10-3 pode-se observar o comportamento das tensões em  $C_{o1}$  e  $C_{o2}$  para o caso onde  $R_{o1} = 80 \, \Omega$  e  $R_{o2} = 100 \, \Omega$ . Observa-se que para condição de carga estabelecida as tensões em  $C_{o1}$  e  $C_{o2}$  encontram-se desbalanceadas com valor médio de aproximadamente 195 V e 205 V, respectivamente.

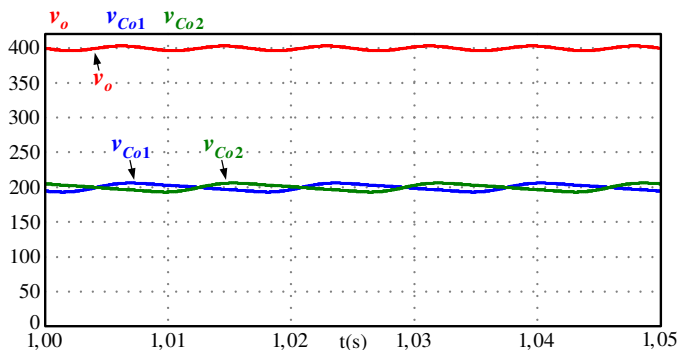


Fig. 10-2. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = R_{o2} = 80 \, \Omega$ .

Fonte: Autoria própria.

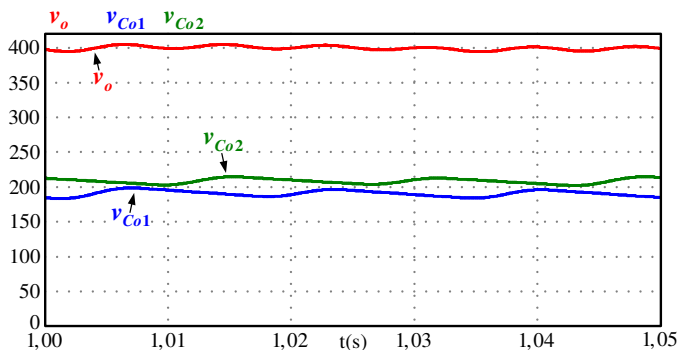


Fig. 10-3. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = 80 \, \Omega$  e  $R_{o2} = 100 \, \Omega$ .

Fonte: Autoria própria.

O comportamento das tensões medidas sobre os capacitores  $C_{o1}$  e  $C_{o2}$  para o caso onde  $R_{o1} = 80 \, \Omega$  e  $R_{o2} = 120 \, \Omega$  pode ser visualizado por meio da Fig. 10-4. Constata-se que para condição de carga imposta ao retificador, as tensões sobre  $C_{o1}$  e  $C_{o2}$  apresentam-se desequilibradas com valor médio de aproximadamente 182 V e 218 V, respectivamente.

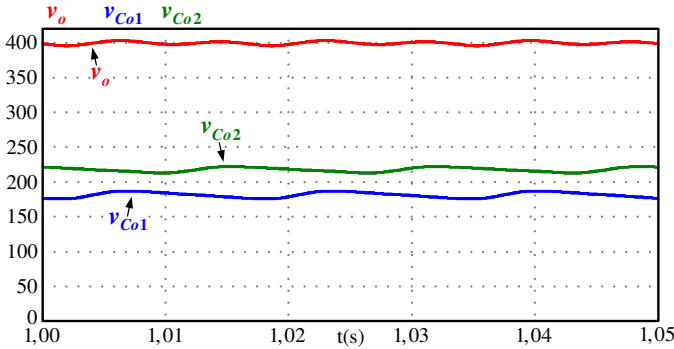


Fig. 10-4. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = 80 \Omega$  e  $R_{o2} = 120 \Omega$ .

Fonte: Autoria própria.

Mediante os resultados obtidos, é possível concluir que  $R_{o1}$  e  $R_{o2}$  com valores distintos resulta em um desbalanceamento das tensões nos capacitores  $C_{o1}$  e  $C_{o2}$ . Logo, caso o conversor SEPIC DT seja utilizado na configuração ilustrada na Fig. 10-1, torna-se necessário implementar malhas de controle individuais (uma para  $v_{Co1}$  e outra para  $v_{Co2}$ ) para regular as tensões sobre os capacitores em questão.

### 10.1.2 Conversor Monofásico SEPIC+SC

Por intermédio da Fig. 10-5 e Fig. 10-6 são expostas, respectivamente, a topologia do retificador SEPIC+SC 2S com carga conectada entre os referenciais ponto médio, negativo e positivo e, as formas de onda da tensão de saída total (soma de  $v_{Co1}$  e  $v_{Co2}$ ) e das tensões mensuradas sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ , isto, para o caso onde  $R_{o1} = R_{o2} = 160 \Omega$ . As tensões dos referidos capacitores estão balanceadas com valor médio próximo a 200 V. A tensão de saída total possui valor médio de cerca de 400 V.

Para o caso onde  $R_{o1} = 160 \Omega$ - $R_{o2} = 200 \Omega$  e  $R_{o1} = 160 \Omega$ - $R_{o2} = 240 \Omega$  são obtidas, como resultado, as formas de onda apresentadas por meio das figuras Fig. 10-7 e Fig. 10-8. Em ambas as condições de carga o valor da tensão total de saída e das tensões sobre os capacitores  $C_{o1}$  e  $C_{o2}$  são de 400 V, 200 V e 200 V, respectivamente.

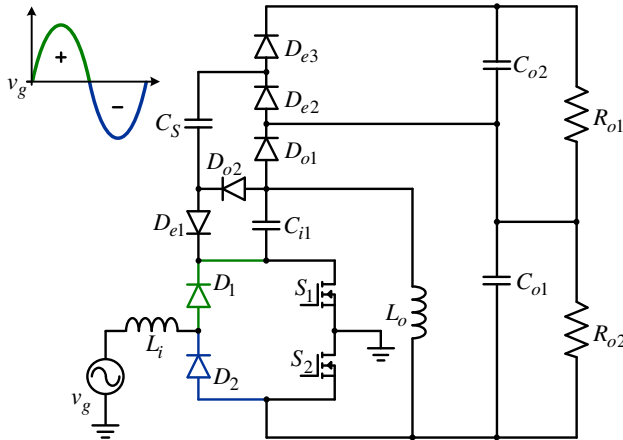


Fig. 10-5. Estrutura do retificador monofásico SEPIC+SC 2S com carga conectada entre os terminais positivo, negativo e ponto médio.

Fonte: Autoria própria.

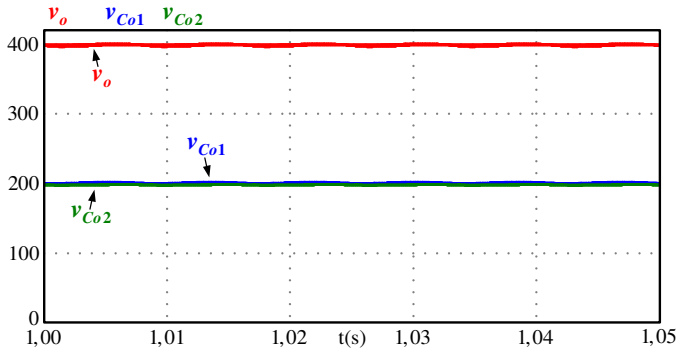


Fig. 10-6. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = R_{o2} = 160 \, \Omega$ .

Fonte: Autoria própria.

A partir da Fig. 10-9 pode-se observar o comportamento das tensões em  $C_{o1}$  e  $C_{o2}$  para o caso onde  $R_{o1} = 160 \, \Omega$  e  $R_{o2} = 320 \, \Omega$ . Verifica-se que para condição de carga imposta ao conversor, as tensões em  $C_{o1}$  e  $C_{o2}$  encontram-se balanceadas com valor médio de aproximadamente 200 V, enquanto que o valor médio da tensão total de saída é de cerca de 400 V.

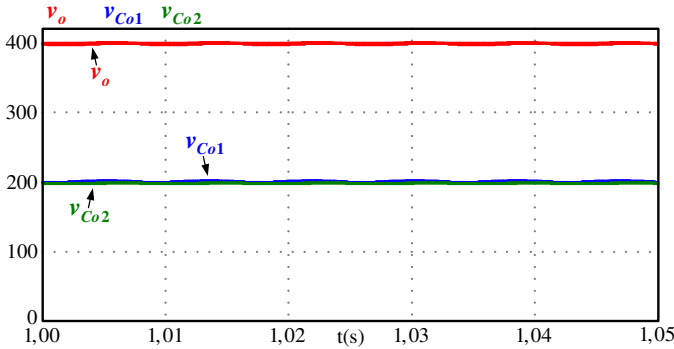


Fig. 10-7. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = 160 \, \Omega$  e  $R_{o2} = 200 \, \Omega$ .

Fonte: Autoria própria.

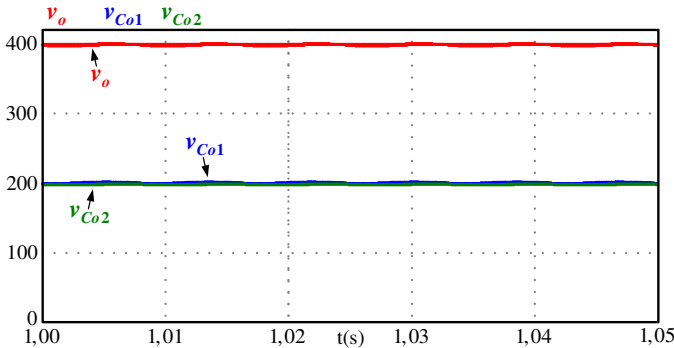


Fig. 10-8. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = 160 \, \Omega$  e  $R_{o2} = 240 \, \Omega$ .

Fonte: Autoria própria.

Conclui-se, por meio dos resultados obtidos, que  $R_{o1}$  e  $R_{o2}$  com valores distintos não provoca o desbalanceamento das tensões nos capacitores  $C_{o1}$  e  $C_{o2}$ , ou seja, as tensões sobre os referidos capacitores são naturalmente equilibradas independentemente do valor das cargas  $R_{o1}$  e  $R_{o2}$ . Logo, torna-se dispensável a implementação de malhas de controles individuais para regular as variáveis em questão.

### 10.1.3 Conversor Monofásico SEPIC DT+SC

A Fig. 10-10 apresenta a topologia do conversor SEPIC DT+SC 2S configurado para operar com duas cargas,  $R_{o1}$  e  $R_{o2}$ , as quais são

conectadas entre os terminais positivo, negativo e ponto médio.

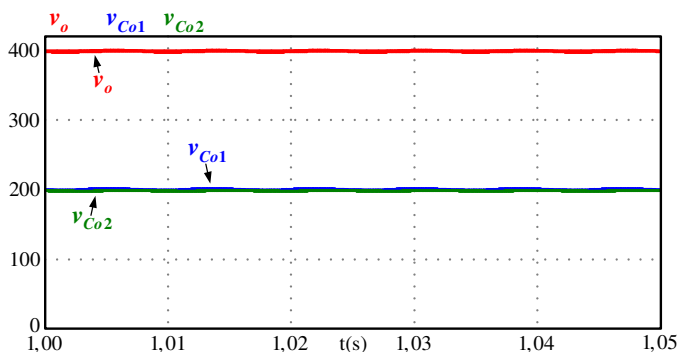


Fig. 10-9. Formas de onda: tensão sobre os capacitores  $C_{o1}$  e  $C_{o2}$  e tensão de saída total para o caso onde  $R_{o1} = 160 \, \Omega$  e  $R_{o2} = 320 \, \Omega$ .

Fonte: Autoria própria.

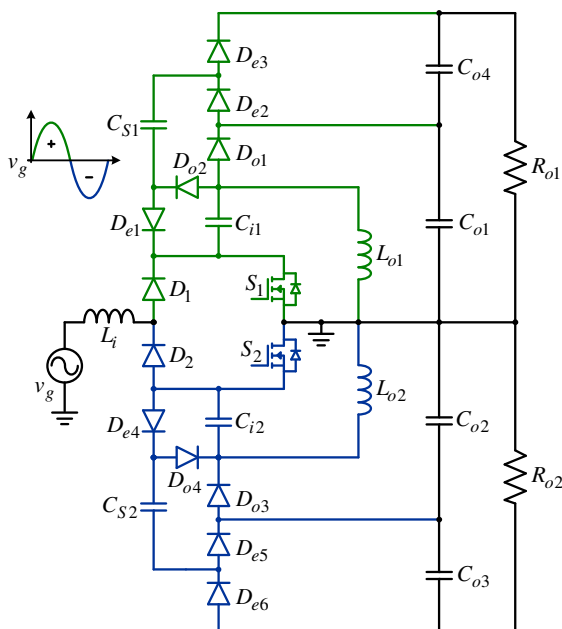


Fig. 10-10. Estrutura do retificador monofásico SEPIC DT+SC 2S com carga conectada entre os terminais positivo, negativo e ponto médio.

Fonte: Autoria própria.

Por intermédio da Fig. 10-11 e Fig. 10-12 são expostas as formas

de onda das tensões medidas sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  e da tensão de saída total para a condição de carga onde  $R_{o1} = 320 \Omega$ ,  $R_{o2} = 320 \Omega$  e  $R_{o1} = 320 \Omega$ - $R_{o2} = 400 \Omega$ , respectivamente.

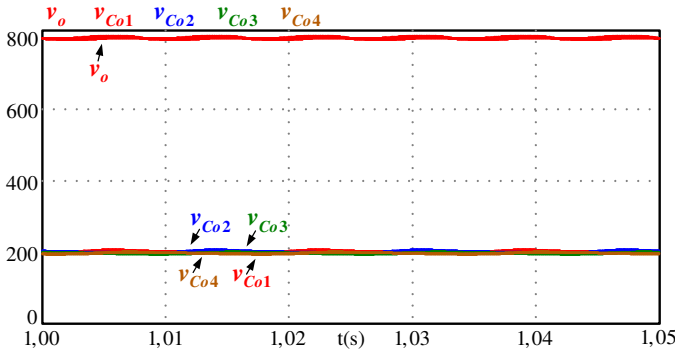


Fig. 10-11. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$  e tensão de saída total para o caso onde  $R_{o1} = 320 \Omega$  e  $R_{o2} = 320 \Omega$ .

Fonte: Autoria própria.

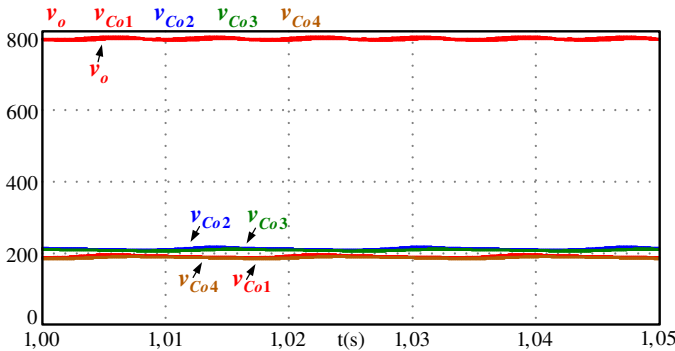


Fig. 10-12. Formas de onda: tensão sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$ ,  $C_{o4}$  e tensão de saída total para o caso onde  $R_{o1} = 320 \Omega$  e  $R_{o2} = 400 \Omega$ .

Fonte: Autoria própria.

Na condição  $R_{o1} = R_{o2} = 320 \Omega$  os valores médios das tensões sobre os capacitores  $C_{o1}$ ,  $C_{o2}$ ,  $C_{o3}$  e  $C_{o4}$  são de aproximadamente 200 V, respectivamente, enquanto que para o caso onde  $R_{o1} = 320 \Omega$ - $R_{o2} = 400 \Omega$  os valores médios das referidas tensões são de 190 V, 210 V, 210 V e 190 V, sequencialmente. Estes resultados evidenciam que  $R_{o1}$  e  $R_{o2}$  com valores distintos leva a um desequilíbrio das tensões dos referidos capacitores. Desta forma, utilizando-se o conversor SEPIC

DT+SC como demonstrado na Fig. 10-10, se faz necessária à implementação de duas malhas de controle para regular as tensões em questão, uma para  $v_{Co1}-v_{Co4}$  e outra para  $v_{Co2}-v_{Co3}$ .

#### 10.1.4 Conversores Trifásicos SEPIC DT e SEPIC DT+SC

Como os conversores trifásicos SEPIC DT e SEPIC DT+SC são concebidos a partir dos retificadores monofásicos SEPIC DT e SEPIC DT+SC, eles possuem, inerentemente, a característica de apresentar desequilíbrio das tensões dos seus capacitores de saída, para o caso onde são conectadas cargas desbalanceadas ( $R_{o1} \neq R_{o2}$ ) entre os potenciais positivo, negativo e ponto médio dos conversores em questão. Por este motivo, se faz necessária à implementação de malhas de controle distintas para regular as referidas grandezas.

.





**APÊNDICE B – CÁLCULO DAS PERDAS ELÉTRICAS  
ALUSIVAS AOS CONVERSORES PROPOSTOS NA TESE**

## 11.1 DETERMINAÇÃO DAS PERDAS ELÉTRICAS

Esta seção tem por finalidade apresentar as perdas elétricas estimadas referentes aos retificadores propostos nesta tese. Para tanto, são apresentadas as equações, com as quais são determinadas as perdas de cada elemento utilizado na implementação dos referidos conversores.

### 11.1.1 Conversor Monofásico SEPIC DT

- Perdas Elétricas nos Semicondutores:

A partir das expressões numéricas (11.1) e (11.2) são determinadas, respectivamente, as perdas elétricas em condução e em comutação alusivas aos interruptores controlados do conversor SEPIC DT.

$$P_{S\_cond} = I_{Sef\_fr}^2 R_{DS(on)} \quad (11.1)$$

$$P_{S\_comut} = \frac{f_s}{2} (t_r + t_f) I_{Smax} V_{Smax} \quad (11.2)$$

Onde:  $R_{DS(on)}$  – resistência elétrica em condução do interruptor;  $t_r$  – tempo de subida;  $t_f$  – tempo de descida.

As perdas elétricas em condução e comutação relativas aos diodos de saída  $D_{o1}$  e  $D_{o2}$  são definidas sequencialmente por (11.3) e (11.4).

$$P_{Do1\_Do2\_cond} = V_{Do1} I_{Do1med\_fr} \quad (11.3)$$

$$P_{Do1\_Do2\_comut} = t_{rr} f_s V_{Do1max} I_{Do1med\_fr} \quad (11.4)$$

Onde:  $V_{Do1}$  – queda de tensão em condução do diodo  $D_{o1}$ ;  $t_{rr}$  – tempo de recuperação reversa.

Para os diodos retificadores  $D_1$  e  $D_3$  as perdas elétricas em condução e comutação são determinadas pelas equações (11.5) e (11.6), respectivamente.

$$P_{D1\_D3\_cond} = V_{D1} I_{D1.3med\_ret\_fs} \quad (11.5)$$

$$P_{D1\_D3\_comut} = t_{rr} f_s V_{D1.3max} I_{D1.3med\_ret\_fs} \quad (11.6)$$

Onde:  $V_{D1}$  – queda de tensão em condução do diodo  $D_1$ ;  $V_{D1.3max}$  –

máxima tensão aplicada sobre os diodos  $D_1$  e  $D_3$ , a qual é igual à  $V_{Smax}$ .

Os diodos  $D_2$  e  $D_4$  apresentam perdas elétricas em condução e comutação definidas pelas equações (11.7) e (11.8), sequencialmente.

$$P_{D2\_D4\_cond} = V_{D2} I_{D2.4med\_ret\_fs} \quad (11.7)$$

$$P_{D2\_D4\_comut} = t_{rr} f_s V_{D2.4max} I_{D2.4med\_ret\_fs} \quad (11.8)$$

Onde:  $V_{D2}$  – queda de tensão em condução do diodo  $D_2$ ;  $V_{D2.4max}$  – máxima tensão aplicada sobre os diodos  $D_2$  e  $D_4$ , a qual é equivalente à  $V_{Smax}$ .

- Perdas Elétricas dos Indutores:

As perdas elétricas oriundas do enrolamento e as perdas magnéticas alusivas ao indutor de entrada  $L_i$  são determinadas por (11.9) e (11.10) [2], respectivamente.

$$P_{Li\_enrol} = R_{Li\_enrol} I_{Lief\_fr}^2 \quad (11.9)$$

$$P_{Li\_magnet} = E_c f_r \quad (11.10)$$

Onde:  $R_{Li\_enrol}$  – resistência elétrica do enrolamento do indutor  $L_i$ ;  $E_c$  – energia dissipada no núcleo em um período da rede elétrica.

Por intermédio das equações (11.11) e (11.12) são definidas, sequencialmente, as perdas elétricas provenientes do enrolamento e as perdas magnéticas dos indutores de saída  $L_{o1}$  e  $L_{o2}$ .

$$P_{Lo1\_Lo2\_enrol} = R_{Lo1\_enrol} I_{Lo1ef\_fr}^2 \quad (11.11)$$

$$P_{Lo1\_Lo2\_magnet} = \Delta_b^{2,4} \left( K_h f_s + K_f f_s^2 \right) V_{núcleo} \quad (11.12)$$

Onde:  $R_{Lo1\_enrol}$  – resistência do enrolamento do indutor  $L_{o1}$ ;  $\Delta_b$  – variação do fluxo magnético;  $K_h$  – coeficiente de perdas por histerese; coeficiente de perdas por correntes parasitas;  $V_{núcleo}$  – volume do núcleo.

- Perdas Elétricas dos Capacitores:

Por meio das equações (11.13) e (11.14) são determinadas, respectivamente, as perdas elétricas referentes aos capacitores  $C_{i1}$ ,  $C_{i2}$ ,  $C_{o1}$  e  $C_{o2}$ .

$$P_{Ci1\_Ci2} = I_{Ci1ef\_fr}^2 R_{SE\_Ci1\_Ci2} \quad (11.13)$$

$$P_{Co1\_Co2} = I_{Co1ef\_fr}^2 R_{SE\_Co1\_Co2} \quad (11.14)$$

Onde:  $R_{SE\_Ci1\_Ci2}$  – resistência série equivalente dos capacitores  $C_{i1}$  e  $C_{i2}$ ;  
 $R_{SE\_Co1\_Co2}$  – resistência série equivalente dos capacitores  $C_{o1}$  e  $C_{o2}$ .

#### 11.1.1.1 Representação Gráfica Das Perdas Elétricas Alusivas ao Retificador SEPIC DT

A partir das especificações de projeto, das informações disponíveis nos manuais dos dispositivos utilizados na implementação e, das expressões numéricas que definem as perdas elétricas, foi possível determinar o valor das perdas relativas ao conversor SEPIC DT 1S, a qual apresentou patamar de 54,505 W, o que leva a um rendimento estimado de aproximadamente 94,8%. As referidas perdas encontram-se distribuídas conforme a imagem exposta na Fig. 11-1, que pela qual pode-se constatar que as perdas do retificador em questão estão concentradas principalmente nos diodos e indutores.

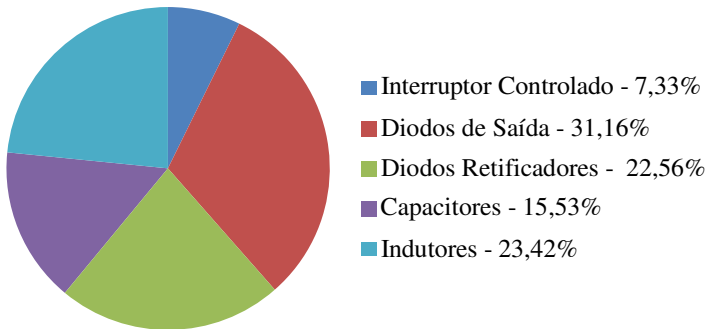


Fig. 11-1. Distribuição das perdas do conversor SEPIC DT 1S.

Fonte: Autoria própria.

Por meio da Fig. 11-2 é apresentada a distribuição de perdas alusivas ao retificador SEPIC DT 2S. O valor das perdas alcançou o valor de 50,8 W, o que leva a um rendimento estimado da ordem de 95,2%. Mediante a figura em questão, pode-se verificar que as perdas elétricas alusivas ao referido conversor estão concentradas principalmente nos diodos de saída e nos indutores.

#### 11.1.2 Perdas Nos Demais Conversores Propostos Na Tese

Por intermédio da Fig. 11-3 e Fig. 11-4 podem ser visualizadas as distribuições das perdas relativas aos retificadores SEPIC+SC 1S e 2S.

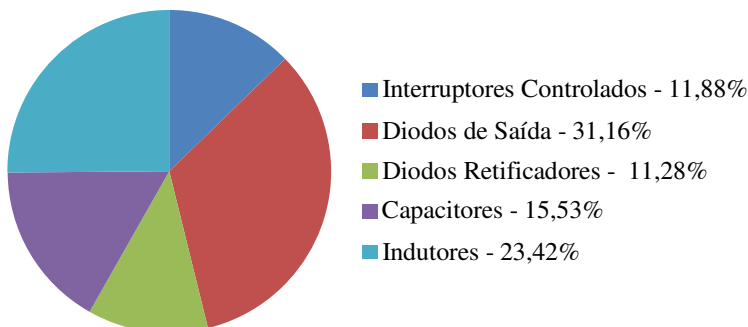


Fig. 11-2. Distribuição das perdas do conversor SEPIC DT 2S.

Fonte: Autoria própria.

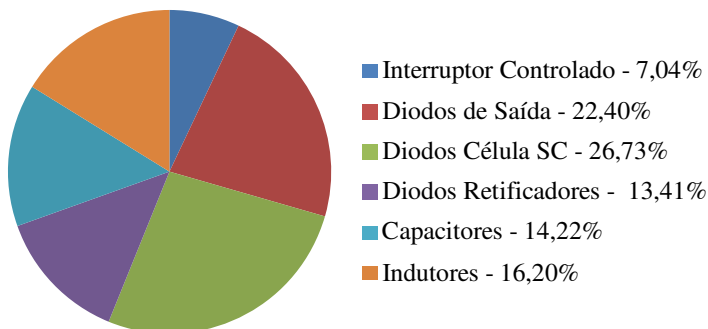


Fig. 11-3. Distribuição das perdas do conversor SEPIC+SC 1S.

Fonte: Autoria própria.

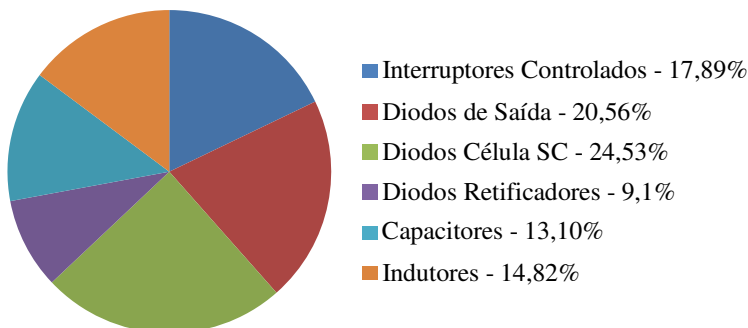


Fig. 11-4. Distribuição das perdas do conversor SEPIC+SC 2S.

Fonte: Autoria própria.

Os valores das perdas para os conversores SEPIC+SC 1S e 2S são de 31,02 W e 33,80 W, enquanto que os rendimentos estimados são de aproximadamente 94,2% e 93,7%, respectivamente. É relevante mencionar que em ambos os conversores há uma concentração das perdas nos semicondutores.

Por intermédio das figuras Fig. 11-5, Fig. 11-6 e Fig. 11-7 são apresentadas as distribuições de perdas referentes aos conversores denominados como SEPIC DT+SC 2S, SEPIC DT 6S e SEPIC DT+SC 6S.

O valor das perdas estimadas para o retificador SEPIC DT+SC 2S é de cerca 68,24 W, o que faz o conversor apresentar um rendimento teórico de 93,6%. Verifica-se que a maiores fontes de perdas são os diodos que compõe as células de capacitor chaveado seguido dos indutores e capacitores.

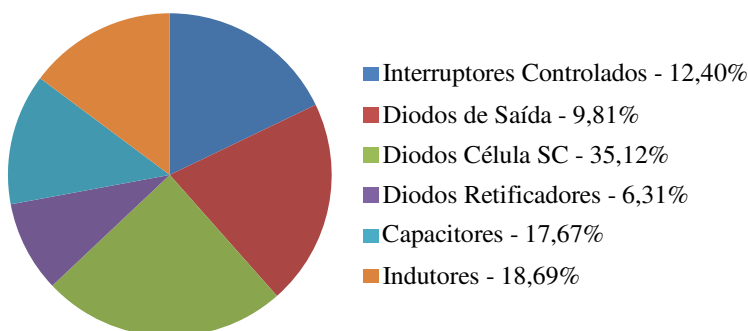


Fig. 11-5. Distribuição das perdas do conversor SEPIC DT+SC 2S.

Fonte: Autoria própria.

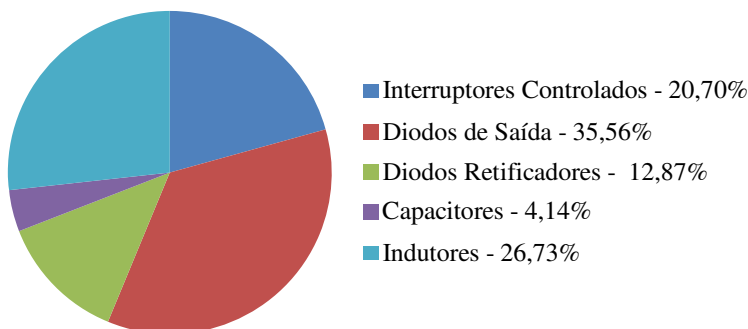


Fig. 11-6. Distribuição das perdas do conversor SEPIC DT 6S.

Fonte: Autoria própria.

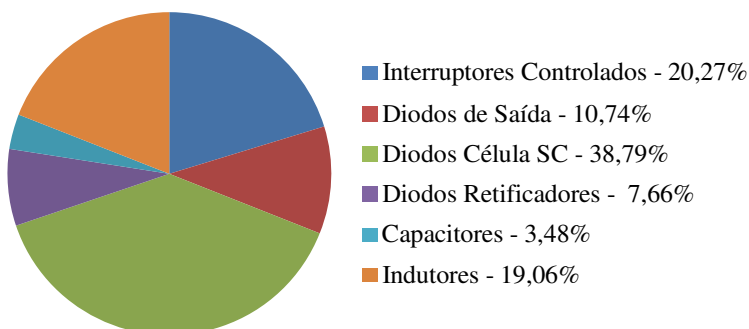


Fig. 11-7. Distribuição das perdas do conversor SEPIC DT+SC 6S.

Fonte: Autoria própria.

Para os retificadores trifásicos SEPIC DT 6S e SEPIC DT+SC 6S, os valores das perdas estimadas são de 143,31 W e 200,79 W, que levam a um rendimento teórico de 95,4 e 93,7, respectivamente. Em ambos os conversores as perdas encontram-se concentradas principalmente nos semicondutores e nos indutores.





**APÊNDICE C – VALORES DE PROJETOS ALUSIVOS AOS  
COMPENSADORES DA MALHA DE TENSÃO DE SAÍDA DOS  
RETIFICADORES PROPOSTOS NA TESE**

## 12.1 COMPENSADORES DESENVOLVIDOS PARA OS CONVERSORES ABORDADOS NA TESE

Os projetos dos compensadores (PI com filtro), os quais são dedicados a regular a tensão de saída dos conversores propostos nesta tese, foram desenvolvidos conforme evidenciado no item 3.5.3. Logo, este apêndice limitar-se-á a apresentar os valores das grandezas alusivas a cada controlador desenvolvido.

### 12.1.1 Conversores Monofásicos SEPIC DT, SEPIC+SC e SEPIC DT+SC

A Tabela 12-1 apresenta os valores das grandezas referentes aos controladores elaborados para controlar a tensão de saída dos conversores SEPIC DT, SEPIC+SC e SEPIC DT+SC, os quais (conversores) são representados, respectivamente, pelas funções de transferências definidas por (12.1), (12.2) e (12.3).

$$G(s)_{SEPIC-DT} = \frac{2286}{0,16s + 2} \quad (12.1)$$

$$G(s)_{SEPIC+SC} = \frac{2286}{0,415s + 2} \quad (12.2)$$

$$G(s)_{SEPIC\ DT+SC} = \frac{4571}{0,361s + 2} \quad (12.3)$$

É relevante salientar que os valores dos elementos  $R_1$ ,  $R_2$ ,  $C_1$  e  $C_2$  expostos na Tabela 12-1 são relativos ao circuito do compensador PI com filtro, o qual é apresentado na Fig. 12-1.

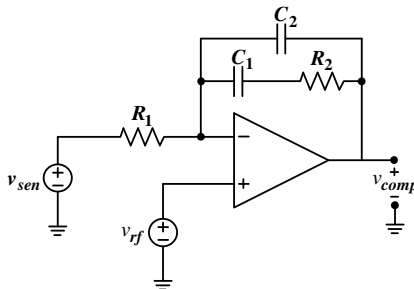


Fig. 12-1. Compensador PI com filtro implementado.  
Fonte: Autoria própria.

Tabela 12-1. Valores de projeto/implementação das grandezas relativas aos controladores dos retificadores monofásicos propostos na tese.

Grandezas	Ret. SEPIC DT		Ret. SEPIC+SC		Ret. SEPIC DT+SC
	1S	2S	1S	2S	2S
Frequência de cruzamento	100 Hz	100 Hz	100 Hz	100 Hz	100 Hz
Frequência do zero	2 Hz	2 Hz	1 Hz	1 Hz	2 Hz
Frequência do segundo pólo	5 kHz	5 kHz	5 kHz	5 kHz	5 kHz
Margem de fase	88,28°	88,28°	88,72°	88,72°	88,21°
Ganho do compensador	7,7 10 <sup>5</sup>	7,7 10 <sup>5</sup>	1 10 <sup>6</sup>	1 10 <sup>6</sup>	4,3 10 <sup>5</sup>
Valor do resistor $R_1$	8,2 kΩ	8,2 kΩ	8,2 kΩ	8,2 kΩ	8,2 kΩ
Valor do resistor $R_2$	3,9 kΩ	3,9 kΩ	1,8 kΩ	1,8 kΩ	820 Ω
Valor do capacitor $C_1$	470 nF	470 nF	680 nF	680 nF	680 nF
Valor do capacitor $C_2$	150 pF	150 pF	150 pF	150 pF	150 pF

Fonte: Autoria própria.

Verifica-se por intermédio da Tabela 12-1 que os compensadores dos retificadores monofásicos apresentam margem de fase próxima a 88°, frequência de corte abaixo dos 120 Hz (frequência natural de um retificador de onda completa na frequência da rede em 60 Hz) e frequência do segundo polo uma década abaixo da frequência de comutação.

12.1.2 Conversores Trifásicos SEPIC DT e SEPIC DT+SC

Por meio da Tabela 12-2 são expostos os valores das grandezas relativas aos compensadores projetados para efetuar o controle da tensão de saída dos conversores trifásicos SEPIC DT 6S e SEPIC DT+SC 6S

que apresentam, sequencialmente, função de transferência definida por (12.4) e (12.5).

$$G(s)_{SEPIC-DT\ 6S} = \frac{2286}{0,0053s + 2} \quad (12.4)$$

$$G(s)_{SEPIC\ DT+SC\ 6S} = \frac{4571}{0,0041s + 2} \quad (12.5)$$

Tabela 12-2. Valores de projeto/implementação das grandezas relativas aos controladores dos retificadores trifásicos propostos na tese.

<b>Grandezas</b>	<b>Retificador Trifásico SEPIC DT 6S</b>	<b>Retificador Trifásico SEPIC DT+SC 6S</b>
Frequência de cruzamento	500 Hz	625 Hz
Frequência do zero	10 Hz	12,5 Hz
Frequência do segundo pólo	5 kHz	5 kHz
Margem de fase	89°	88°
Ganho do compensador	8,1 10 <sup>4</sup>	3,7 10 <sup>4</sup>
Valor do resistor $R_1$	10 kΩ	10 kΩ
Valor do resistor $R_2$	3,9 kΩ	10 kΩ
Valor do capacitor $C_1$	680 nF	680 nF
Valor do capacitor $C_2$	150 nF	270 nF

Fonte: Autoria própria.

A partir da Tabela 12-2 constata-se que a frequência de corte e margem de fase para os conversores SEPIC DT 6S e SEPIC DT+SC 6S são 500 Hz-89° e 625 Hz-88°, respectivamente.